

**MMRC**  
**DISCUSSION PAPER SERIES**

No. 250

**アーキテクチャのダイナミズムと国際競争力の構築**  
**—半導体産業のアーキテクチャ分析—**

兵庫県立大学経営学部  
立本 博文  
東京大学大学院経済学研究科  
藤本 隆宏  
東洋大学経営学部  
富田 純一

2009年6月



東京大学ものづくり経営研究センター

Manufacturing Management Research Center (MMRC)

ディスカッション・ペーパー・シリーズは未定稿を議論を目的として公開しているものである。引用・複写の際には著者の了解を得られたい。

<http://merc.e.u-tokyo.ac.jp/mmrc/dp/index.html>

# アーキテクチャのダイナミクスと国際競争力の構築

## —半導体産業のアーキテクチャ分析—

兵庫県立大学経営学部

立本 博文

東京大学大学院経済学研究科

藤本 隆宏

東洋大学経営学部

富田 純一

2009年6月

### 要約

本研究の目的はアーキテクチャ分析を通じて半導体産業の競争力構築メカニズムを探ることである。多くの既存研究では製品アーキテクチャによる産業分析が行われている。しかし半導体を含むプロセス産業は生産工程に競争力の源泉があるため、工程設計活動を考慮する必要がある。

本論文では工程アーキテクチャという概念を導入し、製品アーキテクチャと工程アーキテクチャの対応関係を中アーキテクチャとして定義した。中アーキテクチャは、製品設計、物理構造設計、生産工程設計の関連性を表す指標であり、製品開発活動を設計情報転写の視点から表現した内的指標である。中アーキテクチャがインテグラルであるか、モジュラーであるかは企業の設計・生産活動における分業構造、さらにはビジネスモデルに大きな影響を与える。

一方、多くのプロセス製品は完成品を構成する部品であり、完成品の影響をうける。特に半導体はデジタル制御を行うための中核部品である。本研究では、完成品と部品との関係を表す指標として外アーキテクチャを定義した。外アーキテクチャとは、あるシステムのアーキテクチャの低い階層の部品、モジュールやサブアセンブリが複数の製品世代や幅広い製品種類に共通に使われる程度の事である。この範囲が大きければ大きいほど、さまざま経済性を企業は得ることが出来る。企業の収益性や競争優位は、中アーキテクチャと外アーキテ

クチャにおける位置取りで決定されると考えられる。本研究では、このフレームワークを半導体産業の様々な製品に適用し、各半導体製品のアーキテクチャ上の位置取りとビジネスモデルおよび収益性を検討した。

本研究の後半では技術イノベーションが進む中で、中アーキテクチャの分離モデルがなぜ維持され強化されるのかを検討した。一般的には技術イノベーションが進んだ場合、中アーキテクチャはインテグラル化しやすい。ところが新興国半導体産業では分離モデルのまま、技術イノベーションが進み、競争力強化につながっている。

この理由について考察した結果、技術イノベーションが進行下においては技術的要因からは中アーキテクチャは統合化する傾向があるが、非技術的要因およびアーキテクチャの階層性を考慮に入れた場合、必ずしも中アーキテクチャは統合化しないことが示唆された。このメカニズムを台湾半導体産業の事例に適用し、妥当性を検討した。

# **The impact of architectural dynamics on the global competitiveness : A case study on the semiconductor industry**

Hirofumi Tatsumoto, University of Hyogo

Takahiro Fujimoto, University of Tokyo

Junich Tomita, University of Toyo

Jun. 2009

## **ABSTRACT**

This study examines how the dynamic evolution of architecture affects the global competitiveness. Many past studies have suggested that the product architecture changes industrial structures, production networks, and firms' competitiveness. However, these studies made only static architectural analysis, and little is known about the impact on firms' competitiveness through dynamic change of architecture.

In order to investigate this effect, we define the internal and external architecture. The internal architecture is the mapping scheme among functional structures, physical designs, and production processes. If a product design and its production process are separated with clear interfaces, the internal architecture is modular. Under this scheme, firms determine their inter-firm division of labor and their business model. The modularity of internal architecture allows a firm to establish the competitiveness specializing in a particular part of the value creation processes. On the other hand, the external architecture is defined as the extent that firms adopt the same components across product classes. If a component has standardized interfaces and is used widely among different finished product firms, the external architecture is modular. To the extent of modularity in external architecture, a firm derives economies of scale, scope, and substitution. Due to these economies, the external architecture is deeply associated with the profitability of the firm.

We explore the validity of our framework of the internal and external architecture through the global competitiveness in the semiconductor industry. The framework explains the differences of business model and profitability in different types of semiconductor products. Each of semiconductor products, such as memory and logic products, is categorized by the framework and mapped into the architectural portfolio. The result from our analysis shows that the internal architecture determines the

core competence to build the business models and that the external architecture caused the profitability.

Finally, we examine the effect of dynamic change in the architectural portfolio. Over the last two decades, the semiconductor industry has been characterized by great turbulence. Many industry people believed that these rapid and drastic change required internal architecture more integral. But, in fact, internal architecture remains modular. A case study on the Taiwanese semiconductor industry provides an explanation on this mechanism how to keep the internal architecture modular under continuous technological innovation. The strategic use of non-technological factors successfully keeps the internal architecture modular. Based on this modularity, they manage their business models to establish the competitiveness in the global semiconductor industry.

## 目次

はじめに.....	6
1.半導体集積回路の製品アーキテクチャ分析.....	11
1.1 人工物としての半導体集積回路.....	11
1.2 半導体集積回路の設計プロセス.....	13
1.2.1 3つの設計情報の定義：論理設計/物理設計/工程設計.....	13
1.2.2 アーキテクチャ間の設計情報の翻訳.....	18
1.3 半導体の「中アーキテクチャ」と「外アーキテクチャ」.....	22
1.3.1 半導体の種類による「中・外アーキテクチャ」の違い.....	24
1.3.1.1 メモリ半導体.....	24
1.3.2. ロジック半導体.....	26
1.3.2.1 プロセッサ.....	26
1.3.2.2 ASIC.....	27
3 日本半導体企業へのインパクト：微細化が進めば日本企業が強くなる?.....	32
3.1 日本型ASICが有利になる?：論理設計・物理設計・工程設計の相互作用の強化.....	32
3.2 半導体の中アーキテクチャの変化.....	33
3.2.1 集積度と開発費・設備投資の高騰.....	33
3.2.4 装置価格の高騰と制度優遇：制度とアーキテクチャの関係.....	39
3.3 微細化が進行する中での台湾ファンドリの競争力構築のメカニズム.....	41
4. まとめとインプリケーション：アーキテクチャと国際競争力・国際分業.....	47

### <図表目次>

図 1 本研究の分析枠組み.....	7
図 2 半導体集積回路の製品アーキテクチャと工程アーキテクチャの関係.....	8
図 3 半導体の設計活動.....	14
図 4 ASICにみる半導体企業とユーザ企業の設計分担.....	28
図 5 半導体製品におけるアーキテクチャのポジショニング.....	29
図 6 1990年代半ばから、工場投資費用の増加スピードが上がる.....	34
図 7 半導体における工程アーキテクチャの大モジュール化.....	35
図 8 搬送システムにおける標準化.....	38
図 9 半導体デバイスにおけるコストモデル.....	40

## はじめに

本章の目的は、半導体産業における競争構造変化の要因についてアーキテクチャの視点から分析を行うことにある。具体的には、まずメモリ半導体とロジック半導体におけるアーキテクチャ及び競争構造の違いを明らかにし、その上でロジック半導体を中心に製品・工程アーキテクチャの相互作用分析（中アーキテクチャの分析）および完成品と半導体の製品アーキテクチャの関係性分析（外アーキテクチャの分析）を行うことにより、競争構造の変化をもたらした要因を明らかにする。

1990年代から現在に至る我が国半導体産業の苦戦と韓国・台湾など海外半導体産業の存在感増大との要因はどこにあるのだろうか。その要因として、半導体工程のモジュラー化と日韓台企業の投資戦略の巧拙を挙げる説、すなわち先端設備を購入し工程間の設計調整活動を節約した韓国や台湾の半導体企業が大規模な設備投資を敢行した結果、市場シェアなど「表の競争力」において日本企業に急激に追いつき追い越した、という見方が有力である。

しかし、同時期に日本企業が直面していた半導体産業の実態は、「工程アーキテクチャが日本企業の苦手とするモジュラー型になってしまったので国際競争で負けた」の一言で片づくほど単純ではない。なぜなら、同じ半導体の中でもメモリ半導体とロジック半導体とはアーキテクチャの進化経路が大きく異なっていたと我々が考えるからである。

一方においてDRAMに代表される半導体はロジック半導体と比べればアナログ半導体的な要素が強くそれ故工程アーキテクチャもインテグラルよりであると我々は推定する<sup>1</sup>。しかしそうであるならば、統合型組織能力を持つ傾向のある日本企業は、ロジック半導体頼りメモリ半導体を得意とするはずである。実際、1980年代には日本企業はメモリ半導体、特にDRAM分野で高い国際競争力を発揮していた。ところが1990年代、得意だったはずのメモリ半導体で国際競争力を失い、韓国企業など海外企業による逆転を許した。これはなぜか。

他方ロジック半導体に関しては、後述するように、もともとモジュラー化しやすいデジタル的特性を持ち、ゆえに日本企業は苦戦してきたと考えられてきた。1990年代末には、日本企業がメモリ半導体からロジック半導体（ASIC）へと事業の軸足を移す中で、ICの高集積化が進めば統合型の組織能力を持ちインテグラル型（すり合わせ型）アーキテクチャと

---

<sup>1</sup> メモリ半導体について、鈴木・湯之上(2008)は、工程開発の現場（日本企業と推定される）において、500工程間のインテグレーション（設計調整）を半導体企業が担う必要があることを明らかにし、半導体の工程アーキテクチャがモジュラー化しているとの通説を批判している。

相性の良い日本企業が有利になろう、という期待感が業界で高まった。ところが結局、にもかかわらず、日本企業が競争優位を回復できていない。それはなぜだろうか。

要するに日本半導体産業の競争力に関して我々が持つ問いは以下の2つである。第1にメモリ半導体の工程はインテグラル型寄りであったはずなのに、なぜ日本企業は競争優位を失ったのか。第2にインテグラル化が進むと予想されたロジック半導体において、統合型の組織能力を持つ日本企業がなぜ競争優位を回復できなかったか。

以上の問題意識を踏まえ、本章では半導体集積回路（IC）産業の競争力の変遷をアーキテクチャの階層性の視点から分析する。とりわけ、シリコン・ウェーハ上に半導体集積回路を形成する前工程に焦点を当てながら、どのように半導体集積回路のアーキテクチャが形作られているのかをものづくり分析の立場から検討していくことにする。このため、本章では半導体集積回路のアーキテクチャに影響を与える2つの要因について注目した考察を行う。1つめの要因は、①半導体集積回路の製品アーキテクチャが工程アーキテクチャから受ける影響である。この2つのアーキテクチャの対応関係を半導体の中アーキテクチャと呼ぶ。2つめの要因は、②中核部品としての半導体集積回路が完成品という全体システムから受ける影響である。半導体の製品アーキテクチャと完成品の製品アーキテクチャの対応関係のことを半導体の外アーキテクチャと呼ぶ（図1）。

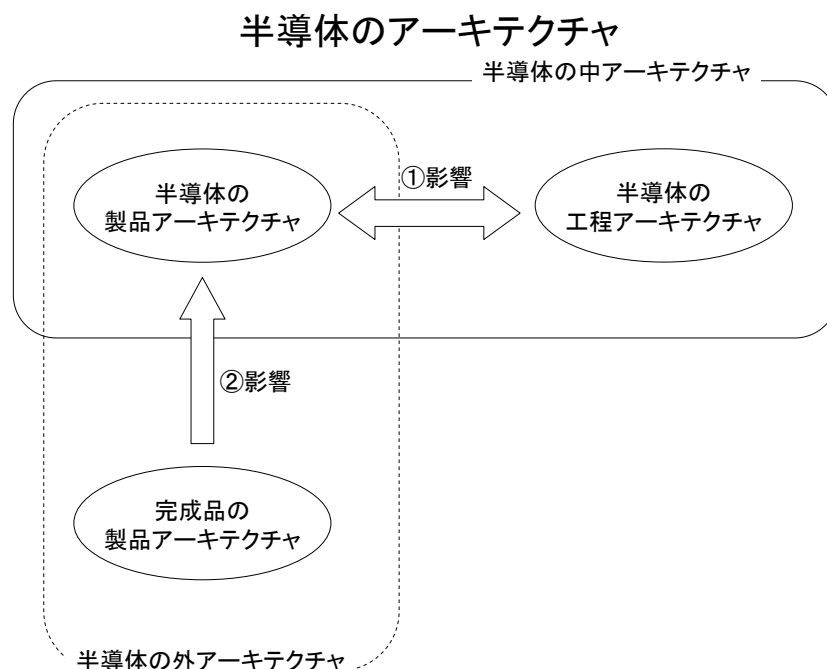


図 1 本研究の分析枠組み



第 1 の要因である中アーキテクチャの影響とは、言い換えるならば、半導体集積回路の製品設計と工程設計がどのような関係にあるのかを検証することに他ならない。この関係を精査するためには、製品設計から工程設計に至る製品開発の一連のプロセスを設計情報翻訳プロセスであるとみる視点が有効である。

半導体産業を含むプロセス産業では、製品設計と工程設計が密接に連動する傾向がある。つまり製品アーキテクチャと工程アーキテクチャの双方を同時に見ていくことが求められるわけである (Ulrich, 1995, pp.430)。2つのアーキテクチャの影響を総合的に理解するためには、各アーキテクチャを構成する設計情報レベルにまで踏み込んだ理解が必要となる (図 2)。

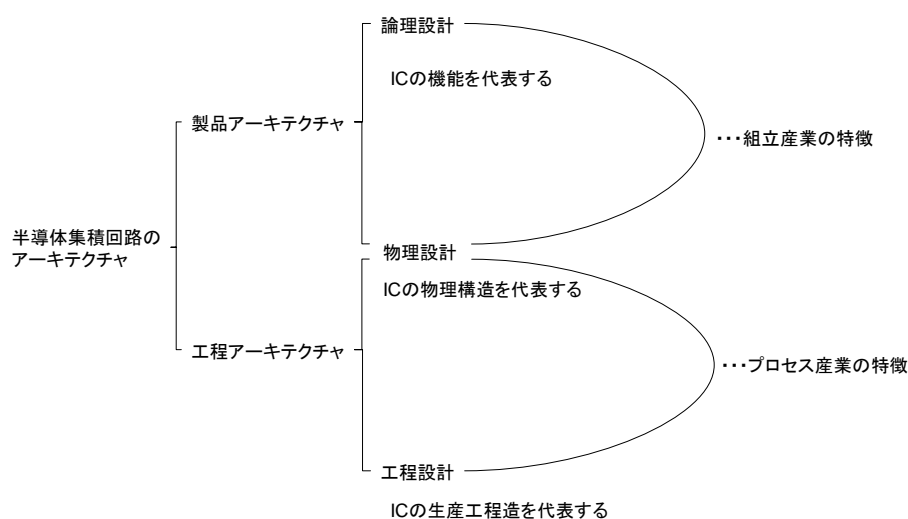


図 2 半導体集積回路の製品アーキテクチャと工程アーキテクチャの関係

そもそもアーキテクチャとは異なるレベルの設計情報の対応関係の事である。各アーキテクチャには対応する複数の設計情報が存在する。例えば製品アーキテクチャとは「機能設計」と「構造設計」の対応関係のことであり、工程アーキテクチャとは「構造設計」と「工程設計」の対応関係のことである。生産工程が重要な意味を持つプロセス産業では、「機能設計」「構造設計」「工程設計」という3つの設計情報を三位一体としたアーキテクチャ分析

が必要なのである。

加えて、半導体産業では「機能設計」の代わりに「論理設計」、「構造設計」という代わりに「物理設計」という言葉が使われる。この背後には「デジタル」「誤差」という半導体集積回路で特有の概念が存在している。これらの概念は、我々の生活を支えている現代の制御を考える上で欠くことのできない重要なものになっている。

第 2 の要因である完成品から中核部品への影響は、半導体集積回路が制御部品であるという特性に由来するものである。半導体集積回路による制御は、従来の制御方式とは異なるデジタル制御という新しい制御方式をもたらし、今日の産業界に大きな影響を与えている。今日、ほとんどの機器は半導体によるデジタル制御を前提に開発されている。

半導体集積回路が中核部品であるということは、同時に半導体集積回路が単独では完成品になり得ないことを意味している。このため必然的に半導体産業は完成品産業の影響を受けることになる。半導体集積回路自身の製品アーキテクチャと工程アーキテクチャの関係性を中アーキテクチャと呼ぶのに対して、半導体集積回路と完成品の製品アーキテクチャ間の関係性を半導体集積回路の外アーキテクチャと呼ぶ。詳しい分析は後述する。

半導体は完成品に対して制御という重要な機能を提供する中核部品でありながら、同時にプロセス産業がもつ高い生産性を実現している。安価な半導体集積回路が大量に供給され、多くの製品分野で半導体を前提としたデジタル制御が採用された。我々の身近にあるほとんどの製品には半導体が組み込まれており、現代において半導体の重要性を疑う余地は全くない。

しかしながら現在、我が国の半導体産業の国際競争力は現在大きな脅威にさらされている。1980 年代に成功を収めた日本企業は、1990 年代以降、アメリカ、韓国、台湾企業などに対し競争上苦戦を強いられている。しかもシンガポールや中国など新しいプレイヤーも存在感を増してきている。欧州も半導体産業に対して独自の戦略を持っている。半導体産業の国際競争はいつそう厳しいものになっている。

マクロな視点から見れば、日本半導体産業は 1990 年代以降一貫して国際競争力を失っているように見える。しかし、「中アーキテクチャ」と「外アーキテクチャ」の枠組みを用いると、日本半導体産業はメモリ半導体とロジック半導体という異なるアーキテクチャの半導体製品に対して、異なる失敗を繰り返していることが分かる。簡単にまとめれば、次のようなストーリーである。

メモリ半導体は製品設計と工程設計の間に濃密な相互調整が必要な中インテグラル製品である。メモリ半導体における中インテグラル性の最大受益者が 1980 年代の日本半導体産

業であった。ところが 1990 年代半ば以降、日本半導体産業は急速に競争力を失ってしまった。メモリ半導体の中でも主力製品であるパソコン用の DRAM では 1990 年半ば以降、インターフェイスの標準化が進み、外アーキテクチャのモジュラー化が進んだ。競争の焦点はコストに移った。コスト低減の努力は製品設計と工程設計のコミュニケーションを増加させ、中アーキテクチャのインテグラル化の傾向が強まっていった。1980 年代と同様に、中アーキテクチャのインテグラル化を解決するのが専ら半導体企業であれば、日本半導体産業の競争力は強まるはずであった。

しかし 1990 年代では半導体企業の他に、有力な装置企業が問題解決の新たな担い手として台頭してきた。この変化が競争構造を変えていった。有力な装置企業は、製造上のノウハウを装置に次々と組み込んでいった。加えて重要な点は、有力な製造装置企業とパートナーシップを構築することに成功したのは、高価な最先端プロセス装置を継続的に購入することができた新興国（韓国・台湾）の半導体企業であったことである。メモリ分野で競争力を失った日本半導体企業は、その後ロジック半導体へと軸足を移していった。

現在の日本半導体産業にとってより深刻な問題は、1990 年代末から事業の中心としたロジック半導体で国際競争力を確立できていないことである。ロジック半導体もメモリ半導体と同様に外アーキテクチャがモジュラーである半導体製品が多い。しかし、メモリ半導体と決定的に異なっているのは、中アーキテクチャのモジュラー性を前提とした分離モデルが興隆していることである。対照的に日本半導体産業は中アーキテクチャのインテグラル性を前提とした統合モデルをとっている。ロジック半導体では、中アーキテクチャを分離モデルで対処するか、統合モデルで対処するかで、2つのビジネスモデルが競合している。ここで日本半導体産業は競争優位を獲得できていない。

アーキテクチャ分析の観点から要約すれば、日本半導体産業は 2 度の異なる失敗を犯している。1990 年代のメモリ半導体では中インテグラル化の問題に対して装置企業との分業体制構築に失敗し、2000 年代のロジック半導体では中アーキテクチャを中インテグラルにするのか中モジュラーにするのかという事業モデル構築の問題で解を見いだせずにいる。

本研究では現在の日本半導体産業にとって重要であると考えられるロジック半導体を中心に半導体産業のアーキテクチャ分析を行う。半導体産業は巨大であり全てにふれることは出来ないが、本章の分析を通じてアーキテクチャという分析道具がその基礎となり得ることを明らかにしていく。

# 1. 半導体集積回路の製品アーキテクチャ分析

## 1.1 人工物としての半導体集積回路

「製品＝人工物＝設計情報＋媒体」という構図を基本とする「ものづくり」分析の観点から言うならば、ある特定の制御機能を持った電気回路の設計情報を不純物注入したシリコン片という媒体の上に転写したものが、半導体集積回路だといえる。

ここでいう制御機能とは、制御対象である人工物をねらった機能を発揮するように操作することである。たとえば自動制御装置の場合、制御対象の動きを物理量としてセンサー(検出部)が検出し、電気信号に変換し、目標値との比較によって制御動作信号がアクチュエータ(制御動作を行う機構)に出力され、そこで電磁石や油圧を使った操作量に変換される(示村, 1990)。

デジタル回路による制御(デジタル制御)は、油圧などのメカニカルな原理を使った制御と異なり、制御ロジックを柔軟に変更することや、複雑な制御ロジックを容易に記述することを可能にしている。このような柔軟性が実現する理由は、「デジタル」という機能を電気回路で実現しているからである。デジタルとは、ある機能に対して誤差を伴わないという意味であり、そのようにデータの数値化を行うということである。

例えば2進法でデータを表した場合、0と1でデータを表す事になり、0.8や1.2でも1と認識する。データを信号±(誤差)として信号と誤差に分けて表記した場合、アナログであれば $1 \pm 0.2$ とするところが、デジタルでは誤差がない「1」と認識されるわけである。このため、ある機能を実現するデジタル回路同士をいくら組み合わせたとしても、誤差は蓄積されない。大規模で複雑な制御ロジックを組むことも、デジタル回路であれば容易に出来るのである。

もし同等の機能をアナログ的な機構で実現しようとする、複数の制御機能を組み合わせていく内にいつかは真の信号(シグナル)を無意味にしてしまうほど誤差(ノイズ)が蓄積されてしまう。このように誤差が機能要素ごとに伝播し蓄積されていく法則を「誤差伝播の法則」<sup>2</sup>と呼ぶ(Taylor, 2000)。

機能要素毎の誤差が伝播してしまうため、アナログ的な制御メカニズムを持つ製品では蓄積された全体誤差がどのくらいの大きさになるのかを常に把握しなければならない<sup>3</sup>。複

---

<sup>2</sup> 誤差の伝播法則については Appendix 1 を参照のこと

<sup>3</sup> 例えば、ここに  $q = x + y$  で表されるシステムが存在したとしよう。q というシステム全体の出力は、x と y という部品の出力の和である。このような場合、q の出力に対して発生する誤差  $\delta q$  は

雑な制御を行おうと思えば誤差伝播が大きな問題となる。その解決には、システム全体に対する知識、試行錯誤を通じた長年の経験やノウハウ、時には非現実的な程のコストが必要となる。

ところが誤差伝播の影響を受けないデジタル制御では複雑な制御を容易に実現できる。デジタルの世界では、ある制御ロジックを実現する制御回路ブロックをいくつ組み合わせたとしても、制御ロジック由来の誤差は、制御回路ブロック間で伝播も蓄積もされないからである。デジタルというルールに従っている限り、どのような複雑な制御ロジックであっても、機能ブロックを組み合わせることによって制御が可能になる。この意味でデジタル制御は画期的だったのである。

現在、デジタル制御を実現するために 3 つの方法が用いられている。1 つめはプリント基板上に個別半導体（ディスクリート半導体）などをハードウェアとして配置・結線する方法、2 つめは半導体集積回路として基板上に形成する方法、そして3 つめは組み込みソフトウェアとして半導体集積回路であるマイコンに書き込むことである。これら 3 つの方法で実現されるデジタル制御は、機能的にまったく同一である<sup>4</sup>。

三つの方法によって達成されるデジタル制御がまったく同じ機能を持っているにもかかわらず、第1のプリント基板上の個別半導体による実現に対して、第2の半導体集積回路による実現や、第3の大規模集積回路上のソフトウェアによる実現が大きな意味を持っている。なぜなら、第2、第3の半導体による実現方法は著しく生産性が高いからである。個別半導体を用いた電気回路の生産工程は、機能を持つ素子を実装機によって一つずつ追加していく「逐次転写」プロセスである。それに対し、大規模集積回路は、プロセス装置により、蒸着、薄膜形成などによる「媒体追加」と、露光・エッチングなどによる設計情報転写の繰り返しにより、回路全体の設計情報を「一括転写」するプロセスである。一般に「逐次転写」

---

$$\delta q = \sqrt{\delta x^2 + \delta y^2}$$
$$\leq \delta x + \delta y$$

で表される。もしも、x に±0.2, y に±0.3 の誤差が発生する場合、システム全体の誤差である δq は±0.5 の範囲で誤差を持つ。δx や δy とした部品の誤差が、システム全体の誤差 δq に影響するのである。ところがデジタルの場合、x や y に誤差が発生した場合でも、それらの誤差は、x, y の単位での数値化の際に無視されてしまうため、部品の誤差が、システム全体の誤差 δq に影響しない。

デジタルとデジタルの間では部品の誤差は伝播されないが、アナログとデジタルの間では誤差が発生する。アナログ信号は無限の連続量を扱うことが出来るが、デジタル信号は量子化（何ビットで信号化するか）に依存するからである。この誤差のことを量子化誤差と呼ぶ。量子化誤差が大きくなれば、システム全体として意味のある信号処理が出来なくなる。この意味でアナログとデジタルの界面には、製品アーキテクチャの視点から特別な意味があり、アナログ半導体（AD コンバータ等）やパワー半導体の高収益構造に関係している。

<sup>4</sup> 集積回路ハードウェアと組み込みソフトウェアの間の分担は事前に決められることが多かったが、近年は相互調整を行えるハード・ソフト協調設計も提案されている。一般に、制御対象が高速性や省電力性を要求する場合はハードウェアの制御、柔軟性や多様性を求める場合はソフトウェア制御の比率が高まる傾向がある（小松・野村, 2005）。

プロセスに対して、プロセス型産業の「一括転写」プロセスは大量生産すれば生産効率が飛躍的に高くなるという性質を持つ。例えば、一文字毎打刻するタイプライターと輪転印刷機を比較すれば、大規模生産時の「一括転写」プロセスの生産効率が如何に高いかを理解できよう。「一括転写」プロセスのおかげで、大規模集積回路は安価に大量生産することが出来るのである。

今日の製品の中で、最も重要なデジタル制御という役割を受け持つ集積回路が、電気回路のもつ柔軟・複雑な制御ロジックの記述容易性と、プロセス産業の持つ大量生産での高い生産効率という性質を併せ持つことにより、現代人の生活に半導体集積回路を利用した製品が浸透するようになっていった。例えば、一般的な家庭で使われる種々の電気製品をあわせれば、百個以上のマイコンが使われている。たった 1 台の自動車にすら、数十個から百個程度のマイコンが搭載されている。われわれの現代の生活は半導体無しには考えられないものとなっている。

さて、このように現代の我々の生活に重要な影響を及ぼす半導体集積回路をアーキテクチャの視点から分析しようとする、半導体が複雑な性格を持っていることに気づく。前述のように、半導体集積回路の製品アーキテクチャはデジタルというルールに従って素子を連結した組立産業型である。同時に、その工程アーキテクチャは回路パターンを化学反応などにより一括転写するプロセス産業型である。この 2 つの産業は、前者が「組み合わせ」型産業になりやすいのに対し、後者は「摺り合わせ」型産業になりやすいという、正反対の傾向を持っている。このため、半導体産業のアーキテクチャ分析は複雑なのである。

半導体産業のアーキテクチャを理解するため、一端、アーキテクチャを構成する「機能設計」「構造設計」「工程設計」といった設計情報のレベルにまで立ち戻り考察を行おう。

## 1.2 半導体集積回路の設計プロセス

### 1.2.1 3つの設計情報の定義：論理設計/物理設計/工程設計

大規模集積回路 (LSI) の製品企画から生産に至るまでの各設計工程は、機能設計、構造設計、工程設計の 3 つに大別することが出来る。半導体ではデジタルであることを強調するため、「機能設計」の代わりに「論理設計」、「構造設計」と言う代わりに「物理設計」という言葉をつかう。この 3 つの設計工程の独立性の高さが、現代の半導体産業を特徴付けている。

プロセス型産業は、機能設計（論理設計）、構造設計（物理設計）、工程設計が密接に結びついており、3つの設計工程のインテグリティが高いことが一般的である。プロセス型産業では、明確に物理設計を定義できないため工程設計が論理設計に強く影響することも頻繁に起こる。ところが、半導体産業では必ずしもそのようになっていない。このことを、設計情報が媒体に転写される工程に従って、論理設計、物理設計、工程設計の順に説明し明らかにしていく（図3）。

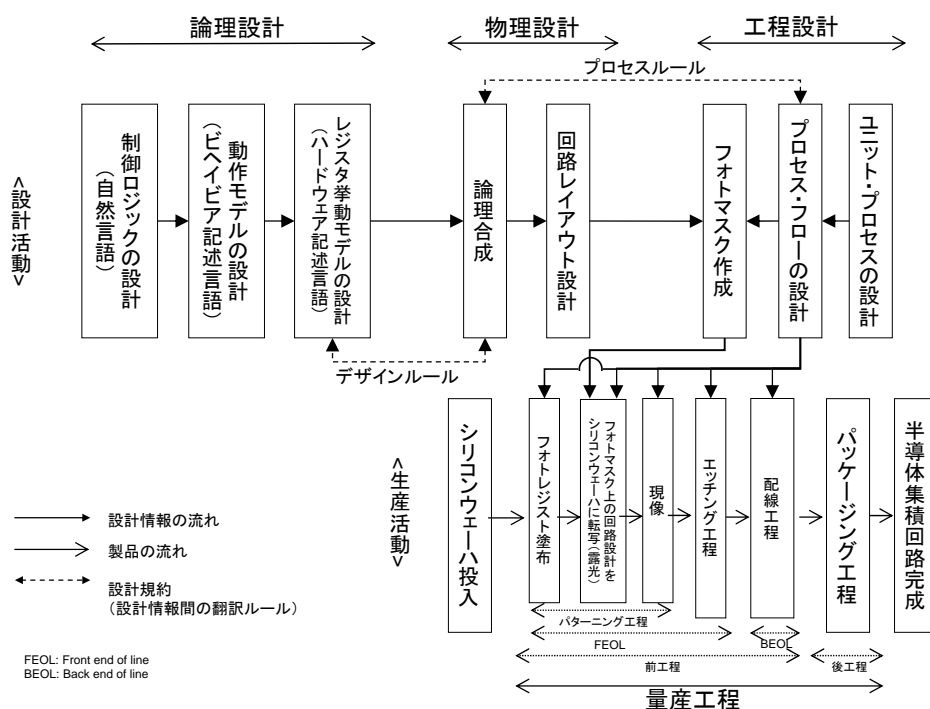


図3 半導体の設計活動

### 論理設計

論理設計とは、半導体集積回路が行う制御を論理的な機能として記述する設計工程である。半導体における論理設計は、「自然言語による機能設計」「動作モデル設計」「RTL(Register Transfer Level)設計」という複数の階層から成り立っており、各階層間を情報欠落無しに転写することが求められている。まず、自然言語による機能設計から説明する。

半導体集積回路における論理設計は、半導体に「どのような制御を行わせるか」ということを自然言語で記述することから始まる。半導体における機能設計とは、外界（制御対象）をどのように制御するかというロジック設計そのもののことである。例えば自動車のエンジン制御を考えた場合、エンジンの動作を記述することが制御ロジックの設計となる。

自然言語で記述された制御ロジックは、動作モデル設計（ビヘイビアモデル設計）へと翻訳される。自然言語で書かれた機能は、多くの場合、自然言語の曖昧性を有している。この曖昧性を排除するために Spec C や System C といったビヘイビア記述言語によって制御ロジックを再記述する。ビヘイビア記述言語で描かれた設計は、ある特定の規約（プロトコル）を守り、制御の意味で曖昧性を排した文書（プログラム）のことである。

動作モデル設計で制御ロジックの検討が終わると、動作モデル設計はデータ処理の流れを中心にしたレジスタの挙動モデル（RTL 設計）へと変換される。この変換は自動的に行われるが、現在のテクノロジーでは処理の並列性やタイミング等の問題から変換精度に問題が存在し、完全に自動変換することが難しく人手がかかることがある。

RTL設計は動作モデル設計よりも集積回路を念頭に置いた設計となる<sup>5</sup>。具体的には、Verilog やVHDLといったハードウェア記述言語によって規約化された文書（プログラム）を記述することになる。制御の観点から見ると、動作モデル設計とRTLモデル設計とは一対一で対応するように記述され、動作モデル設計で「制御ロジック」として記述されたものはRTL設計では「演算回路(レジスタ)の挙動」として翻訳される。

RTL で記述された設計は半導体集積回路の一般的な構造を前提としているものの、半導体加工技術（プロセス技術）によって実現される物理制約に依存しないという点で、抽象度をもった設計である。プロセス情報が含まれないため、RTL で記述された設計情報は特定の LSI 製造企業の工程設計に依存することなく、他の LSI 製造メーカーの工程設計へと変更することを容易に行える。すなわち、論理設計は物理設計や工程設計とは独立しているのである。

こうして作成された論理回路は、次の物理設計の段階へと移行する。

## 物理設計

物理設計とは、寸法、配置構成や電気特性というような物理的特性を伴った回路設計のことである。物理設計工程では、論理的に記述された「機能」を物理的な「図形」に転換することが目的であり、「論理合成」と「レイアウト設計」の2つの段階に区分することが出来る。まず、論理合成から説明する。

---

<sup>5</sup> 制御ロジックは、演算を行う関数と演算結果の変数の2つに分けることが出来る。同様に、半導体集積回路も2つに区分することが出来、前者は「組合せ回路」と呼ばれる演算回路、後者は「レジスタ」と呼ばれるメモリ機能を持つ回路である。RTL設計は半導体集積回路の2つの区分を念頭に、制御ロジックの完全性を検証する設計工程である。

「組合せ回路」と「レジスタ」のうち、制御ロジックの時系列的な論理矛盾を検出するためには、演算結果を保存するメモリのレジスタに着目して、全ての演算結果を制御ロジックが網羅しているかを確認することが必要となる。もしも制御ロジックがカバーしていない「レジスタ演算結果の状態」が存在した場合、制御矛盾が発生する原因となる。このような受取手のないレジスタ演算結果の状態が、制御ロジック中に存在しないようにしてやる必要がある。このため RTL 設計ではレジスタ間の信号の流れを中心にした記述を行う。



論理合成では、論理設計で完成した RTL モデルを、マクロセルと呼ばれる LSI 設計の最小ライブラリで構成するという変換を行う。マクロセルには各量産プロセスの工程設計に依存したタイミングや消費電力といった制約条件が伴う。これらの制約条件は最小加工寸や最小位置合わせ幅という生産工程由来の物理的な条件に依存している。例えば、どのような露光機を導入しているのか、どのような材料を配線に使うのかといったプロセス技術に大きく影響されるのである。このため、マクロセルで構成された回路設計は工程設計に依存した回路設計となる。つまり論理合成前の RTL モデルはプロセス技術に依存せず、LSI 製造メーカを容易に変更できる一方、後述するレイアウト設計ではプロセス技術に依存し、LSI 製造メーカの変更を行うことは出来ない。

RTL モデルをマクロセルで構成する変換は、論理合成ツールと呼ばれるソフトウェアで自動的に行われマクロセル同士の結合情報として出力される。この出力図をゲート・レベル・ネットリストよぶ。ゲート・レベル・ネットリストは、結合状態のみを表しているため、どのように素子を配置するかを最終的に決定する必要がある。これがレイアウト設計である。レイアウト設計では配置遅延によるタイミングや配線性を考慮しながら、機能ブロックをチップ上のどこ部分に配置するのかを決定する。レイアウト設計は主に自動レイアウトツールを使って位置決めが行われる。

レイアウト設計が終了すると、最終レイアウト図として、フォトマスクに描画する回路パターンの図形データが出図される。フォトマスクに描画されるパターンデータは、例えるならば写真のネガやの印刷の版下のようなものであり、幾何的な図形データである。この図形データの形式は、GDS-II 形式で標準化されており、物理設計と工程設計の分業を促進している<sup>6</sup>。

物理設計工程の始めには RTL 設計という機能を記述した規約化文書（プログラム）であった論理設計情報は、「論理合成」と「レイアウト設計」という物理設計工程を経て、最終的にフォトマスクというガラス基盤に電子ビームを使って描画される物理寸法をもった図形データに変換されるのである。

なかでも論理合成で、それまで工程に依存していなかった論理設計と、工程に依存するマクロセルとが、自動的にマッピングされている点に留意が必要である。言い換えるならば、論理的機能と物理的構造の対応付けができる明確なインターフェイスが存在するので、どんなに複雑な制御ロジックであっても、トランジスタを使った演算回路に変換され、最終的には幾何的な図形データに変換できるのである。この翻訳ルールをデザイン・ルールと呼ぶ。

デザイン・ルールは、具体的には論理合成時に RTL 設計をマクロセルと結びつけるため

---

<sup>6</sup> 先端プロセスでは微細化がすすんだため GDS II 形式の図形データに対して OPC(optical proximity correction: 光学近接効果補正)という補正を加えてフォトマスク描画データとする。2000 年前後の日本半導体関係者にとって、このような光学補正も微細化が進むとファブレス・ファンドリの分業が不可能になる事由と認識されていた。現在では、OPC 補正は露光機メーカと EDA メーカの協調により、EDA ツールに DFM ソリューションとして取り込まれている(ニコン, 2007)。

に使われるマクロセル間の最小加工寸、最小配線幅、最小配線間隔などの設計規則として定義されている。最小加工寸等といった物理形状は、それを作り出す半導体プロセスに大きく影響を受ける。この意味で、工程設計で実現される工程能力がデザイン・ルールに大きく影響するのである。最小加工寸等の設計規則を満足するように、次に説明する工程設計が行われる。

## 工程設計

工程設計とはある工程能力を持つようなプロセス・フローを実現するためのラインの構成の仕方、プロセス装置の構成やレシピを設計開発する工程である。先述のデザイン・ルールは、工程能力をあらわすプロセス・ルールによって大きく影響される。つまり、物理設計と工程設計とは、「プロセス・ルール」によって関連づけられ、両者の間を設計情報が転写することを可能にしている。

プロセス・ルールの具体的な例は、生産プロセスが許容する配線幅や配線間隔、リソグラフィやメタルの蒸着、微細加工等の精度や、マスク間の目あわせの精度等である。これらの物理制約は、工程設計に依存している。工程設計を理解するために、半導体の工程について簡単に整理しておく。

半導体の工程はウェーハ（媒体）上にトランジスタ等の素子群と結線を形成する工程と、チップとしてウェーハを切り出し、電気信号を取り出すリードフレームなどを取り付け、封止（パッケージング）を行う工程に分かれる。前者の工程を前工程やウェーハ工程と呼び、後者の工程を後工程やパッケージング工程と呼ぶ。本章では、半導体集積回路生産で重要だと言われているウェーハ工程を分析の対象とする。

ウェーハ工程は工程設計の視点から見ると、さらにウェーハ上に機能素子を形成する基盤工程（FEOL： Front End Of Line）と、多層膜を形成し立体的に機能素子を結線する配線工程（BEOL： Back End Of Line）の2つの工程に大別することが出来る。機能素子とは、トランジスタやキャパシタ、抵抗等の事である。基盤工程で形成された機能素子は、まだ結線されていない状態でシリコン・ウェーハ上に存在する。機能素子間の結線は次の配線工程で、機能素子層の上に多層膜を形成し、銅やアルミを使って立体的に行われる。

このような前工程のうち回路設計情報の転写、とりわけフォトレジスト塗布・露光・現像という一連の工程群（フォトレジスト・パターンの転写）は、パターニング工程とよばれ、最小加工寸を決定する上で重要な工程となっている。とくに露光装置の露光パターン転写の限界精度は工程能力に大きな影響を与える。例えば露光光源の波長やパターンの重ね合

わせ精度によって最小パターンニング寸法は制約される。

ただし工程能力は露光機の能力だけでなく、露光機の前後のプロセス装置との協調が必ず必要になる。例えば露光装置によって投影された回路パターンは現像装置によって固定化され、エッチング装置によって削りとられ、回路パターンが形成される。つまり、工程設計の能力は、露光装置がもっとも影響力が大きいものの、それだけで工程能力は決定されるわけではない。むしろ現像工程やエッチング工程などの露光工程の前後工程の相互調整によって決定されるのである。この特性は半導体産業の工程がプロセス産業の特性を併せ持つことの典型的な事例である。

### 1.2.2 アーキテクチャ間の設計情報の翻訳

今まで、「論理設計」「物理設計」「工程設計」を概観してきた。そこで、本来の目的である半導体集積回路のアーキテクチャについて、考察してみよう。

一般的なプロセス産業では、設計活動の大部分が工程設計であるため工程アーキテクチャの影響が強い（藤本, 2003）。しかも多くのプロセス産業の場合、製品アーキテクチャと工程アーキテクチャを明確に分離することが困難であるため両アーキテクチャが相互に影響しやすい。もしも工程アーキテクチャがインテグラル化の傾向が強まればその傾向が製品アーキテクチャまで影響してしまう可能性がある。

ところが、半導体産業では微細化や大口径化が進むにつれて工程アーキテクチャはインテグラル化の傾向が続いているように見えるにもかかわらず、製品アーキテクチャはインテグラル化の影響を受けずにモジュラーの状態を維持しているように見える。そして、この傾向は半導体集積回路が対象とする完成品や、半導体プロセスの技術世代によって強弱はあるものの、一貫しているように思われる。

このことは、半導体集積回路の製品アーキテクチャと工程アーキテクチャでは異なる方向性を持っている事を暗示している。すなわち、製品アーキテクチャではモジュラー化が進みやすい一方、工程アーキテクチャではインテグラル化が進みやすいという背反した特性を半導体産業が内包していると考えられる。このことを確認するために製品アーキテクチャと工程アーキテクチャの関係について分析する。

#### 製品アーキテクチャ分析：デザイン・ルール

まず半導体集積回路の製品アーキテクチャの特徴をまとめてみよう。半導体集積回路の

製品アーキテクチャは論理設計と物理設計で構成される。前述のように論理設計では、「自然言語での設計」「動作モデル設計」「RTL 設計」を経て RTL モデルを得る。次に、物理設計では、「論理合成」「レイアウト設計」を経て、フォトマスクへの描画パターンを得る。製品アーキテクチャにおける一連の情報翻訳の流れの中で、半導体集積回路には他のプロセス産業に見られない3つの特徴が存在する。

第 1 に、明確なインターフェイス設定の効果が挙げられる。半導体集積回路の設計では、論理設計と物理設計が論理合成によって完全に分離している点が特徴的である。このため、論理設計と物理設計との間で何を行っているのかを互いに知る必要がない。論理設計と物理設計の間では、制御ロジックという機能をフォトマスク上の図形パターンにするという大がかりな変換が行われている。それにもかかわらず、この変換にデザイン・ルールという明確なインターフェイスを設定しているおかげで、論理合成という論理機能と物理構造の自動的なマッピングが可能となっている。まず、この明確なインターフェイスがもつ作用の重要性に留意が必要であろう。

第 2 に機能設計を論理設計というデジタルな世界で行える事が挙げられる。これによりモジュラリティを維持したまま大規模な集積回路の設計をすることが可能となっている。論理設計は物理的な誤差を持たず論理素子の組み合わせ(ブール代数的な結合)のみで機能を記述するデジタルな世界である。

物理的な誤差を持たないため、あるまとまった機能を論理回路ブロックとし、論理回路ブロックをいくら組合せて大規模な論理回路を設計したとしても、論理的な意味で機能に問題は生じない。もしも物理的な誤差が論理設計に発生するとしたら、多数の論理回路ブロックの組合せを行う内に誤差が蓄積し、論理的な機能に問題が生じてしまうことになる。この問題が全く生じないように機能設計から論理設計を抽出したことにより、論理回路ブロックを標準機能としてライブラリ化することが可能となり、設計生産性は著しく高まった。

第 3 に論理設計の各階層間を自動変換することが出来るため、設計情報をより高次の設計階層でライブラリ化することにより、より大規模な論理回路を設計することが可能となった。この設計階層化は、半導体のアーキテクチャに大きな影響を与えている。

これらの特徴を言い換えるならば、半導体の製品アーキテクチャでは各設計プロセスのモジュラリティが著しく高いということが出来る。設計プロセス毎の設計情報と設計情報のレイヤー間移動の自動的な変換は、設計者が機能を記述してやれば最終的に自動的に機能設計が物理設計へと翻訳されるというシリコンコンパイラ思想を元としている。製品アーキテクチャにおける設計の各工程間の依存性が極端に低いという事実は、他産業から

見れば驚異的なことである<sup>7</sup>。

### 工程アーキテクチャ分析：プロセス・ルール

次に、工程アーキテクチャについて考察する。一般的にプロセス産業の場合、機能と構造の対応関係が明らかでない場合が多い。たとえばビールの要求機能は定義できたとしても、どのような分子構造が要求機能を満たすのかを知ることは難しい。同様に自動車用の表面処理鋼板のように要求機能を実現する内部構造そのものが未知の場合も多い。このためプロセス型産業では構造設計を飛ばして、機能設計から工程設計に直接翻訳される傾向がある。この意味でプロセス産業の工程設計は強い影響力を持つ。

ところで半導体産業ではどうであろうか。製品アーキテクチャ分析で見たように、論理設計と物理設計の間には、明確なインターフェイスが設定されている。必要とされる機能に対応した達成すべき構造設計がはっきりと明示化され、それを実現するために工程設計の試行錯誤が行われる。物理設計と工程設計の間に設定される、この明確な翻訳ルールのことをプロセス・ルールと呼ぶ。具体的なプロセス・ルールは、最小加工寸や最小重ね合わせ精度、最小膜厚や最大膜厚、配線に使用する金属の種類などが挙げられる。プロセス・ルールは、複数の制約条件の束である。

あるプロセス・ルールを達成するための工程設計はいくつも存在する。しかし、すべて制約を満足する条件を見つけ出すことは大変困難である。たとえば、プロセス・ルールを実現する設備の組合せや処理の順序、熱条件や圧力条件、成膜に使う金属材料やガスなど考慮すべきパラメタは無限に存在する。さらに、処理間で相互作用も発生する。このため、例えば熱処理を行うプロセスは高温プロセスから低温プロセスに順番になるように配置しなければならない。そうでなければ熱処理によって途中のプロセスで行った処理が無効になってしまうからである。だからプロセス・フローの始めに並ぶプロセスの生成物は、物理的・科学的に安定であればあるほどよい。これらの条件をすべて満たしたパラメタ群がレシピと呼ばれるものであり、レシピで実現される結果がプロセス・ルールである。

物理設計と工程設計で構成される工程アーキテクチャをみると、次の 2 つの特徴があることが分かる。1 つめは、工程設計内部ではプロセス間の相互調整が必須の作業となる。個々のプロセス (ユニット・プロセス) に付随する要素技術をインテグレーションする必要がある。例えば DRAM であればインテグレーション技術者は 500 工程にも及ぶフローを構築し、オーケストラの指揮者のように一連の要素技術者らを指揮しながら目標スペッ

---

<sup>7</sup> 後述のように DRAM などのメモリ製品では、論理設計と工程設計の間には依存性が生じる。またアナログ半導体やパワー半導体も設計間の自動変換は困難で、回路設計と工程設計の間に依存性が生じる。

クの実現を図ることが行われる（鈴木・湯之上,2008）。複数のユニット・プロセスにまたがる加工処理も頻繁に起こるためユニット・プロセス間の調整が重要になる。2つめは、工程設計内部の相互調整とは対照的に、物理設計と工程設計の間には、プロセス・ルールという明確な翻訳ルールが設定されているということである。

#### デザイン・ルールとプロセス・ルール：翻訳ルール間の関係（スケーリング則）

論理設計・物理設計・工程設計を詳細に見ることによってデザイン・ルールとプロセス・ルールという二つの翻訳ルールが存在していることが分かった。デザイン・ルールとプロセス・ルールはまったく異なるものである。デザイン・ルールは論理設計と物理設計の間に設定されるものであり、プロセス・ルールは物理設計と工程設計の間に設定されるものである。端的に言えばプロセス・ルールは最小加工寸法のことであり、デザイン・ルールは素子や配線の寸法のことである。

ところが、半導体産業ではこの2つを同一視する傾向がある。実際に半導体産業の関係者との議論の際に、厳密にはデザイン・ルールと言わなければならない場面であっても、プロセス・ルールという単語を用いたとしても通用する。しかし繰り返しになるが、両者は異なるものである。

この混同の背景には、デザイン・ルールとプロセス・ルールの間にスケーリング則 (Dennald, 1974) と呼ばれる関係法則が定義されている事が関係している。スケーリング則とは、シリコン・ウェーハ上に形成されるトランジスタなどの素子の電気特性（電界）と寸法との間の関係法則の事である。スケーリング則は、一般的には「素子の微細化によって速度、集積度、消費電力のいずれも性能が向上することを示しているため、その後の半導体技術の高性能化の道として微細化の道を明示した」法則として理解される。しかし、スケーリング則には、設計科学上、もう一つ重要な意味がある。それは、半導体のデバイス（機能素子）の電界を一定にしたまま寸法を縮小する方法を明示したことによって、プロセス・ルールとデザイン・ルールの間に明確な対応関係を提示したことである。

今日、 $\lambda$ （ラムダ）ルールとして知られるデザイン・ルール方式<sup>8</sup>は、スケーリング則を利用して、プロセス・ルールに対して相対的なデザイン・ルールとして定義を行う方式である (Mead and Conway, 1980)。例えば、最小加工寸を $\lambda$ としたときに、金属配線の最小幅を $3\lambda$ , 配線間隔を $3\lambda$ として設計しておけば、最小加工寸の変更に対して再設計する必要がない。つまり、 $\lambda$ ルールに則った論理設計を行っていれば、プロセス・ルールの変更に対し

---

<sup>8</sup>  $\lambda$ ルールは Mead と Conway による VLSI の設計教科書「Introduction to VLSI Systems」によって広く普及していった。EDA 企業の設立者は、この設計方法に大きな影響を受けた。

て、論理合成を行うことによって、自動的に物理設計を生成することが出来るのである。

このことを逆に工程設計側からみると、ルールは達成すべき DFM ルールとなっているといえる。デザイン・ルールが「論理設計→物理設計」方向の翻訳ルールだとすると、プロセス・ルールは「工程設計→物理設計」方向の翻訳ルールである。この結果、物理設計を介するものの、ルールさえ守っていれば論理設計と工程設計は二つの独立変数と見なすことができる。

要するに、デザイン・ルールとプロセス・ルールという二つの翻訳ルールの中にスケールリング則という明確な翻訳ルール間ルールを設定することによって、工程アーキテクチャのインテグラル化が進んだとしても、製品アーキテクチャのモジュラリティが失われないメカニズムを半導体産業では構築したのである。

これにより回路設計情報の創造(論理設計)と構造設計情報の翻訳(工程設計)とは、互いに影響されることなく遂行できる。この設計上の分離モデルが半導体集積回路においてファブレス企業(設計企業)とファンドリ企業(前工程製造専門企業)を分離するモジュラー型ビジネスモデルに対する設計論的な根拠となっている。

### **1.3 半導体の「中アーキテクチャ」と「外アーキテクチャ」**

1.2 節では、一般的な半導体の中アーキテクチャ、すなわち製品アーキテクチャと工程アーキテクチャの関係について考察した。そこでは工程設計が論理設計に対して及ぼす影響を遮断するために、工程設計と物理設計の間に「プロセス・ルール」を設定し、このプロセス・ルールに対応する「デザイン・ルール」を物理設計と論理設計の間に設定した。この二つの翻訳ルール間に更に上位の翻訳ルールであるスケールリング則を置くことによって、論理設計は工程設計に依存しないで行うことが可能となった。このため、半導体集積回路の製品アーキテクチャは、工程設計よりもむしろ制御対象の完成品の用途や顧客の指向に左右されるようになっていった。つまり半導体企業のビジネスモデルとしては半導体集積回路自身のアーキテクチャ(中アーキテクチャ)でなく、半導体集積回路を用いる完成品との関係(外アーキテクチャ)が重要な要素として浮上してきたのである。

外アーキテクチャとは、あるシステムのアーキテクチャの低い階層の部品、モジュールやサブアセンブリが複数の製品世代や幅広い製品種類に共通に使われる程度の事である。複数世代にわたって同一部品が使われたり、多くの異なる完成品で共通化された部品が使用されていたりする場合、その部品は「規模の経済」「範囲の経済」さらには「代替の経済」を享受することが出来るため、競争上優位に立つことが出来る(Garud, Kuramawasy, and

Langlois, 2002)。

例えば半導体企業が設計する半導体製品がカスタム品であるのか汎用品であるのかは、半導体企業の収益性に大きな影響を与える。一般にカスタム品の収益性は低く汎用品の収益性は高い。半導体製品が、カスタム品か汎用品であるかは、半導体集積回路の外アーキテクチャに依存する。半導体集積回路の「外アーキテクチャ」とは、半導体が組み込まれる製品の「中アーキテクチャ」に他ならない。

製品がインテグラル・アーキテクチャであれば、制御を行う半導体に製品特殊な仕様が要求されやすくなり、半導体集積回路はカスタム設計品になりやすい。逆に製品がオープン・モジュラー・アーキテクチャであれば、半導体集積回路が行う制御も製品間で共通となり、半導体集積回路は汎用設計品になりやすい。

ただしカスタム設計とは「製品特殊」あるいは「顧客特殊」という意味であり、必ずしも「用途特殊」という意味ではないことに注意を要する。ここで用途（アプリケーション）とは、例えば「PC用」「携帯電話用」「デジタルカメラ用」「自動車用」「産業機械用」などといったレベルを指す。

したがって、例えばオープン・アーキテクチャの製品に組み込まれるロジック半導体は、「用途特殊だが製品特殊ではない」という場合があり得る。例えば ASSP (Application Specific Standard Product) は用途特殊だが製品特殊ではない。

一方、一般に ASIC (Application Specific Integrated Circuit) と呼ばれているものは、「用途特殊かつ製品特殊」であり、正確には ASCP (Application Specific Custom Product) と呼ぶべきものである (新藤、2006)。

従来、ASSP や ASCP は、厳密に区別されずに広い意味のカスタム製品であるという点で ASIC とよばれていた。両者はロジック半導体としては、同様の設計開発工程をもつため区別が曖昧になっていた点がある。しかし、同じカスタム品であっても用途特殊であるのか顧客特殊であるのかによって、半導体企業の収益性には大きな違いとなって表れる。

以上をまとめるならば、半導体製品の「外アーキテクチャ」は以下のようにおおまかに分類できよう。

- ① 汎用半導体： 複数の用途・顧客・製品にまたがって使われる。汎用マイコン、汎用 DSP、メモリ半導体など。組み込まれる製品はモジュラー型。
- ② 用途特殊・業界標準品： 特定用途のみに使われるが複数顧客・複数製品にまたがって使われる。ASSP など。組み込まれる製品はモジュラー型。
- ③ 顧客特殊・製品特殊半導体： 特定の顧客・製品に特化したカスタム品。特定顧客用



ASCP など。組み込まれる製品はインテグラル型。

このうち、近年伸びているのは、②の「用途特殊・業界標準品」であり、設計にせよ製造にせよ、こうした製品に集中し高いシェアを持つ専門的な企業が高い利益率・成長率を示す傾向がある<sup>9</sup>。

いずれにしても製品のアーキテクチャ分析においては、しばしば「中アーキテクチャ」と「外アーキテクチャ」が混同されることがあるが、企業の競争力、収益性、成長性を分析する際には、こうした「中」と「外」の分析を総合した、「アーキテクチャの位置取り戦略」が重要である（藤本、2004；藤本・ものづくり経営研究センター、2007）。

### 1.3.1 半導体の種類による「中・外アーキテクチャ」の違い

ここまで「中アーキテクチャ」と「外アーキテクチャ」という枠組みに沿って半導体一般を分析してきた。ここでは日本企業に関係の深いメモリ半導体とロジック半導体について、アーキテクチャの視点から両者を対比しながら考察していく。日本のメモリ半導体は、1970年代から世界市場へと台頭始め1980年代にピークを迎えた。しかし、1990年代半ば以降、急速に市場競争力を失っていった。その後を継ぐべきロジック半導体でも成功しているとは言い難い状態が続いている。この理由をアーキテクチャの視点から考察しようという試みである。まずはメモリ半導体とロジック半導体のアーキテクチャ上の違いを明らかにする。

#### 1.3.1.1 メモリ半導体

メモリ半導体とはデータの読み込み、保持、読み出しを行う半導体のことである。メモリ半導体においては、スイッチであるトランジスタと電荷を貯めるコンデンサ(キャパシタ)のペアがひとつのメモリーセル(記憶単位)を形成する。そうしたセルを、番地を決めて多数並べる。大まかに言ってメモリ半導体は電荷を貯めるメモリーセルと番地を決めるアドレス回路で構成される。

メモリ半導体には、電源を切るとデータが失われるタイプ(主に RAM)と、電源を切ってもデータが保持されるタイプ(主に ROM)とがある。また前者には、頻繁に再書き込みをすることでデータを保持するダイナミック型(たとえば DRAM)と、その必要のないスタティ

<sup>9</sup> 2007年現在の事例で言うなら、携帯用DSPのTI、ファブドリを利用するファブレス企業である携帯用チップセットのクアルコム、メディアテック、その他である（宮崎、2007）。

ック型(SRAM)がある。

メモリ半導体はメモリセルの比較的単純な集まりであり、その意味で論理回路的にはモジュラー的(組み合わせ的)である。しかし一方、メモリセルの集積度を高めようとするれば、物理設計・工程設計の制約は厳しくなりやすい。さらにメモリの機能はデータの格納という汎用的なものであり、企業は高機能で安価ならば標準品を買うため、コスト制約も厳しいものになりやすい。厳しいコスト競争を生き残るため論理設計と工程設計間を密接に調整する必要性が生まれ、中インテグラルになりやすい。つまりメモリ半導体は設計もさることながら、工程能力および工程と設計との相互調整が製品差別化やコスト優位の要因として現れるのである<sup>10</sup>。

一般的な半導体(後述のロジック半導体を含む)であれば前述のように、論理設計と工程設計間で相互調整をしなくても独立して設計活動が行う分離モデルが機能している。ところがメモリ半導体では分離モデルは機能していない。メモリ半導体では、要求される機能の標準化が進み極端な汎用化が行われたため、分離モデルを超えた記憶容量とコストの実現が競争上の焦点となっている。外アーキテクチャと中アーキテクチャの関係は複雑であり、外アーキテクチャがモジュラーであれば中アーキテクチャもモジュラーであると即断してはいけないことをメモリ半導体の事例は示している。製品アーキテクチャと工程アーキテクチャを区別して論じることが重要なのである。

厳しいコスト競争を通じてメモリ半導体は中インテグラルな製品へと移行していった。例えばメモリ半導体分野では論理合成で自動的に生成された回路パターンをつかってそのまま量産を行うことは考えられない。論理合成によって自動生成された回路パターンには冗長性があり、コスト競争力のある回路パターンにならないからである。加えてメモリ半導体の大部分を占めるメモリセルがデジタル回路ではなくアナログ回路の特性を持つことが挙げられる。アナログ的特性は誤差伝播の問題を引き起こすため、全体の性能を検証するために短期間内に設計・試作サイクルを多数回することが求められる。このためメモリ半導体では製品アーキテクチャと工程アーキテクチャのとの間の相互調整が頻繁に行われる(鈴木・湯之上, 2008)。ここからメモリ半導体の中アーキテクチャはインテグラルであると考えられる。

ロジック半導体とは異なり、メモリ半導体で有名なサムソンでも東芝でも設計と製造の分離(ファブレスとファンドリ)が起こっていないのは、こうした中インテグラル性によると考えられる。したがって、メモリ半導体分野では、メモリ半導体の外モジュラー性を前

---

<sup>10</sup> 鈴木・湯之上(2008, p.119)も同様の指摘をしている。DRAMなどメモリ・ビジネスにおいて設計と製造の分離、ファンドリ企業への製造委託が大きく進まない理由として、製品設計とプロセス設計が話し合わないとなかなか問題を解決できないことを挙げている。

提として高い固定費を量販により償却する、というビジネスモデルが成立しやすい。

### 1.3.2. ロジック半導体

ロジック半導体は、プロセッサと呼ばれるものと ASIC（システム LSI、SoC 等）と呼ばれるものの二つに、大きく分別することが出来る。

#### 1.3.2.1 プロセッサ

我々が、もっとも親しみ深いロジック半導体は、プロセッサに分類されるものであろう。パソコンに内蔵されている CPU という半導体は、このプロセッサに分類されるものである。

プロセッサとはソフトウェア(プログラム)の命令によって情報処理・計算・制御を行う中央演算処理装置 (CPU) を半導体チップの上に乗せたものを言う。メモリ半導体などが保存するデータを引き出し、プロセッサに取り込み、演算などを実行する。

プロセッサとはロジック半導体のなかでも汎用品となっているものである。プロセッサ自身は、汎用的な演算を出来るだけ高速に行うように設計されており、外モジュラー的である。後述の SoC やシステム LSI のように特定の制御目的の論理回路が事前に焼き付けられているわけではなく、論理演算命令とデータはその都度、外から読み込まれる。ハードウェアとしての半導体は、したがって特定の論理設計を転写されているわけではなく汎用的である。

プロセッサのうち最も汎用的なのは情報処理一般をこなす MPU(Micro Processor Unit)で、主な用途は PC である。第 2 に音声処理・画像処理などの信号処理に特化した DSP(Digital Signal Processor)があり、携帯電話やデジタル画像・音響機器に使われる。第 3 に駆動部分を持つ機器の制御に使われる MCU (Micro Controller Unit, マイコン) があるが、これは概して速い応答速度を要求されるため、メモリや入出力インターフェイスも内蔵するので、汎用性はプロセッサの中では最も低い(新藤、2006)。

プロセッサの中アーキテクチャをみると、前述したように製品アーキテクチャと工程アーキテクチャの間は分離モデルが前提となる。分離モデルはプロセッサであろうと ASIC であろうとロジック半導体の中アーキテクチャに共通している。

ところが現実には処理速度や内蔵する入出力インターフェイスによって分離モデルは影響をうけており、プロセッサでは単純な分離モデルではなくよりインテグラルな中アーキ

テクチャとなっている。例えば処理速度が速ければ速いほど最先端プロセスを利用した回路設計を行う必要があり、製品アーキテクチャと工程アーキテクチャの間の依存性が高まる。また入出力インターフェイスはアナログ回路的な要素が強いため、ここでも、製品アーキテクチャと工程アーキテクチャの間の相互依存性が高くなり、中インテグラルになりやすい。このためプロセッサでは IDM 企業の存在感が強い。

ただし最先端プロセスであっても中インテグラルにならずに分離モデルが維持される事態が起こりつつあり、ビジネスモデルの変化が始まろうとしている。互換プロセッサで有名な AMD は 2008 年 10 月に自社の製造部門を分離しファンダリ企業の設定を発表した (AMD, 2008)。また DSP で有名な TI は 32nm 移行の次世代プロセス技術は自社開発を行わず TSMC や UMC 等のファンダリ企業に委託することを発表した (日経マイクロデバイス, 2007)。プロセッサ分野で製品アーキテクチャと工程アーキテクチャの分離モデルを前提とした再編がプロセッサ分野で起こりつつある。現在この分離モデルの影響を最も受けているのが次に示す ASIC 分野であり、日本の半導体産業の国際競争力に大きな影響を与えている。

### 1.3.2.2 ASIC

プロセッサが汎用品であるのに対して、顧客特殊であったり用途特殊であったりするロジック半導体の事を ASIC と呼ぶ。製品のシステム制御をシリコン上で実現するという意味で、ASIC はシステム・オン・チップ (SoC) やシステム半導体と呼ばれることもあるが、三者は同じものである。

ASIC は汎用のプロセッサと異なり、制御目的 (用途・製品) によって異なる回路設計のロジック半導体が要求される。ロジックがハードウェア化している分、処理速度は速いが、用途・顧客・製品ごとに特殊設計の半導体が要求され、その意味で「外インテグラル型」となりやすい。

用途が顧客の個別製品ごとに異なる場合は、フルカスタム(特注)設計の半導体となる。いわゆる ASIC (Application Specific IC) の中の ASCP はこれである。前述のように、日本企業は、外インテグラルのロジック半導体である ASCP を得意とする。

一方、顧客特殊ではなく用途特殊 (外モジュラー) である ASIC を ASSP と呼ぶ。ASSP は、さらに ASSP を提供する半導体企業は業態によって 2 つに分けられる。設計から生産まで全て行うタイプの半導体企業業態を IDM (Integrated Device Manufacture) 型半導体企業と呼ぶ。それに対して、設計だけを専門に行う半導体企業をファブレス企業と呼ぶ。ASSP は、IDM 半導体企業からも、ファブレス企業からも提供される。

従来であれば半導体企業は IDM 半導体企業のように設計プロセスと生産プロセスを保持していることが当然であった。しかし、前述のように、論理設計と工程設計が分離され、論理設計の巨大化が可能になると、設計専門会社の台頭が顕著化してきた。設計専門企業は生産プロセスを持たないという意味でファブレス（ファブは工場の意味）企業と呼ばれる。そして、ファブレス企業から委託をうけ生産を専門に行う半導体企業をファウンドリ企業と呼ぶ。ファブレス企業もファウンドリ企業も、半導体集積回路を商品にしているという点で半導体企業と呼ばれるが、IDM 型の企業とは明確に異なる。

ファウンドリ企業が成立する前提条件を考えると、メモリ半導体とは異なるロジック半導体の特性が関係しているものと思われる。ロジック半導体は、制御ロジックの機能を競う反面、極限的な集積度を狙うわけではなく、製品と工程の分離(製品・工程のモジュラー化)は比較的可能である<sup>11</sup>（中モジュラー）。この領域で、ファブレス企業とファウンドリ企業との分業が成立しやすいのはそのような理由からであろう。

ASCP、ASSP は、広義には ASIC に含まれる。それらの違いを、半導体企業とユーザ企業（ファブレス企業もしくは完成品企業）との設計分担のあり方から整理したものが図 4 である。

設計分担種別		仕様設計	RTL設計	論理合成	レイアウト	試作・テスト	量産
		LSIの機能、ソフトウェアや他のLSIとのインターフェースを決定する	ハードウェア記述言語で論理回路を記述する	RTLを論理合成ツールによるゲートレベル記述に変換する	ゲートレベル記述された回路をに従って配置配線を行い、タイミング検証を行う	製造したLSIが設計通りの性能を持つか確認する	市場・顧客の要求に応じて生産を行う
広義の ASIC	ASCP (狭義の ASIC) 仕様からRTL記述までユーザが行う	ユーザ企業		半導体企業			
	IDM方式の ASSP 半導体メーカーが仕様から量産まで全て行う	半導体企業					
	ファブレス・ファウンドリ方式の ASSP ユーザが設計用の各種ツールを占有してLSI製造業者からデバイスパラメータを入手し、マスクパターンまで作成する	ファブレス企業				ファウンドリ企業	

	半導体企業の設計担当
	ユーザ企業の設計担当
	設計専門会社(ファブレス)/ユーザ企業の設計担当

図 4 ASIC にみる半導体企業とユーザ企業の設計分担

集積度の向上によって ASCP の 1 件あたり開発費は急騰しており、製品特殊であるゆえに量が出ず多品種少量となりやすい。そのため日本半導体企業が得意とする ASCP では利益

<sup>11</sup> 鈴木・湯之上(2008)では、SoC などにおいては、設計はプロセスに対してトランジスタと配線の性能のみ要求し、あとはそれらの組み合わせで出来てしまうので、TSMC などのファウンドリ企業へ製造委託しやすいとしているとしている。

が出にくいといわれる。これに対し用途特殊的是はあるが顧客特殊的是ではなく、複数の顧客に汎用製品として販売される、外モジュラー型のロジック半導体である ASSP(Application Specific Standard Products)は市場の成長率が高い。

このため ASSP 市場での競争力をいかに獲得するかが重要なポイントとなっている。ASSP市場では、日本企業に代表される IDM 型半導体企業と、米国・台湾に代表されるファブレス・ファンドリ企業の2つの企業形態が競合している。

ファブレス企業は、前述のように、半導体集積回路のアーキテクチャ上、論理設計が工程設計と分離した結果、論理設計に特化することが可能となった業態である。一方ファンドリ企業は、半導体製造の上流にある資本集約的な一括転写工程であるウェーハ工程の加工を請け負う。

このビジネスモデルが成立しやすいのは、前述の「用途特殊だが製品特殊・顧客特殊ではない」というタイプのロジック半導体、すなわち ASSP である。メモリ半導体やCPUの場合は用途を超えた汎用性が高く量販による固定費の回収が見込めるが、一方で先端技術への集中が市場の要求であるため、設計・製造一貫のビジネスモデルになりやすい。つまり半導体前工程の製造がファンドリに切り出されることはあまりない。

### 1.3.3 半導体の「中・外アーキテクチャ」のマッピング

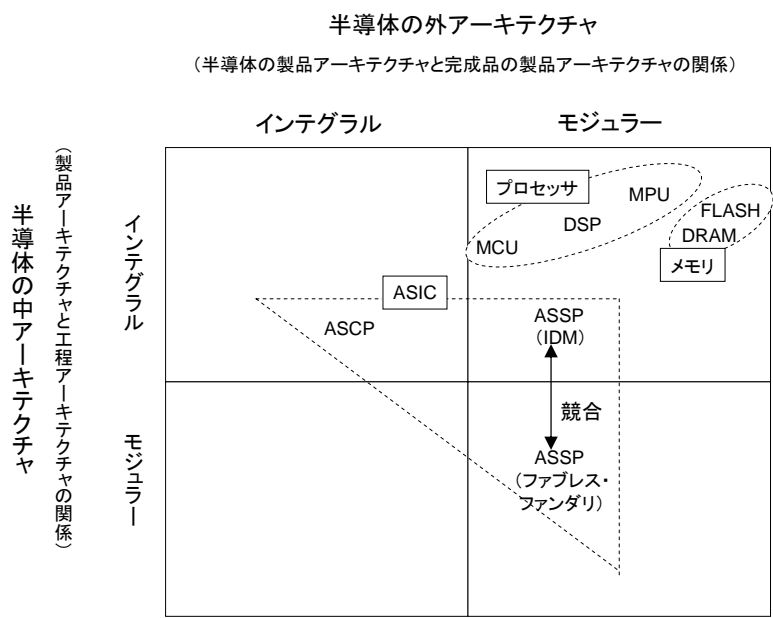


図 5 半導体製品におけるアーキテクチャのポジショニング

これまでメモリ半導体、ロジック半導体の「中アーキテクチャ」「外アーキテクチャ」を概観してきた。それを整理したものが図 5 である。メモリ半導体は、標準的な機能を実現する汎用品であり外モジュラーである。しかしコスト競争が厳しく、工程能力および工程と設計との相互調整が製品差別化やコスト優位の要因となる中インテグラル製品でもある。差別化の源泉が工程にあるメモリ半導体は、製造工程への巨大投資を行わない限りそもそも産業競争力を獲得することが出来ない。とくに 1990 年代後半、メモリ価格が急激に下落するとともに、工場投資費用が急激に増加したため、日本半導体企業はメモリ半導体からロジック半導体分野へと軸足を移していった。現在、メモリ分野で存在感を持つのはサムスンや Hynix などの韓国企業である。

ロジック半導体の中でもプロセッサに目を向けると、比較的「外モジュラー」的である CPU はインテル、DSP はテキサスインスツルメントなど、米国企業が強い（図 5）。一方、日本企業は、プロセッサの中では MCU およびそれを駆動する組み込みソフトウェアに強い。とくに自動車や産業機器など、インテグラル・アーキテクチャの製品に搭載される、カスタム性の強い MCU や ASCP では、日本メーカーのシェアが高い（宮崎、2007）。これは、顧客企業が強いことも一因であるが、日本企業が顧客との設計調整とを得意としていることを反映しているといえる。

一般に ASIC と呼ばれているロジック半導体は、ASCP や ASSP (IDM 方式/ファンドリ方式) といった複数種類のロジック半導体を含んでおり、アーキテクチャ的には異なる物が混同されている。日本企業は顧客特殊的で「外インテグラル」である ASCP が歴史的に強かった。1980 年代末から 1990 年代前半まで日本半導体企業は、パソコンやワークステーション向けの半導体設計を行う米系半導体設計専門会社から製造受注を受け、ASCP 製造を行う ASIC ベンダーとして大きな利益を上げていた。このように日本企業が強いのはロジック半導体の中でも「中インテグラル・外インテグラル性」の強いカスタム製品である（図 5）。近年では、インテグラル・アーキテクチャの客（たとえば自動車や産業機器）に対するマイコンや ASCP では比較的高いシェアを有している。しかし、この戦略領域は高コストとなりやすく、また量産効果にも限界がある傾向がある（藤本、2004）。

1990 年後半より日本半導体企業はメモリ半導体からロジック半導体に事業の中心を移行している。この変化の中で成長力の大きい ASSP に対応したビジネスモデルの構築が求められている。ASSP では前述のように日本企業が行う IDM 方式とファブレス/ファンドリ方式の 2 つが競合している。IDM 方式の ASSP の中アーキテクチャは統合モデルである。対照的にファンドリ方式の ASSP は分離モデルである。現在、台湾半導体産業はファンドリ・ビジネ

スで競争力をつけており、近年ファンドリ・ビジネスのトップ企業は台湾半導体企業のTSMC社である。利益率も非常に高い（野村證券、2007）。典型的な、中モジュラー・外モジュラービジネスといえる（大山、2005）。前工程は資本集約的で規模の経済がきくので、ファンドリが価格設定力を握り、トップシェアをとれば非常に収益性が高くなる。たとえばTSMCの損益分岐点 60%ポリシーであり、規模の経済を意識した方針である。一方、自動車や産業機器など、カスタム・ロジック半導体を要求するインテグラル・アーキテクチャの顧客には強くない<sup>12</sup>。

ASSPは、メモリやCPUと違って、用途によって必要とされる集積度が異なる。例えば、TSMCの2007年の売上げにおいて、線幅0.1ミクロンをきる先端製品は20%ほどしかなく、あとは非先端技術によるICである(TSMC, 2007)。TSMCは、枯れた非先端技術における製造受託で利益を出し、その資金で先端領域の製造受託を行う、というポートフォリオ戦略をとっており、これで同業他社を圧倒する売上げと利益を確保している。

一方、先端領域に集中し、高機能を要求するインテグラル製品の顧客に注力する日本企業は、「中インテグラル・外インテグラル型」のアーキテクチャ戦略をとるが、先端領域における莫大なR&D費用を回収するには、カスタム製品のASCPだけでは売上げが足りない。そのため多くの顧客を対象とするASSP市場を獲得する必要があるが必ずしも成功していない。この結果、高いR&D費用率と低い営業利益率に甘んじている（大山、2005）。

---

<sup>12</sup> 自動車や産業機器などで使う半導体は一般の半導体に対して対応する温度域や経時的変化に対する信頼性が厳しい。このため一般の半導体に必要なプロセスとは異なる特殊なプロセスになりやすい。一方、市場規模（数量）はパソコンやデジタル家電、通信機器用の半導体製品に比べて少ない。このためファンドリ企業が対応するプロセスを準備していない場合がある。自動車の電子化が本格的に始まり市場規模が大きくなった時には、ファンドリ企業が対応するプロセスを用意する可能性がある。



### 3 日本半導体企業へのインパクト:微細化が進めば日本企業が強くなる?

日本の半導体企業は「中インテグラル・外インテグラル」といったアーキテクチャの位置取りをとることが多く、それが日本企業の戦略的な限界を示していると思われる。高い研究開発支出を負担しながら、中インテグラル・外インテグラル型の先端技術製品を集中的に作り続ける、という多くの日本の半導体企業が抱えるバイアスである。先端技術が高収益、高成長をもたらすとは限らない、ということは日本の半導体産業二十年の教訓といえよう。

しかしながら、この問題は日本企業だけを論じても有益な洞察を得ることが出来ない。なぜ日本企業が「中インテグラル・外インテグラル」に位置し続けるのかと同時に、なぜ台湾ファンドリ企業が「中モジュラー・外モジュラー」を維持し続けられるのかを考える必要がある。実は 2000 年前後、多くの日本半導体産業関係者は微細化が進めばファブレス・ファンドリ企業の基盤である中モジュラーが崩れ、IDM 方式による ASSP が強くなると予測した。その意味では日本企業が中インテグラルを維持し続けることは合理的であった。しかし現実には微細化が進めば脱落すると考えられていた台湾ファンドリは、今も国際競争力を維持し拡大している。半導体産業の国際競争力を考える上で、この理由を明らかにすることは必須の作業である。

そこで、なぜ「微細化が進めば台湾ファンドリは弱体化し、摺り合わせが得意な日本企業が強くなる」と考えられたのかを、いままで考察したアーキテクチャ論をつかって整理し、そのような予測にもかかわらずなぜ「台湾ファンドリ企業が競争力を維持し続けているのか」を説明する。

#### 3.1 日本型 ASIC が有利になる? : 論理設計・物理設計・工程設計の相互作用の強化

1990 年代末に、日本半導体企業がメモリ半導体からシステム LSI 半導体へと事業の軸足を移す中で、IC の高集積化が進めば統合型の組織能力を持ちインテグラル型（すり合わせ型）アーキテクチャと相性の良い日本企業が競争優位を回復する、という期待が半導体業界にはあった。

集積度が一定限度を超え、ゲート数がたとえば 50 万以上、線幅が 0.1 ミクロン以下になると、論理設計が同一でも物理設計の巧拙で製品の機能が違ってくる。つまり、論理設計から物理設計への翻訳も、物理設計から工程設計への翻訳も難しくなる。そして、それだ

け工程設計も難しくなる。微細化が進めば、もはや論理設計は物理設計や工程設計と独立して存在するわけにはいかず、三者に依存性が出てくる。したがって回路設計者・物理設計者・工程設計者との間の緊密なコミュニケーションが必要となる（三輪、2001；三輪、2004）。それは、論理設計の段階から工程設計を考えねばならない、ということの意味する。つまり機能・構造・工程関係において高集積度の IC は中インテグラル型アーキテクチャに傾斜すると考えられたのである。

もし微細化がさらに進めば論理設計と工程設計は不可分となり、設計専門企業と製造専門企業という分業関係は成立しなくなるはずである。物理制約が厳しくなればなるほど、外モジュラー・中インテグラルのファンドリ・ファブレスのビジネスモデル自体が成立しなくなる、との予測が 1990 年代末の日本半導体産業には存在した。そうなれば論理設計と工程設計の分離をビジネスの前提とするファンドリモデルは成長の機会を失い、日本半導体企業のような IDM モデルで ASSP を生産している企業にチャンスが出てくるはずである。

しかし実際にはファブレス・ファンドリのビジネスモデルの競争力は、今日に至るまで維持され強化されている。次節以降、日本半導体関係者の予測とは裏腹に、微細化が進んだにもかかわらず、なぜ台湾ファンドリ企業の競争力は衰えることもなく地位を強める結果となったのかを考察する。

## 3.2 半導体の中アーキテクチャの変化

### 3.2.1 集積度と開発費・設備投資の高騰

まず 1990 年代後半に起こった変化として微細化に伴う生産設備への投資額の高騰が挙げられる。最先端の微細化に対応した装置の価格は高騰していった。微細化への要求が強まるにつれて、クリーンルームへの要求レベル、自動搬送化への要求も高まっていった。クリーンルームのクリーン度を上げれば、それだけ設備投資が大きくなる。工程内のゴミを排除しようとする、人手搬送ではなく自動搬送が必要になる。これらはすべて設備投資を巨額化させる要因であった。

急激な工場投資費用の増大  
-特に1990年代後半から、投資拡大スピードが上がる-

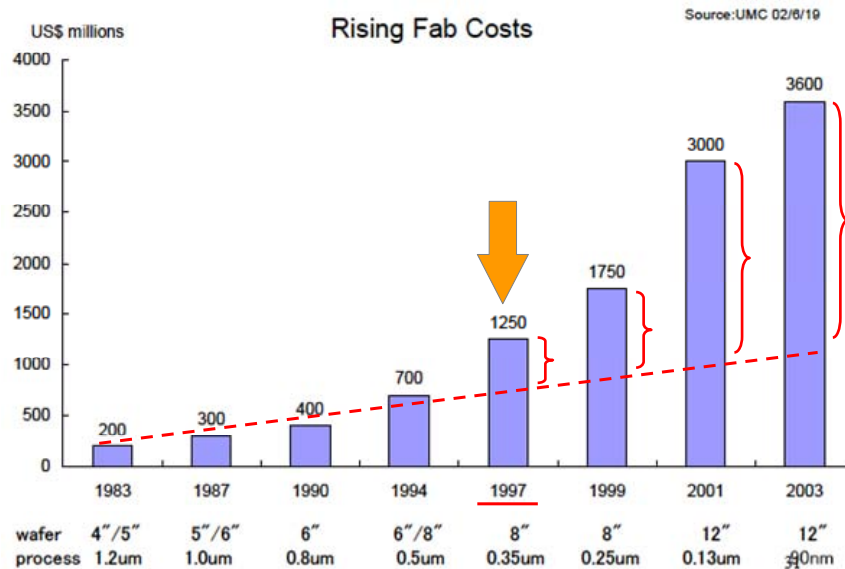


図 6 1990年代半ばから、工場投資費用の増加スピードが上がる

このことを図 6 から確認することが出来る。1990 年代半ばまでは一般的な工場投資費用はゆるやかに増加している。しかし 1990 年代後半からは工場投資費用の増加スピードが急激に加速している様子がわかる。

### 3.2.2 プロセス装置の大モジュール化/プラットフォーム化

設備投資高騰の大きな原因は微細化である。1990 年代の半導体産業では、微細化が不断急激に進んだ。これに対処するために装置間の相互調整も同時に進み、露光装置と補正のための計測装置のインテグレーションや、連続成膜を可能とする真空チャンバをインテグレーションしたクラスターツールが導入された。一見、工程間のインテグラル度合いが高まるように見えるこの活動は、実は、逆に工程設計のモジュラー化も進めていた。

つまり工程同士のインテグレーションの度合いは進んだが、同時に、それを代表するプロセス装置同士のインテグレーションの度合いも進み、より上位の視点からみれば、大きいモジュール装置で工程が構成されるようになったのである。この工程設計の変化は、工程能力を決定するプロセス・フローの開発が、大きいモジュール装置同士のインテグレーション、いわゆる「大モジュール」のインテグレーションへと変貌していった事を意味する

従来のやり方であれば、小さいモジュール装置同士のインテグレーションを半導体メーカーのプロセス・フロー開発者が行う必要があった。しかし新しい大モジュール装置では、小さいインテグレーションは技術力のある装置企業を中心に行われ、より上位のインテグレーションを半導体企業が担うような分業が成されていった（図7）。

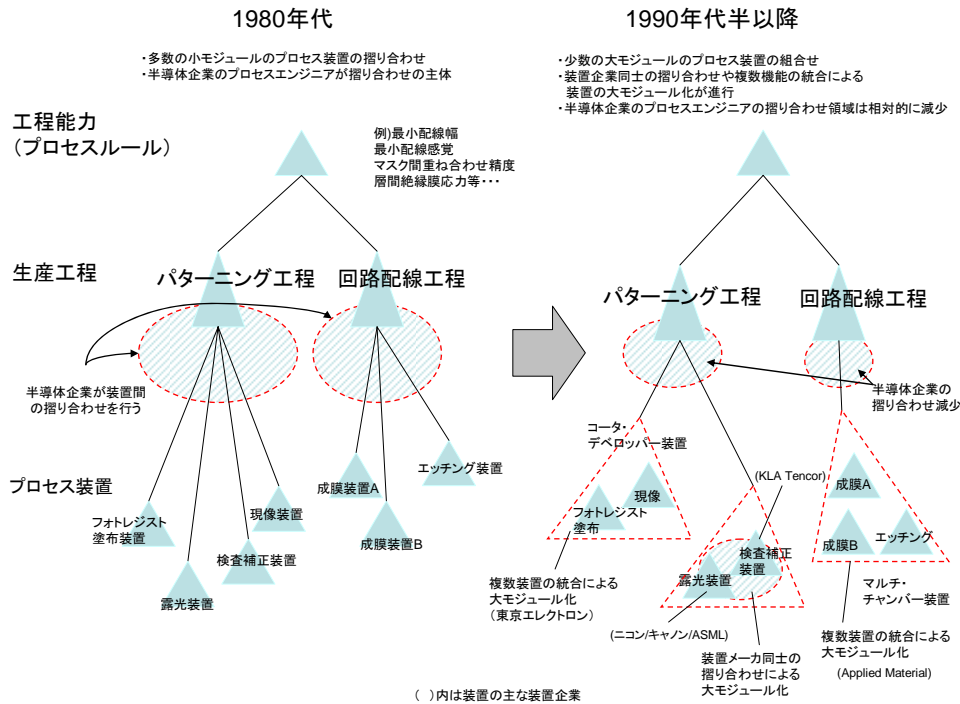


図7 半導体における工程アーキテクチャの大モジュール化

出所：新宅他（2008）『一橋ビジネスレビュー』

プロセス装置の大モジュール化の典型例は、1990年代から盛んに導入されたクラスターツールと呼ばれるマルチチャンバー方式の複合プロセス装置である。マルチチャンバー方式では設備メーカーが複数のチャンバを組み合わせることで製造工程のいくつものステップをあたかも一つの処理設備であるかのように連続的に処理する。

もう一つの典型例は半導体の露光装置（スキャナー）のマスク・アラインメントの例であろう。露光工程ではフォトマスクを通じて露光装置による回路パターンの縮小投影露光が行われる。この工程で重要とされるのが、マスク・アラインメント、すなわちマスクパターンの重ね合わせ精度である。多層配線が必要な複雑なロジック半導体では、マスクパタ

<sup>13</sup> 大モジュール化の理論的な説明としては青島・武石(2001)が詳しい。

ーンをシリコン・ウェーハに何層にも重ねていく際にマスクのきめ細かな位置補正が必要となる。このノウハウは従来デバイスメーカーが有していた。しかし 1990 年代半ば頃になるとニコンやキヤノンなどの技術力のある露光装置メーカーと KLA-Tencor のような技術力のある計測器メーカーが装置間の相互調整を始め露光装置と計測器が自動補正を可能としていたのである。これにより今まで半導体企業の中に閉じていたアラインメントのノウハウは、露光装置と計測器が一体化した大きなモジュール装置の中にカプセル化されていった。そして、このような大きなモジュール装置を購入することが出来れば、従来は半導体企業自ら努力し開発しなければならなかったノウハウを利用することができるようになったのである。このように摺り合わせノウハウを装置の中に組み込んで行くことを摺り合わせノウハウのカプセル化とよび、そのような装置同士を調整してソリューション化していくことを工程のプラットフォーム化とよぶ（新宅他, 2008）。

プラットフォーム化された装置は、加工精度および生産性の向上に大きく寄与した。しかし、このような複合ツールは一般的に単品ツールよりも高価であった。日系半導体企業はクラスターツールの良さを理解していたものの、導入には慎重であった。むしろ既存装置の組合せやレシピを変更することによって装置の延命化を計る傾向が強かった。

一方、台湾ファンドリ企業は、例え高価であったとしても信頼性や生産性にまさるクラスターツールの導入に積極的であった。そして他の半導体企業よりも早く先端装置を導入することにより、オペレーションのノウハウも蓄積していった。

もしも設備投資コストを考慮すれば日系半導体企業のように装置の延命を計った方が正しい行動であるといえる。しかも、そこには半導体企業としてのインテグレーションのノウハウが生きる領域がある。しかし、もしも設備投資コストを考えなければクラスターツールのような大モジュール装置を導入した方が、信頼性の面でも生産性の面でも正しい判断である。装置の大モジュール化は半導体企業が行うインテグレーションを装置企業が代替して行っているとも言える<sup>1415</sup>。キャッチアップのためには技術力のある装置企業の摺り合わせノウハウを積極的に取り込むことが合理的なのである。

<sup>15</sup> 吉岡(2004)では、1990 年代に韓国の三星電子等の韓国企業が欠陥検査装置を大量導入した事例が報告されている。従来、パターンの欠陥検査はマスクの位置合わせ精度と同様に半導体企業の重要なノウハウであった。しかし、モジュール装置として切り出され市場取引されるようになると、例え高価であっても、そのような装置を大量購入することが工程能力を高めることにつながる。本文の台湾ファンドリ企業のクラスターツールの大量導入と共通の現象であると考えられる。

### 3.2.3 全体知識の縮小とノウハウの装置への転換：共同研究開発と標準化

前述のような大モジュール装置を提供するような技術力のある装置メーカーが成長する背景として半導体産業における共同研究開発コンソーシアムの存在が挙げられる<sup>16</sup>。半導体産業は多大な投資を伴う先端微細化プロセスを開発する必要があり、そのため古くから共同研究開発コンソーシアムが熱望されたが独禁法に抵触する可能性があった。

そのような中で日本の超LSI研究組合（1976-1980年）の成功はアメリカ・欧州の共同研究制度に大きな影響を与えた<sup>17</sup>。アメリカでは独禁法を緩和する国家共同研究法が1984年に成立し、これをうけて1987年に先端プロセスの製造技術開発の為の共同研究コンソーシアムであるSematechが結成された。Sematechの参加半導体企業14社はアメリカ半導体生産の8割を占めており、さらに運営予算は年間2億ドルと大規模なものであった(宮田, 1997, p.166-167)。

Sematechでは装置企業への委託研究を通じて半導体企業と装置企業との関係強化やロードマップ共有が図られた。設立当初の計画では委託研究は全予算の20%程度の予定であったが、1991年には48%に増加した(Spencer and Grindley, 1993, p.13)。これにはSematechの方針転換が関係している。設立当初、Sematechはアメリカ半導体企業の支援を目的としていた。しかし予想以上にアメリカ製造装置メーカーが弱体化しており、アメリカ半導体企業ですら主な装置購入先を日本装置メーカーにしようとしていた。このため装置企業助成に方針転換が成され、先述のような多額の予算が投入された(Spencer and Grindley, 1993; 井上, 1999)。

装置企業を支援するために業界標準化が推進されたことも重要な点である。Sematechに参加した半導体企業はアメリカの半導体生産の8割を占めており、彼らの要求を満たすように製造装置に必要な仕様が決められていった。アメリカ製造装置企業は統一した仕様の装置を開発することで、半導体企業毎に調整をする必要がなくなり、業界標準に対応した製造装置を供給して市場シェアを拡大していった。こうした活動のおかげで、装置市場シェアは1990年に日本(48%)がアメリカ(45%)を逆転したが、1992年にはアメリカ(51%)が日本(41%)を再逆転した。(Spencer and Grindley, 1993, p.22)。

Sematechは技術的成果という点からは疑問が提示されている(土屋, 1996, p.542)。しかし業界標準の普及という意味では産業に大きな影響を与えていることは間違いない<sup>18</sup>。1990年代にわ

<sup>16</sup> 産業政策としての1980年代以降の共同研究開発の詳細については宮田(1997)を参照。

<sup>17</sup> 欧州連合でも共同研究開発は独禁法に抵触する可能性があり、具体的にはローマ条約第85条と86条に抵触する。しかし1984年12月に発表されたEC規則（研究開発一括適用除外に関するEC委員会規則）で一定のルール下における共同研究と共同生産を認め、大きな方針転換が成された(宮田, 1997, p.188)。背景には新興国であった日本やNICs諸国の躍進と欧州の競争力強化政策がある。

<sup>18</sup> 欧州の共同研究開発コンソーシアムであるIMECでも先端微細化プロセスの装置の標準化の役割がある。最先端プロセスを実現する装置は高価であり、半導体企業が自社の為だけに装置開発を装置メーカーに依頼することは出来ない。そのため半導体企業はIMEC等の共同研究開発コンソーシアムに参加し、コンソーシアムに納入されている装置を評価した上で購入を決定する。共同研究開発コンソーシアムで半導体企業は装置メーカーに要望を出すので結果的に装置の業界標準化が進められることになる。露光機メーカーのASMLの躍進は、IMECとの

たつて、Sematechは装置間のインターフェイス部分のモデル作りとグローバルな標準化の支援を行い、装置業界の世界的標準化団体であるSEMIに対してSEMI北米発の標準化案を作成し発信するという形で標準化を支援・促進した(井上, 1999,p.30)。装置間インターフェイス標準化の典型例として工程間搬送の自動搬送化について説明する。

シリコン・ウェーハの工程間搬送は、ウェーハ大口径化に対応する技術であると共にクリーンルーム・オペレーションの1つであり発塵問題（ゴミ、パーティクル）の問題と密接に関係している。いわば半導体企業の無形のノウハウであった<sup>19</sup>。しかしこのような半導体企業のノウハウも、装置の中に取り込まれる形で、標準化され流通するようになっていった。

1994年からSEMIで標準化が開始された300mmウェーハ対応の自動搬送システムでは、搬送システムのソフトウェア(CIM等)などSematechの成果を利用したものも少なくなかった。局所クリーン化技術を利用した自動搬送システムは1999年にFOUPとして標準規格化され、2001年以降に投資された300mm工場では、一般的に使われるようになった。

図8は実際に標準化された搬送システムの概略を示したものである。すべてウェーハの搬送に関わる標準である。ウェーハ寸法、ウェーハを収めて運ぶキャリア、キャリアを運ぶ搬送機器、搬送機器からキャリアを受け取るロードポート、さらには生産システム全体を制御するソフトウェア(CIM)といった搬送のインターフェイス部分がすべて標準化されていることがわかる。

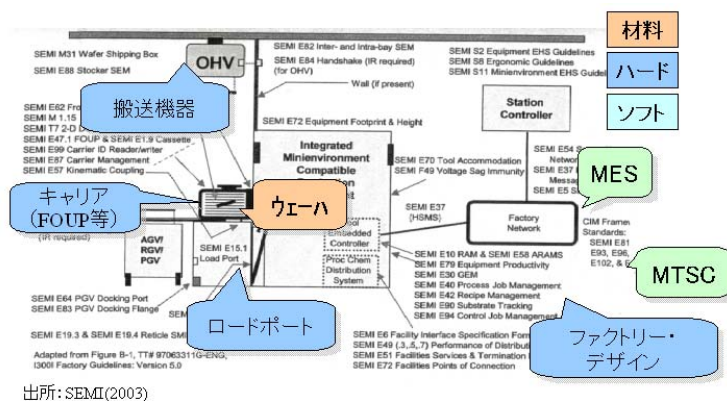


図 8 搬送システムにおける標準化

図表出所：小宮(2003)に筆者加筆

このように、工場の搬送システム、すなわち工程間のインターフェイスを標準化したことで、半導体メーカーは特定の設備メーカーから設備を購入する必要がなくなり、複数購買が

戦略的なパートナーシップと深い関係がある。IMECについては垂井(2008)を参照。

<sup>19</sup> 例えば1990年代初頭のクリーンルーム・オペレーションは、半導体製造ライン全体を極端に高いクリーンルームの中に設置することで実現していた。オペレータがクリーンルームに入出する際にどのような手順を踏まなければ行けないのか、どの程度ラインに近づいて良いかなどは、すべて暗黙のノウハウであった。



可能となり、購買コストが下がった。加えて工場の立ち上げ期間も短縮された。半導体企業と装置メーカーの密接な相互調整が必要であった自動搬送装置は、それほどすり合わせが必要ない装置へと転換していったのである。自動搬送は、人手搬送にともなう発塵の問題を押さえるため、微細加工に大きな影響をもつ技術である。標準化以前、日系半導体企業の多くは系列内にある装置メーカーを使って、自動搬送を実現していた。このような自動搬送技術も、300mm 工場の標準化の際に標準化され市場取引を通じて得られる技術となっていった。

もともと「クリーンルーム・オペレーション」や「自動搬送」は、工程設計のなかでも、半導体企業が中心となって担う領域であった。これらのノウハウは市場取引を通じて入手できるものではなかった。しかし 300mm 標準化によって、クリーンルーム・オペレーションのノウハウは必要なくなり、自動搬送システムと局所クリーン化技術は完全に市場取引で得られるノウハウとなったのである。

標準化は従来インテグラルであった領域に明確なインターフェイスを与え、モジュール化を加速する (Garud, Kumaraswamy, and Langlois, 2002, p.6)。300mm 標準化の対象は、ウェーハ口径、局所クリーン技術を応用した自動搬送システム、ファクトリーデザイン、CIM ソフトウェアなど広範囲に及び、半導体の中アーキテクチャのモジュラー化を大きく促進した。そして、この標準を採用した生産設備への巨大投資を行い、このような装置をふんだんに使うことが先端プロセスを開発する上で重要なポイントとなっていったのである (富田・立本, 2008)。

### 3.2.4 装置価格の高騰と制度優遇：制度とアーキテクチャの関係

要求される微細加工のレベルが進むにつれ、プロセス装置の価格も上がった。加えて微細化に対応するための装置の大モジュール化は、さらなる装置価格の高騰をもたらした。大口径化に対応するための自動搬送システムの導入も投資額を押し上げた。1990 年代後半には工場投資額の高騰が顕在化してきた。

前述のようにクラスターツールなどの複合装置は従来であれば半導体企業で行われていた相互調整を装置メーカー内部や装置メーカー間で行ったものである。大モジュール装置は、高い信頼性や生産性をもっていた。しかも Sematech 等の共同研究開発コンソーシアムによって装置間のインターフェイスの標準化を進められたため、工程のモジュール化が進み、ノウハウが装置に組み込まれ市場取引される範囲が広がっていった。そして同時に、先端プロセスを実現する大モジュールでの購買は装置価格を押し上げることにつながったのである。



これに対して、日本半導体企業は装置の延命化に固執した。日本半導体企業の行動は合理的であり、同様の行為は日本の別産業でも多く見られることである。装置の延命はコスト競争力のためには正しいことであり、装置を出来る限り使いこなす努力を行うことが要求される。これは装置の延命化を行うためには半導体企業がインテグレーションを行う必要であり、相応の技術力が必要であることを意味している。

一方、台湾ファンダリは高価な大モジュール装置を購入し自社の生産ラインに取り入れることで微細化の進展に対応した。大モジュール装置は、半導体企業が行わなくてはならない「摺り合わせ」を減少させた。装置間インターフェイスの標準化も暗黙のノウハウを装置内にカプセル化し市場流通させることを促進した。しかし工程全体の摺り合わせが減ったわけではない。装置メーカーが摺り合わせの一部を担ったのだ。

もしも全く同じ制度条件下であれば、日本半導体企業と台湾ファンダリでは、日本企業がコスト優位に立つはずである。しかしアジアでは設備投資に対して有利なる税制等が完備されている。台湾では特に半導体産業に対する設備投資は税制上優遇されている(黄・胡, 2006)。

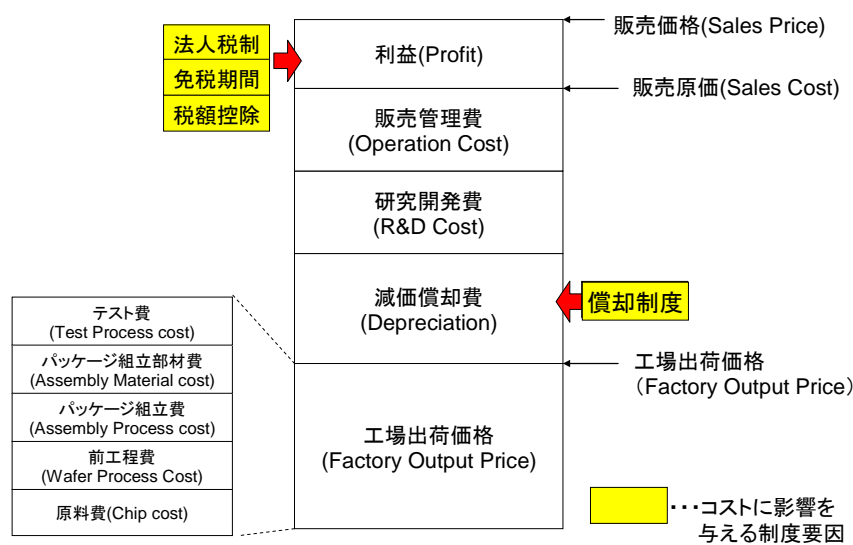


図 9 半導体デバイスにおけるコストモデル

図 9 は半導体デバイスにおけるコストモデルを示している。半導体装置価格の高騰は半導体デバイスのコスト内訳に占める減価償却費の割合を押し上げることに繋がっている。

減価償却費は投資に関する税制度に最も影響を受ける費目である。例えば耐用年数を短縮する加速償却が認められていたり、特定品目への投資額に応じた税控除が実施されたりすると、企業はキャッシュフロー上有利になり、積極的に投資を行うことが出来るようになる。同様に利益に対しても特定産業に対して所得税控除措置が行われると、企業は再投資を行う原資となるキャッシュフローを確保することが出来るようになる。このような税優遇措置は、日本では行われていないが東アジア諸国では一般的であり、台湾では半導体産業等の先端産業に対して優遇措置が実施されている（立本, 2009）。

このため台湾においては高価な先端プロセス装置へ投資することは、日本で同じような投資をするよりも、低いキャッシュ・コストで行うことが出来る。税制上の優遇を考慮に入れば、高価ではあっても装置企業による相互調整済の先端プロセス装置を購入した方が、台湾の制度下では合理的なのである<sup>20</sup>。加えて装置間インターフェイスが標準化されていることが、市場取引を通じて先端装置にカプセル化された「摺り合わせノウハウ」を利用する機会を広げている。標準化によるモジュラー化が、投資優遇税制を利用して先端装置への投資を行い、競争力を構築する戦略の有効性を著しく高めている。

### 3.3 微細化が進行する中での台湾ファンドリの競争力構築のメカニズム

台湾ファンドリの代表としてTSMCの競争力構築のメカニズムを概観してみよう<sup>21</sup>。TSMCはITRS<sup>22</sup>のロードマップを参考にレシピ開発を行っている。半導体製造装置企業もITRSのロードマップを目標に先端装置開発を行っており、出来る限りロードマップの期限通りに市場導入している。こういう装置の中には最新の露光機など高額なものも含まれる。TSMCが高い工程開発力を発揮する基本的源泉は、先端プロセスの為のレシピ開発に高価な先端装置をタイムリーに購入できることにある。同時に人材にも投資をしており、先端プロセス開発のためにアメリカで半導体研究や半導体産業に従事した経験がある台湾人を中心に、国内外から優秀な技術者を積極的に迎え入れていることも同社のプロセス開発能力を高めることに寄与している。

同社の先端プロセス・フロー開発は中央研究所やR&Dセンターではなく量産工場内で生産技術の一つとして行われることが特徴的である。プロセス技術開発のための専用ラインを持ってお

<sup>20</sup> 台湾における産業政策としての投資税制優遇については、黄・胡(2006)が詳しい。

<sup>21</sup> TSMC の設立経緯や背景については佐藤（2007）が詳しい。

<sup>22</sup> ITRS(International Technology Roadmap for Semiconductors)は、「国際半導体ロードマップ委員会(ITRS 委員会)」が発行する 技術ロードマップのことである。ITRS 委員会は、アメリカ、ヨーロッパ、日本、韓国、台湾に下部組織を持っている。日本からは電子情報技術産業協会 (JEITA) の半導体技術ロードマップ専門委員会が半導体業界代表として参加している。ITRS としては 1999 年からロードマップを発行しているが、その起源は 1991 年に開催された MicroTech2000 Workshop および SEMATECH 等の既存プログラムとの整合性をとるためのワークショップ(1992 年開催)の成果を SIA がとりまとめ 1993 年に発表した NTRS92 が由来となっている (畑,2006) 。

らず量産工場の中で次世代プロセス技術を開発している。開発したプロセスをそのまま自社の量産工程に適応できるという利点がある。このような事が出来る背景には、量産工場に最新設備が大量導入されており次世代プロセスのための工程開発に先端装置を割り当てる事が出来るほどの巨大な生産力を保持していることが挙げられる（後藤, 2001a）。

歴史的に見るとTSMCはもともとERSO<sup>23</sup>の1プロジェクトだったものが独立したものである。初期のTSMCの人材はERSO出身者だった。TSMCの第一工場はERSOプロジェクトから移管された半導体製造工場である。TSMCのオリジナルの工場は1990年に量産開始した第二工場からである。この第二工場はアメリカの半導体設計者の要望に答えたものであり、同社の生産ラインに対する考え方を反映している。

TSMCの生産ライン構築の基本的ポリシーは最先端プロセスを実現する誰もがほしがるといえるような最新装置を大量に揃えるということである。日本の半導体企業のように装置の延命は考えていない。TSMCの生産ラインはキーワード・アピーリングである。これはTSMCが設立当初からピュア・ファンドリ企業を目指していた事と関係する。顧客の視点から見た魅力的な製造プロセスを準備することに熱心だったのである。

例えばTSMCは1990年代に多層膜間をタングステンで立体配線できるクラスターツールを大量導入した。このタイミングは日本の半導体企業よりも相当に早かった。クラスターツールとは複数の成膜装置を一体化して多層的な成膜を可能にした装置である。クラスターツールはタングステンの立体配線に使われる。従来使用されていたアルミよりもタングステンを立体配線に利用するとチップ面積が小さくて済むメリットがある（SEMI ジャパン, 1998）。しかし、タングステンで立体配線するためには最新のクラスターツール装置を購入する必要があり、それらの最新装置は高価で日系半導体企業には大量導入が困難であった。TSMCの量産工場にはクラスターツールが大量導入されているのに、同時期の日本の半導体企業では研究所に一台導入するかどうかを検討しているような状態であった。TSMCは先端装置に積極的に投資していたのである。

またTSMCは最も初期にSMIFを本格的に採用した企業として知られる。SMIFは局所クリーン化技術を応用し、搬送カセットや搬送ロボットなどが一体化された自動搬送システムである。SMIFは高価なソリューションでしかも有効性が担保された技術ではなかったがTSMCはいち早く第二工場にSMIFを導入していた（後藤,2001b;佐藤,2007,p.157）。

当時一般的であったオープン・カセット方式の搬送ではクリーンルーム内のオペレーションの優劣がパーティクルによる汚染に大きく影響する。しかしSMIFを導入することによって、このような心配が軽減され品質は安定し不良品率をさげる事が出来る。さらにクリーンルーム全体のクリーン度を落とすことが出来、オペレーションコストも下げることが出来る。SMIF採用によ

---

<sup>23</sup> ERSOとはITRI(台湾の産業テクノロジー研究所)内に設置された電子工業研究所のこと

って獲得された局所クリーン技術によって、従来必須であったクリーンルーム・オペレーションのノウハウはそれほど重要なものでは無くなった。

クラスターツールやSMIFの例で共通しているのは、ノウハウが組み込まれ、複数の装置・器具を装置企業が調整して大モジュール化した装置を、積極的に導入して魅力のある生産ラインを獲得しようとする熱心な姿勢である。例え最先端装置が高価であっても台湾の投資優遇制度下では先進国のように大きな負担にはならないことが同社の姿勢を後押ししている。TSMCは歩留まりが高く加工時間が短い最先端装置を購入することで先進国半導体産業とのギャップを埋めていった。留意が必要なのは、最先端装置を利用してなるべく早期に最先端プロセスを立ち上げる事は、単に魅力的な生産ラインを持つと言うことにとどまるものではなく、同社のポートフォリオ戦略<sup>24</sup>にとって次の二つの意味がある点である。

一つ目はコスト競争力をもった生産ラインを確保するためである。最先端プロセスでもいつかは陳腐化し前世代プロセスとなる。そうなった時にコスト競争力を持つためには、多額の投資を行った設備の償却が十分に終わっている必要がある。この期間を確保するために、なるべく早期に先端プロセスを立ち上げる事が合理的なのである。特定の最先端設備への投資が台湾の投資税制では短期間に償却出来ることも、先端プロセスを早期に立ち上げることを促進している(黄・胡, 2007;立本, 2008)。償却が十分に終わった前世代の設備は強いコスト競争力を持つことができる。同時に償却済の設備は、不況期においては大幅に稼働率を低下させても利益を生み出す源泉となる。

二つめは最先端プロセスと既存プロセス間のデザイン・ルール互換性の早期確保である。最先端世代と前世代のプロセス間でデザイン・ルール間に互換性が約束されていれば、ユーザ企業は安心して TSMC のプロセスを前提とした自社製品の計画をすることができる。有力なファブレス企業は特にこの点を気にしている。ファブレス企業にとって、自社の設計資産が前世代プロセスで使えると同時に最先端プロセスでも使える事が重要なのである。言い換えるならば前世代プロセスとデザイン・ルールの互換性をもった最先端プロセスを早期に立ち上げる事によりファブレス企業の囲い込みを行っているのである。

このようなポートフォリオ戦略によって TSMC が急激に成長する中、2000 年前後から最先端プロセスではファブレス・ファンダリのビジネスモデルを揺るがす問題が起きつつあった。微細化がこれ以上進むと、製品アーキテクチャと工程アーキテクチャがインテグラル化し、デザイ

---

<sup>24</sup> 2006 年の TSMC は最先端プロセス(90nm)の売上高は 20%程度であり、一世代前(110/130nm)や二世代前(150/180nm)のプロセスの売上高もそれぞれ 25~30%程度ずつある。三世代以上前(250/350nm 以上)のプロセスの売上も約 20%以上ある。最先端プロセスだけではなく一世代以上前のプロセスでも売上をあげるポートフォリオをとっている(TSMC, 2007)。

ン・ルールを明確に定義することが困難になる可能性が出てきたのだ。このような事態は 1999 年に量産開始された  $0.18\mu\text{m}$  で発生し始め、以降のプロセスで顕在化していった。

中アーキテクチャの分離モデルを維持できるのか、それとも統合モデルでないと対処出来なくなるのか。もし分離モデルが崩れれば、それを基盤としているファブレス・ファンドリのビジネスモデルは成立しなくなってしまう。そして日本の半導体企業が予想したように、ロジック半導体分野では設計と製造の双方も持つ統合型のビジネスモデルが優勢になる可能性が高くなる。

この深刻な問題に対して TSMC は有力装置企業と強い関係を築き、最先端プロセス装置を積極的に購入して生産ラインに大規模投資をしていく道を選択した。装置メーカーとの協力は二者間で直接行われたり、IMEC<sup>25</sup>や ISMT<sup>26</sup>などのコンソーシアムを通じたりして行われた。こうして開発された装置は当然高価である。最先端プロセスに必要な露光機、真空関連の装置、熱工程装置は、半導体プロセス装置の中でも特に高価な装置である。しかし TSMC は、これらの最先端装置を購入し量産工場内でレシピ開発を行いながら先端プロセスを次々と実現していった。装置企業は積極的に投資を行う TSMC に対して、自社の先端技術を装置に組み込み、提供していった。

装置間インターフェイスの標準化も TSMC を後押しした。特にウェーハの大口径化では標準化の影響が大きかった。 $300\text{mm}$  ウェーハ口径に対応した装置のインターフェイス標準は、前述のように 1994 年から SEMI で始まり 1999 年には標準規格が完成した。標準化は従来インテグラルであった領域に明確なインターフェイスを与え、モジュール化を加速する (Garud, Kumaraswamy, and Langlois, 2003, p.6)。 $300\text{mm}$  標準化は局所クリーン技術を応用した自動搬送システムを中心に広い範囲を対象としプロセス装置間搬送に明確なインターフェイスをもたらし、中アーキテクチャのモジュラー化を大きく促進した。この標準規格は 2001 年以降に量産で使われ始めたが、TSMC は業界の中でも最も初期に  $300\text{mm}$  工場への大規模投資をした半導体企業の 1 つであった (富田・立本, 2008)。

この結果、2000 年前後を境に TSMC は多くの先進国半導体産業を追い抜きトップ企業へと成長していった。TSMC は  $0.35\mu\text{m}$  プロセスを半導体業界に対して 1 年遅れの 1995 年に導入した。1998 年の  $0.25\mu\text{m}$  プロセス技術の導入は、先進国半導体企業とほぼ同時期の導入であった。そして 2000 年の  $0.13\mu\text{m}$  プロセス技術導入では業界に先んじることができた (ASCII Media Works, 2001)。さらに 2001 年以降に量産が開始された  $300\text{mm}$  工場への投資では  $0.1\mu\text{m}$  以下のプロセスを実現し、ロジック半導体企業としてインテルと共に最も成功した企業となった (富田・立本, 2008)。2000 年前後におこった中アーキテクチャの問題を乗り越えたことで、TSMC の競争優位は決定的なものとなっていった。

---

<sup>25</sup> IMEC はベルギーに拠点を持つ共同研究コンソーシアム。注 22 を参照。

<sup>26</sup> ISMT とは International Sematech のこと。Sematech は 1998 年に下部組織として国際メンバーシップを認める International Sematech を設立した。

一方、同時期の日本半導体産業はビジネスの中心を DRAM からロジック半導体へと移行している最中であった。このため生産品目の変化に対応して生産ラインの変更も行われたが、その際、大規模投資が必要な最新設備の導入よりも、最小限の装置を更改して DRAM 用ラインをロジック半導体用に変更するというような生産ライン延命化を選択せざるを得なかった。高価な装置の償却が終わらないのだから代わりに新しい装置を導入することは出来ない。しかし、装置の延命化はプロセス・フローを複雑にし、生産効率や良品率を落とす結果になった。旧ラインの負の遺産と決別する機会であった 300mm 工場への投資は、キャッシュフロー不足から多くの日本半導体企業が躊躇し、大幅に投資タイミングを遅らせることとなった。これに対して TSMC は例え高額であったとしても、最先端設備を積極的に揃えることで無理のないプロセス・フローを実現していった。高価な先端装置を購入できるかどうかは競争力構築の上で重要な要因であった。

さらに TSMC の優位を決定づけたのが、2000 年以降のプラットフォームビジネスへの着手である。TSMC は回路ライブラリ企業や EDA 企業と共同することで、ファブレス企業が工程アーキテクチャのインテグラル化に影響されないようにした。回路ライブラリ企業と提携して回路ライブラリが自社の生産プロセスで動作することを確認し、その回路ライブラリを設計ツール企業である EDA 企業や利用者であるファブレス企業に提供することを開始したのである。これによって、中アーキテクチャの分離モデルは先端プロセスの進化に影響を受けない盤石なものへと変わっていった。

例えば回路ライブラリ企業である Artisan 社<sup>27</sup>は TSMC の 90nm プロセス・ルール向けに回路ライブラリの提供開始を 2002 年に発表した。TSMC は EDA ツール企業である米 Cadence 社や米 Synopsys 社とも 90nm などの微細プロセスで顕著になるシグナル・インテグリティ問題に共同で取り組む旨の発表も行っている(日経BP, 2002)。

ファンドリ企業とライブラリ企業や EDA ツール企業が共同することにより、動作が確認された回路ライブラリを使って論理設計を行うことが可能となる。回路ライブラリ企業がファブレス企業に提供する回路ライブラリは、物理設計と論理設計のインターフェイスの役割を果たす。このためファンドリ企業を利用するファブレス企業は物理設計に影響されず論理設計での設計を安心して行う事が出来る。プロセス・ルールが進化したとしても設計資産も無駄にならない。同社のこうした取り組みによって、TSMC のプロセス・ルールをプラットフォームとしながら、回路ライブラリ企業や EDA ツール企業とそれを利用するファブレス企業で構成されるエコシステムが構築されるようになった。

有力な製造装置企業も最新の設備を提供することで、TSMC が先端プロセス・ルールを実現し、エコシステムが繁栄することを手助けしている。製造装置メーカーもエコシステムの参加者で

---

<sup>27</sup> Artisan 社は 2004 年に ARM 社に買収された。

ある。そして TSMC はこのエコシステム構築・維持に多大な努力を注いでいるのである。TSMC が行っているのは、まさにプラットフォームビジネスである(石原,2005)。

現在、モアザンムーアと呼ばれる 45nm以降の次世代プロセスを開発しているのはロジック半導体分野では、インテル、IBMとTSMCの3つのグループだけ<sup>28</sup>である。技術蓄積を充分に行っている伝統的なインテルやIBMに対して新参者であるTSMCが一角を占めていることが、このエコシステムによる技術革新の力強さを示している。

---

<sup>28</sup> これらのグループにコンソーシアムとして IMEC が加わる。

#### 4. まとめとインプリケーション:アーキテクチャと国際競争力・国際分業

本研究では半導体製品の論理設計・物理設計・工程設計という非常にミクロな視点から分析を開始した。そして最終的には国際競争力という非常にマクロな事象を分析するに至った。その分析プロセスではアーキテクチャという一貫した論理を貫いた。

微細化が進めば、論理設計・物理設計・工程設計間の相互依存性が強まり、摺り合わせが得意な日本企業が競争力をもつという予想は技術的要因だけを考慮すれば正しいものだった。プロセス・ルールが進めば、従来可能であった論理設計・物理設計・工程設計の間の完全な分割は困難になり、設計毎に相互調整が必要になってくる。この意味では、日本半導体産業の予想は正しかったのである。

しかし非技術的要因がアーキテクチャに与える影響を考えると、話は変わってくる。小さいモジュール装置をベースにすれば、半導体メーカーが行う工程設計におけるインテグレーション作業は増える。しかし、小さいモジュール装置同士のインテグレーションは装置メーカーに任せて、半導体メーカーは大きいモジュール装置のインテグレーションのみを行うことも可能なのである。その背景には、技術力のある装置メーカーの台頭が存在する。加えて標準化も産業に大きく影響を与えた。300mm 工場で採用された搬送システムや局所クリーン化技術は標準規格化されており、従来であれば半導体企業のノウハウであったクリーンルーム・オペレーションを市場取引可能なものとした。標準化はモジュール化を大きく促進させるのである (Garud, Kumaraswamy, and Langlois, 2002)

台湾ファンドリ企業がインテグレーションを行っていないというわけではない。大モジュール装置を購入することで小さいインテグレーションは有力な装置企業にまかせ、自身は大モジュール装置同士のインテグレーションに集中することが出来る。

さらに無視してはならないのは、台湾ファンドリ企業が回路ライブラリ企業や EDA ツール企業とのインテグレーションを旺盛に行っているという事実である。検証されたライブラリがインターフェイスとなり中アーキテクチャの分離モデルを盤石なものとしている。このため、ファンドリが実現する先端プロセスを基盤として多くのファブレス企業が参加するエコシステムが形成されている。中アーキテクチャの分離モデルは、台湾ファンドリ企業がプラットフォームビジネスを転換する重要な基盤となっているのである。

一方、日本の半導体メーカーは、小モジュールでの工程設計のインテグレーションに固執し続けた。つまり、装置やラインの延命である。ラインを延命させるために装置を出来る限り使いこなす努力をおこなった。これは技術的には正しいことであり、同様の行為は日本の別産業でも多く見られることである。また同じ半導体でもパワー半導体ではこのような取組のおかげで、日本は



高いコスト競争力を維持することが出来ている。このような努力は、決して的外れのものではなく正当な努力である。

しかしアジア諸国が掲げる新しい制度、すなわち税制による投資優遇策の前では、このような日本企業の努力よりも、先端プロセスを実現する高価な大モジュールや暗黙のノウハウを代替するような標準化された装置を購入した方が効果的なのである。もしもアジア諸国の税制が無ければ、日本半導体産業がコスト優位に立つ。ところが高価な装置を購入してもアジアの税制を考慮すれば決して日本半導体産業に対してコスト不利に立つことはない。むしろ、大モジュールを短サイクルで購入することによって最新の設備を揃えることが可能となり、高い工程能力を前提とした物理設計、ひいては、論理設計も可能となるという好循環が発生する。償却済の前世代のラインはコスト競争力をもったラインとなり、最先端プロセスへの再投資を可能とする。

その結果、最先端プロセス・ルールを前提としたデザイン・ルールによるプラットフォームが構築され、回路ライブラリ企業、EDA ツール企業、ファブレス企業を参加者とするエコシステムが形成される。最先端プロセスを実現するという意味では、最先端装置を提供する装置メーカーもエコシステムの一員である。装置メーカーは複数の装置を複合化したり、装置メーカー間で調整して大モジュール化を行ったりして、プラットフォームで最新のプロセス・ルールを実現する事を促進している。共同研究開発コンソーシアムも装置間インターフェイスの標準化を通じて最新プロセスが業界で素早く立ち上がることを後押ししている。

このエコシステムは予想よりも遙かに強力であり、技術革新によってアーキテクチャのモジュラリティが破壊されそうになると、様々な連携によってアーキテクチャのモジュラリティを維持しエコシステムを守ろうとする。例えば、微細化が進んだ時に、台湾ファンドリ企業は回路ライブラリ企業やEDA企業と連携を強め、ファンドリ企業とファブレス企業とのモジュラリティを維持している。このためファンドリ企業では製品アーキテクチャと工程アーキテクチャの分離モデルを前提としたプラットフォームの提供が可能となっている。

ファンドリ企業が提供するプラットフォームとそれを前提としたエコシステムの存在は、例えば税制といった制度を媒介にしながら、新興国半導体企業のキャッチアップを加速させている。そして、その背景には技術力のある先進国の装置企業と最先端プロセスを実現したい新興国の半導体企業、さらに最先端プロセスを利用したい無数のファブレス企業の国際分業・協業のメカニズムが存在する。共同研究開発コンソーシアムとその成果の標準化も半導体企業と装置企業の協業を後押ししている。この協業は、新しい国際分業・協業メカニズムとして今後も拡大していくものと思われる。

本分析のインプリケーションとして「なぜ半導体産業のマネジメントは難しいのか」というこ

とを最後に考察する。その理由はアーキテクチャが固定的でなく短期間の内にダイナミックに変化するからである。ファンドリ企業の草分けである TSMC が設立されたのは 1987 年であるが、ファブレス・ファンダリのビジネスモデルが産業に影響を与えるようになったのは工場投資の高騰が顕著になり始めた 1990 年代後半からである。それまでは製品アーキテクチャと工程アーキテクチャの綿密な連携が重要な競争力の源泉であった。メモリ半導体では今でも中アーキテクチャのインテグリティが競争力の源泉となっている。しかし、ロジック半導体、なかでも ASSP 分野では統合モデルから分離モデルへの劇的な変化が起こっている。世界最大の半導体企業であるインテルですら TSMC と提携を発表し、この変化に対応しようとしている(Computerworld, 2009)。

アーキテクチャを決定する要因は純粋に技術的なものだけではない。台湾ファンドリの例で見たように、投資コスト、標準化、大モジュール化やプラットフォーム化、さらに税制など非技術的要因に大きく影響を受ける。技術的要因だけであれば半導体のアーキテクチャはもっと安定したものとなるだろう。しかし現実はそのようではない。

半導体産業はアーキテクチャの動的側面に最も影響された産業である。重要な点はアーキテクチャの決定要因に、技術的なものばかりでなく非技術的な物を積極的に取り込むことが求められている、ということである。非技術的要因によって半導体のアーキテクチャは大きく変化する。ただし非技術的要因の中でも、大きな影響を与える要因は限られている。ここにマネジメントの余地が出てくる。

台湾ファンドリの事例では投資コストの高騰を契機に装置の標準化や大モジュール化・プラットフォーム化が大きな意味を持つようになった。標準化や大モジュール化・プラットフォーム化は先進国から新興国への技術の移転可能性を高める。この時、ハイテク産業に参入したい新興国の制度、例えば税制が大きな役割を果たす。これらの制度を前提とすれば、高額な装置は必ずしも投資コストに見合わないものではない。むしろキャッシュフローの観点から言えば、先進国立地よりも新興国立地の方が優位に立つことが出来る。世界最大の半導体企業であるインテルすら 4 つの自社工場の内、1 つはイスラエルに立地している意味を考えるべきであろう。

現在の半導体産業では最先端の微細化技術を用いながら、高度な国際分業マネジメントが求められる。この二つの要因が半導体のアーキテクチャを大きく変えてしまう。最もミクロな視点と最もマクロな視点を同時に併せ持たなくてはいけないから、半導体産業のマネジメントは難しいのである。残念ながら日本の半導体産業において、最先端技術と国際分業を同時に見据えたビジネスモデル構築はこれからである。

半導体産業で見られるこのようなアーキテクチャ変化はいたるところで観察することが出来る。DVD 光メディア産業、液晶パネルや太陽光発電パネル産業、パソコン、携帯電話、DVD 機

器のような多くのデジタル機器では同様の変化が起こっている(小川, 2008; Tatsumoto, Ogawa, and Fujimoto, 2009)。新しい国際分業を基礎としたビジネスモデルは、半導体産業だけでなく他産業に対しても大きな示唆を与えるものと考えられ、今後ますます重要性を増すと思われる。

### Appendix.1 誤差伝播の法則

$x, y, \dots, w$  という複数の設計パラメータが、 $\delta x, \delta y, \dots, \delta w, \dots$  という誤差を伴うとする。そのときに  $x, y, \dots, w$  で構成される  $q$  というシステムは、以下のような誤差を持つ。

$q$  が、 $q = x + y + \dots + w$  という和差で構成されている場合・・・(a)

$$\begin{aligned}\delta q &= \sqrt{\delta x^2 + \delta y^2 + \dots + \delta w^2} \\ &\leq \delta x + \delta y + \dots + \delta w\end{aligned}$$

$q$  が、 $q = x \times y \times \dots \times w$  という積商で構成されている場合・・・(b)

$$\begin{aligned}\frac{\delta q}{|q|} &= \sqrt{\left(\frac{\delta x}{x}\right)^2 + \left(\frac{\delta y}{y}\right)^2 + \dots + \left(\frac{\delta w}{w}\right)^2} \\ &\leq \frac{\delta x}{|x|} + \frac{\delta y}{|y|} + \dots + \frac{\delta w}{|w|}\end{aligned}$$

となる。

(a)はモジュラー・アーキテクチャのシステムであり、(b)はインテグラル・アーキテクチャのシステムである。

例えば、システム  $q$  を構成する 2 つの設計パラメータ( $x, y$ )が以下のような誤差を持つとする。

$x$  は、 $\pm 0.2$  の誤差を持つ

$y$  は、 $\pm 0.4$  の誤差を持つ

このとき、システム  $q$  の最大誤差は、モジュラー・アーキテクチャのシステムの場合、以下のとおりである。

もし  $q$  が  $q = x + y$  というモジュラー・アーキテクチャであれば、

$$q = x(\pm 0.2) + y(\pm 0.4)$$
$$\leq x + y(\pm 0.6)$$

となり、システム  $q$  の誤差  $\delta q$  は、 $\pm 0.6$  となる。

もし、 $q$  が  $q = x \times y$  というインテグラル・システムであれば、伝播する誤差の推定は相対値の形で記述される。すなわち

$$q = x \pm 10\% \times y \pm 20\%$$
$$\leq x \times y \pm 30\%$$

となり、システム  $q$  の誤差  $\delta q$  は、システムの出力にたいして  $\pm 30\%$  となる。

インテグラル・システムの場合、誤差の大きさは、システム  $q$  の入出力に依存した相対値になる。つまりインテグラル・システムにおいては、絶対値の誤差範囲を推定する、すなわちシステムの許容誤差の設計のためには、システム全体の入出力を知る必要がある。

この事実はモジュラー・システムとインテグラル・システムでは、改善方法が異なることを意味している。モジュラー・システムでは設計パラメタ  $x, y$  毎にシステムを改善することに意味がある。なぜなら、システム全体の誤差低減を、各設計パラメタ毎の改善で行うことができ、かつ、誤差低減幅を見積もることが出来るからである。ところが、インテグラル・システムでは、各パラメタ毎のシステム全体の誤差の相対値低減は出来るものの、絶対値としての誤差低減幅を見積もることは難しい。システム全体の入出力を把握していないと、誤差幅を見積もることが出来ない。このことが、インテグラル・システムではシステム全体に対する知識が必要なことの理論的な背景である。

もう少し現実的な例を考えよう。  $x$  と  $y$  の2つの設計パラメタを持つシステムを設計する場合、設計論の立場からいえば、制御が容易なモジュラー・システムの方が好ましい。しかし往々にして現実はそのならず、モジュラー・システムとインテグラル・システムが混在する

$$q = x + y + xy$$

というシステムになりやすい。交互作用項である  $xy$  項は、2つの設計パラメタの同時相互調整が必要であり制御が難しい。アーキテクチャ論における組織能力とは、この交互作用

項をどのように処理するかに深く関係している。大きく言って2つの方法が存在する。

1 つめは、設計論的な解決方法である。設計論的に交互作用項の影響を解決する試みは古くから行われており、タグチメソッドにおけるパラメタ設計(1976)や公理的設計(Suh et al., 1978)において詳細に研究されている。前者は日本初の設計方法でありインテグラル・システムに起因する問題に対して日本の研究者が古くから関心を寄せていた点で興味深い。加えて、現場の設計論にとどまらず設計科学として更なる進歩を遂げている点で注目に値する(宮川, 2000; 椿・河村, 2008)。

2 つめは組織論的な解決方法である。同時相互調整が必要であるのであれば、設計組織間の境界を取り除き、設計者同士の相互調整を促進することが有効である。設計組織間のすりあわせによる問題解決である(von Hippel, 1990; Clark and Fujimoto, 1991)。

製品アーキテクチャに基づく設計活動や組織の設計は、Simon(1973)や Alexander(1964)に始まり、Eppinger et al.(1990)、von Hippel(1990)や Baldwin and Clark(2000)など多くの研究者が主張されている。組織間の境界の低い日本的経営がとりやすい解法であるとも言えるが、設計論的に解決しなければ行けない問題を尻ぬぐいしているとも言え、無駄な摺り合わせとなっている可能性もある(立本, 2007)。

## 引用文献・参考文献

三輪晴治 (2001) 「半導体産業におけるアーキテクチャの革新」所収 藤本隆宏・青島矢一・

武石彰編(2001)『ビジネス・アーキテクチャ』有斐閣.

三輪晴治 (2004) 「新しいものづくりの競争構造」『四国大学経営情報研究所年報』10号、  
203-232.

小松裕司・野村稔(2005)「LSI設計技術の研究開発動向」『科学技術動向』No. 48, pp.12-23。

新藤哲雄「半導体産業のパラダイムシフトとイノベーションの停滞」一橋大学イノベーション研究センター、IRR Working Paper, WP#06-06。

米津宏雄 (1987) 『半導体産業と先端技術』工学図書出版社。

右高正俊 (1982) 『LSIプロセス工学』オーム社。

Mead, C., and L. Conway (1980). *Introduction to VLSI Systems*. Reading, Mass.:Addison-Wesley.(邦

訳 菅野 卓雄・榊 裕之 (1981) 『超 LSI システム入門』培風館)

示村 悦二郎(1990) 『自動制御とは何か』コロナ社。

Taylor, J.R.(1997) *An Introduction to Error Analysis: The Study of Uncertainties in Physical Measurements* 2<sup>nd</sup> Edition, Univ Science Books.

- Dennard, R.H., Gaensslen, F.H., Yu, H. N., Rideout, V. L., Basous, E. B. and Blanc, A. R. (1974) Design of ion-implanted MOS-FET's with very small physical dimensions," *IEEE Journal of SSC*, v9, n5, pp.256-268.
- 大山聡 (2005)「半導体メーカー・半導体装置メーカー 収益性の現状と今後—日系企業の課題は何か」『赤門マネジメント・レビュー』 4(11), 569-578.  
<http://www.gbrc.jp/journal/amr/AMR4-11.html>
- 藤本隆宏(2003) 「日本型プロセス産業」の可能性に関する試論-そのアーキテクチャと競争力-, *MMRC Discussion Paper*, No.1.
- 宮崎智彦(2007)『半導体業界野大再編①ロジックメモリ業界の再編動向と專業化の進展』野村證券株式会社産業戦略調査室 産業戦略研究論文集、Vol.07-8.
- 井上弘基(1999) 米国半導体産業における産業政策の登場=セマテック, 機械経済研究, 第30号, pp.1-31.
- 吉岡英美(2004) DRAM市場における三星電子のキャッチアップに関する一考察 -DRAM需要特性の変化の視点から-, 『韓国経済研究』 Vol.4, pp.21-44.
- 立本博文(2008) 制度による技術伝播の促進 -1990年代の半導体産業の事例-, *MMRC Discussion Paper*, No.235.
- 小宮啓義 監修(2003) グローバルスタンダードへの挑戦 - 300mm 半導体工場へ向けた標準化の歴史 -, SEMI ジャパン.
- 新宅純二郎・立本博文・善本哲夫・富田純一・朴英元 (2008) 製品アーキテクチャ論による技術伝播と国際分業の分析, 一橋ビジネスレビュー, 2008年秋号, pp.42-60.
- 鈴木良二・湯之上隆(2008) 半導体製造プロセス開発と工程アーキテクチャ論 -装置を購入すれば半導体は製造できるか-, 同志社商学, 第60巻, 第3・4号, pp.54-154.
- 黄仁徳・胡貝蒂(2007) 台湾租税奨励與産業發展, 台北市: 聯經(in Chinese).
- 畑次郎(2006) Exaplops -米国ハイテク戦略の全貌-, 日本工業出版.
- 土屋大洋(1996) セマテックの分析 -米国における共同コンソーシアムの成立と評価-, 法學政治学論究, 第28号, pp.525-558.
- Spencer, W.J. and Grindley, P. (1993) SEMATECH After Five Years: High-Technology Consortia and U.S. Competitiveness, *California Management Review*, Summer 1993.
- SEMI ジャパン(1998) 半導体プロセス教本, SEMI ジャパン.
- 後藤弘茂(2001a) TSMC インタビュー前編~業界の最先端を切って 0.10  $\mu$  m プロセスを開発, PC Watch, <http://www.watch.impress.co.jp/pc/docs/article/20011107/kaigai01.htm>, access date of 2008/01/06)

- 後藤弘茂(2001b) 後藤弘茂の Weekly 海外ニュース 第3の CPU 製造企業 TSMC の強さの秘密, PC Watch, <http://www.watch.impress.co.jp/pc/docs/article/20011106/kaigai01.htm>, access date 2008/01/06)
- ASCII Media Works (2001) 「TSMC は顧客と共に成長する」——TSMC のフーCTO, 2001 年 11 月 7 日記事, <http://ascii24.com/news/i/tech/article/2001/11/07/631060-000.html>.
- AMD(2008) "AMD and Advanced Technology Investment Company of Abu Dhabi to Create New Leading-Edge Semiconductor Manufacturing Company", AMD press release, 2008 年 10 月 7 日, [http://www.amd.com/us-en/Corporate/VirtualPressRoom/0,,51\\_104\\_543~128482,00.html?redir=FDR001](http://www.amd.com/us-en/Corporate/VirtualPressRoom/0,,51_104_543~128482,00.html?redir=FDR001).
- 藤村修三(2000), 半導体立国ふたたび, 日刊工業新聞社.
- 泉谷渉(2003) xxxxxxxx。
- 立本博文(2007) 「ソフトウェア」 所収 藤本隆宏『ものづくり経営学—製造業を超える生産思想』光文社、第3部8章、2007年.
- Alexander, C. (1964) *Notes on the Synthesis of Form*, Cambridge, Mass.: Harvard University Press.
- Simon, H.A. (1976) *Administrative Behavior: A Study of Decision-Making Processes in Administrative Organization, 3rd ed.*, New York: Free Press.
- TSMC(2007), "2007 Third Quarter Results Investor Conference 発表資料", [http://www.tsmc.com/english/e\\_investor/e01\\_financials/q307/3Q07Presentation.pdf](http://www.tsmc.com/english/e_investor/e01_financials/q307/3Q07Presentation.pdf).
- von Hippel, E. (1990) "Task Partitioning: An Innovation Process Variable," *Research Policy*, Vol. 19, No. 5, pp.407-418.
- 宮川雅巳 (2000) 品質を獲得する技術—タグチメソッドがもたらしたもの, 日科技連出版社.
- 椿 広計・河村 敏彦(2008)『設計科学におけるタグチメソッド—パラメータ設計の体系化と新たな SN 比解析』, 日科技連出版社.
- N. P. Suh, A. C. Bell and D. C. Gossard(1978) "On an Axiomatic Approach to Manufacturing and Manufacturing Systems", *ASME Journal of Engineering for Industry*, May 1978, pp. 127-130.
- Eppinger, S.D., Whitney D.E., Smith R.P., Gebala, D.A.(1991) Organizing the Tasks in Complex Design Projects, *LECTURE NOTES IN COMPUTER SCIENCE*, Vol.492, pp.229-252.
- Baldwin, C. Y. and Clark, K.B. (2000) *DESIGN RULES: The Power of Modularity*, The MIT Press, 2000. (邦訳: 安藤晴彦訳、『デザイン・ルール—モジュール化パワー—』、東洋経済新報社、2004年.)
- 田口玄一(1976)『第3版 実験計画法 (上)』, 丸善.
- 日経マイクロデバイス(2007) 「TI, 32nm以降のロジックLSIは自社開発せずファウンドリに

- 委託」, 2007年1月29日, <http://techon.nikkeibp.co.jp/article/NEWS/20070129/127056/>.
- ニコン(2007)「ニコンとシノプシス 45 ナノメートル以降に対応するDFMソリューションを発表」, ニコンプレスリリース, 2007年9月19日, [http://www.nikon.co.jp/main/jpn/whatsnew/2007/0919\\_01.htm](http://www.nikon.co.jp/main/jpn/whatsnew/2007/0919_01.htm).
- 日経 BP(2002)「TSMCの90nmプロセス向け回路ライブラリの提供を Artisan 社が開始」、EDA Online, 日経 BP 社, <http://techon.nikkeibp.co.jp/members/01db/200211/1010395/>.
- 石原宏(2005)「TSMCテクノロジープラットフォームについて」, 赤門マネジメント・レビュー, 4巻1号, pp.45-50, <http://www.gbrc.jp/journal/amr/AMR4-1.html>.
- Computerworld(2009)「インテル、台湾TSMCとの提携で「Atom」コア搭載チップの普及促進を図る」, 月刊Computerworld, 2009年3月3日, <http://www.computerworld.jp/topics/mp/137290.html>.
- 小川紘一(2008)「新興国に勝つ Blu-Ray Disc のビジネスモデルを提案する」, 日経エレクトロニクス, 2008年8月25日号, pp.103-115, 日経 BP 社.
- Tatsumoto, H., K.Ogawa, and T.Fujimoto(2009) “The Effect of Technological Platforms on the International Division of Labor: A Case Study on Intel’s Platform Business in the PC Industry”, in A. Gawer(ed.)(2009) *Platforms, Markets and Innovation*, Cheltenham, UK and Northampton, MA, US: Edward Elgar.
- 垂井 康夫(2008) 世界をリードする半導体共同研究プロジェクトー日本半導体産業復活のために, 工業調査会.
- 宮田 由紀夫(1997) 共同研究開発と産業政策, 勁草書房.
- 青島矢一・武石彰(2001)「第2章 アーキテクチャという考え方」 所収 藤本隆宏・青島矢一・武石彰 編著 『ビジネス・アーキテクチャ』 有斐閣.
- Garud, R., Kumaraswamy, A. and Langlois, R. (2002) *Managing in the Modular Age: Architectures, Networks and Organizations*, Blackwell Publishers.
- 立本 博文(2009)「国家特殊的優位が国際競争力に与える影響：半導体産業における各国税制の事例」, Discussion Paper Series, No.2, 立命館大学イノベーション・マネジメント研究センター. (available at <http://www.ritsumei.ac.jp/acd/re/ssrc/innovation/dp/index.htm>)





