

中文题目: 低漏电的级联静态随机存取存储器 (SRAM) 单元阵列

关键词: SRAM 阵列, 待机电流, 未激活模式, 低漏电, SPICE

创新点: 我们提出一种新颖的6T SRAM阵列结构, 增加一个操作在近阈值区域 (near threshold region) 的交换模块来降低漏电电流. 为了验证我们提出的降低泄漏方案, 设计并仿真了一个在55nm工艺, 基于16KB单端口SRAM单元存储器模型的8192KB SRAM阵列. 还有几个6T SRAM阵列实例按提出的方案在55-nm 1P6M CMOS工艺实现并量测待机电流 (standby current). 确认所提出的技术比较传统6T SRAM阵列, 实现在栅漏电流 (gate leakage current) 支配的待机模式降低28.3%漏电流.