

SFP+用低消費電力ICチップセットの開発

田中啓二*・本 昭宏・藤田 勇人
 佐藤俊介・大森 寛康・田中 弘巳
 石橋博人・上坂 勝己

Development of Low-Power-Consumption IC Chipset for SFP+ — by Keiji Tanaka, Akihiro Moto, Hayato Fujita, Shunsuke Sato, Hiroyasu Oomori, Hiromi Tanaka, Hiroto Ishibashi and Katsumi Uesaka — For Small Form-factor Pluggable plus (SFP+), the authors have successfully developed a chipset, which is composed of a transceiver IC equipped with a vertical-cavity surface-emitting laser (VCSEL) driver and a shunt driver IC. This paper describes the concept of low-power-consumption designs and the details of circuit designs. This combination of the shunt-laser driver and the VCSEL driver with an asymmetric pre-emphasis circuit has enabled to reduce the total power dissipation of SFP+ module without any degradation of optical performance. A shunt-driver IC mounted in transmitter optical sub-assembly (TOSA) realizes the operation at 2.5 V supply voltage, which contributes to design the transceiver IC under 2.5V supply voltage. Consequently, the development of such ICs has effectively reduced the total power dissipation of SFP+ module intended for 10GBASE-LR to below 750 mW at the operating temperature range from $T_c = -5$ to 85 deg. C, in accordance with the requirements of SFF-8472.

Keyword: shunt laser driver, VCSEL driver, SiGe-BiCMOS process, SFP+, IEEE802.3ae

1. 緒 言

当社では、これまで数多くの光データリンクの開発⁽¹⁾を行ってきたが、その中で使われる光通信用ICは、LD (Laser Diode) やPD (Photo Diode) と並び、光データリンクの性能を左右するキーデバイスとなっている。中でも当社が得意とするSFP (Small Form factor Pluggable) の様な小型プラグブル光データリンクは、送信信号を増幅しLDを直接変調するLDD (Laser Diode Driver)、PDで受光した微小信号を増幅するTIA (Trans-Impedance Amplifier)、TIAの出力信号を一定振幅にリミットするためのLA (Limiting Amplifier)、小型プラグブルリンクを監視制御する制御部で構成されている。これら光データリンクの小型、低消費電力化を実現するため、筆者らはSFP用のトランシーバICとマルチレートTIAの開発^{(2),(3)}を行ってきた。一方、通信需要の拡大と共に、小型プラグブル光データリンクに要求される伝送速度は、10Gb/sに達し、2006年1月にはSFPと同じフォームファクタで10Gb/sが伝送可能なSFP+と呼ばれるMSA⁽⁴⁾が登場した。

本稿では、SFP+の小型、低消費電力化に必要な、シャント駆動方式の駆動ICと、VCSELドライバ、LA、線形アンプLB (Linear Buffer)、制御部等を内蔵した低消費電力トランシーバICについて報告する。これら2つのICからなるチップセットを、端面発光型LDを搭載した10GBASE-LR用SFP+に搭載し、SFP+のケース温度 $T_c = -5 \sim 85^\circ\text{C}$ で750mW以下の低消費電力SFP+を実現⁽⁵⁾した。

2. SFP+用チップセットの開発

今回開発したSFP+用チップセットを搭載したSFP+の内部写真を写真1に、ブロック構成図を図1に示す。主要構成部品は、①基板 (トランシーバIC、CPUを含む)、②ROSA (Receiver Optical Sub Assembly)、③シャント駆動IC内蔵TOSA (Transmitter Optical Sub Assembly) である。①はSFP+で想定される全てのアプリケーションでの使用を想定しており、②と③ではSFP+の品種毎の要求仕様に応じて適切なLD、PDが使用される。

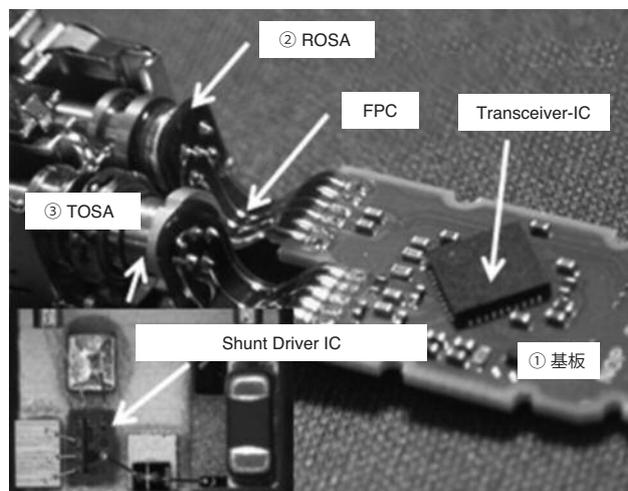


写真1 SFP+の内部写真とチップセット

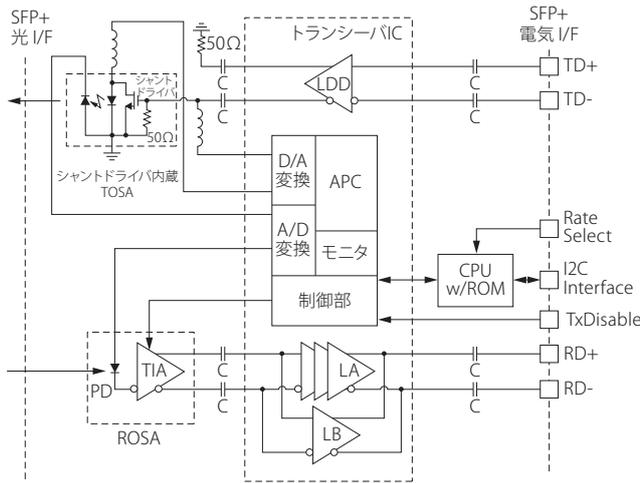


図1 10GBASE-LR用SFP+ブロック図

2-1 チップセット開発コンセプト XFPやX2等の従来型10Gb/s用光データリンクでは、図2に示す様に、端面発光型LDのアノードとカソード端子がLDDの差動出力端子とコンデンサを介して交流結合される、所謂差動駆動方式が使われてきた。この方式では、LDDに内蔵されるバックターミネーション抵抗を伝送路の特性インピーダンスと整合させることで、LDからの反射波を吸収し、多重反射を抑制できる。またバックターミネーションによって、広帯域での直接変調が可能となる。その一方で、交流結合によるLDバイアス電流の増加だけでなく、バックターミネーション抵抗による変調電流のロスが発生し、消費電力の増加が問題となっていた。

SFP+は機構面でSFPと互換性を持ち、最大48連ポートへの搭載が想定されており、最大消費電力は1W (Level 1)以下にする必要がある。消費電力を抑えるため、SFP+の

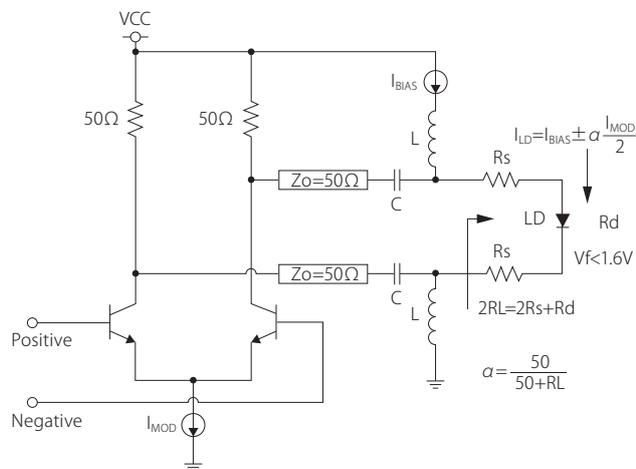


図2 従来の差動駆動回路

仕様からはクロック再生機能等が除かれているが、単純に余剰な機能を削減しただけでは、1W以下の実現は困難である。

差動駆動方式を用いたX2、XFP、SFP+の消費電力内訳とシャント駆動方式を用いたSFP+の消費電力内訳を図3に示す。差動駆動方式の場合、送信部(LDD+TOSA)だけで約1W消費しており、トータルでは1Wを大きく超えてしまう。Tc=85°C動作を1W以下で実現するには、送信部の消費電力を750mW以下に削減する必要がある。そこで、以下に示す3つの方法をチップセット開発により実現し、SFP+の低消費電力化を実現した。

- ・低電圧(2.5V) シャント駆動ICの開発
- ・低電圧(2.5V) VCSELドライバICの開発
- ・高効率DC/DCコンバータの採用

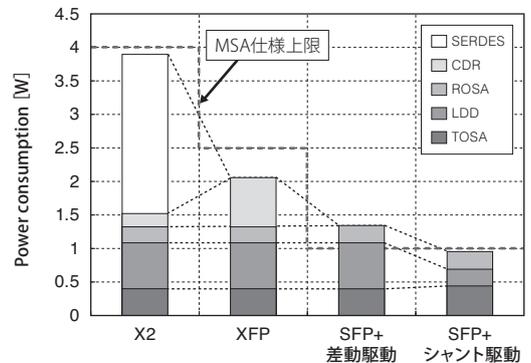


図3 各フォームファクタの消費電力内訳

2-2 シャント駆動ICの開発 低電圧でLDを駆動できるシャント駆動方式は、主にLEDを低伝送速度で駆動する方式として従来から使われてきた。近年のトランジスタと端面発光型LDの高速化により、10Gb/sの領域でも適用可能と考え、筆者らはシャント駆動方式のドライバICの開発を行った。シャント駆動とは、LDと並列に接続されたトランジスタをスイッチすることによりLDに流れる電流を変調する方法である。

図4にシャント駆動方式での送信回路構成を示す。送信器回路はシャント駆動ICとそれを駆動するVCSELドライバICで構成される。シャント駆動ICは10Gb/s動作を実現するため、TOSA内部に搭載され、TOSA外部のVCSELドライバICから50Ω伝送系で駆動される。

LDと並列に接続されるトランジスタM1には、線形性が良好で、入力インピーダンスが高く、高速動作が可能な、ゲート長0.18μmのNチャネル型のMOS-FET (Metal Oxide Semiconductor - Field Effect Transistor)を採用した。

ゲート幅は最大変調電流、電圧-電流変換利得と動作速度を考慮し最適値を決定した。シャント駆動IC内部には50Ωの終端抵抗R1を内蔵し、伝送路の特性インピーダンスと整合している。ゲート端子には、M1をOnするためのゲートバイアス電圧VGがTOSA外部からL2、C3で構成されるバイアスTを経由して供給される。R1をGNDに直接終端すると、VGにより直流電流が流れ、余分な電力を消費する。そこで、直流的に高抵抗R2でGNDに接続し、交流的にコンデンサC1でGNDに接続している。一方で、LDのアノード端子とM1のドレイン端子は、高周波電流の漏れを阻止するフェライトビーズL1に接続される。

シャント駆動ICは、ボンディングワイヤを用いて、LDやTOSAパッケージと接続されている。TOSA化に際して、シャント駆動IC各端子のワイヤ長さ、およびパッケージ内の部品配置を、電磁界解析を用いて最適化⁽⁶⁾しており、これら工夫により、シャント駆動方式の10Gb/s動作を世界で初めて実現した。

図5に当社製端面発光型LDとシャント駆動ICを搭載したTOSAの、電気-光変換特性を示す。10Gb/s動作に必要な

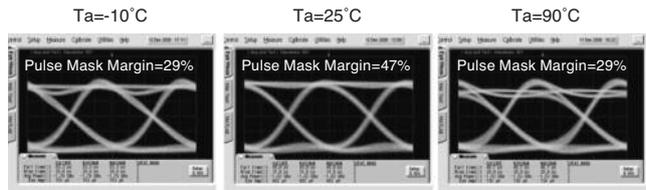


図6 シャント駆動IC内蔵TOSAの光出力波形

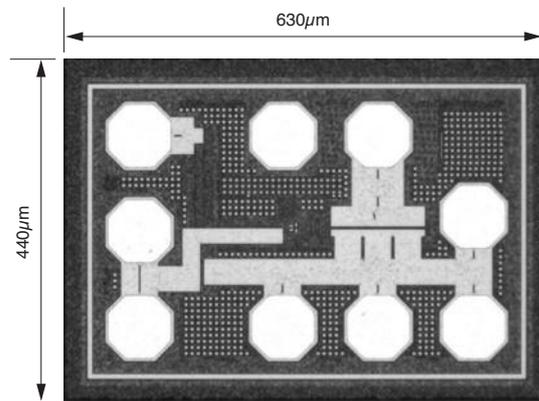


写真2 シャント駆動ICチップ写真

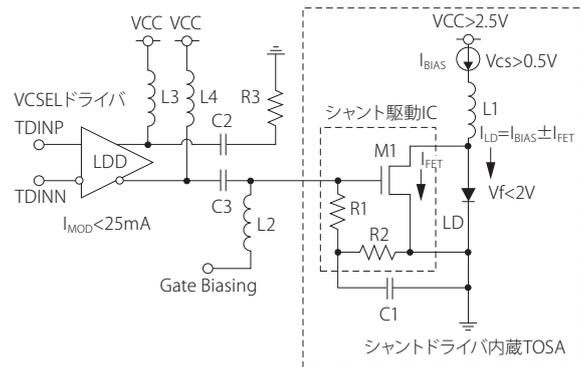


図4 シャント駆動方式の送信回路構成

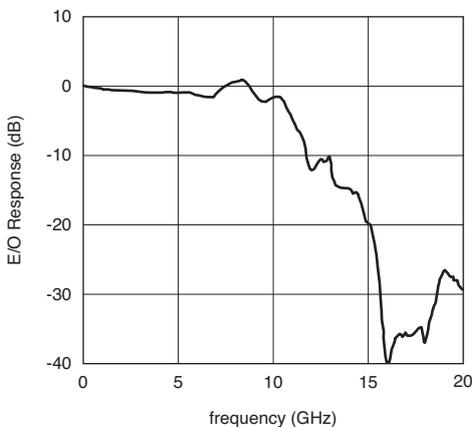


図5 シャント駆動方式での電気-光変換特性

十分な帯域として10GHzが確保できている。図6はパルスパターン発生器で直接TOSAを駆動した時のアイパターンを示す。10GBASE仕様のパルスマスクに対して、全温度(Ta=-10~90°C)で20%以上のマスクマージンが得られている。

シャント駆動方式では、M1が電圧-電流変換利得gmを持っているため、TOSAに供給する変調電流を小さくできる。LDに流れる変調電流をI_{MOD}とし、VCSELドライバ出力抵抗と図4におけるR1が同じと仮定すると、ドライバICの出力電流は2・I_{MOD}/(gm・R1)あれば十分である。すなわちM1の利得によって、ドライバの変調出力電流を2/(gm・R1)倍にすることができる。一般的に、ドライバICの出力電流が大きくなると、ドライバIC全体の消費電流も比例して増加する。また、シャント駆動方式では、LDとの整合改善に必要な直列抵抗が不要で、低電圧動作が可能となる。LDの順方向電圧の最大ピーク値を2.0Vと仮定すると、電源側に0.5Vでバイアス電流源が構成できれば、2.5V動作が可能となる。写真2にシャント駆動ICのチップ写真を示す。チップサイズは440×630μmでゲート長0.18μmのメタル配線4層CMOSプロセスで作成した。

2-3 トランシーバICの開発 シャント駆動ICとペアで使用するVCSELドライバ、TIAからの受信信号を飽和増幅するLA (Limiting Amplifier)、線形動作するTIAから受信信号を線形増幅するLB (Linear Buffer) を内蔵したトランシーバIC (図1参照)を開発した。VCSELド

ライバ、LA、LBで構成される高周波増幅回路は、トランシーバICの消費電力の大半を占めるが、これらの電源電圧を2.5Vとすることで、低消費電力を実現している。トランシーバICには、高周波部の他、SFP+の状態を監視し、高周波部の動作条件を設定、調整するための制御部が搭載されている。制御部はSFP+の動作状態を示すアナログ情報をデジタル情報に変換するAD変換器とデジタルデータを処理するデジタル回路で構成されている。これらデジタル回路は、内蔵レギュレータによる1.8V動作とし、制御部の消費電力増加を抑えている。本ICは0.18 μ mのSiGe-BiCMOSプロセス(ft=80GHz、BVCE=3.6V)を用いて設計した。写真3にチップ写真を示す。チップサイズは2.34×2.34mmで40pinQFNパッケージ(5×5mm)に実装される。

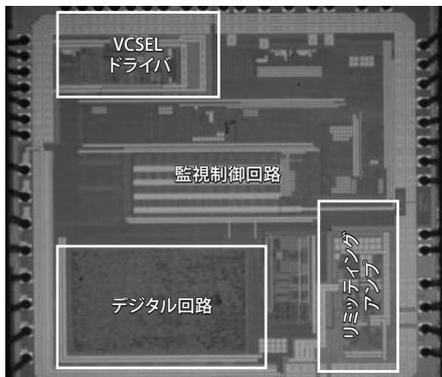


写真3 トランシーバICチップ写真

(1) 低電圧VCSELドライバの開発

今回開発したVCSELドライバのブロック図を図7に示す。SFP+のコネクタを経由して伝送される送信差動信号は入力終端回路で終端され、初段の高利得増幅器で飽和増幅される。光波形のDutyを調整するDuty調整回路を経た信号はプリドライバ回路に入力され、最終出力段の駆動に必要な低インピーダンス出力に変換され、出力段を駆動する。出力段はCML (Current Mode Logic) 回路で構成されており、電源に接続された50 Ω のバックターミネーション抵抗が内蔵されている。VCSELドライバを2.5Vで動作させるには、VCSELドライバ出力段を直流的にプルアップする必要がある。インダクタL3、L4は2.5V電源に直接接続されており、低電圧化に伴うトランジスタの動作電圧余裕の減少を防いでいる。

LDの直接変調において、光波形がOffからOn状態に変化する時、LD固有の緩和振動によって、LD活性層に流れる電流の変化速度以上で、光波形が変化する場合、光波形は活性層を

流れる電流と同等の速度で変化する。その結果、光波形は立ち上がりが速く、立ち下りが遅くなりやすい。特に10Gb/s伝送では、この効果が顕著に光波形に現れ、光波形のアイパターンの形状が非対称になりやすく、アイ開口を制限する。

そこで、非対称な波形を補正できる非対称プリエンファシス回路を本VCSELドライバに搭載し、光波形改善を試みた。通常プリエンファシスによって波形整形する場合、LD変調電流に比例した電流を消費してしまう。ところがシャント駆動方式を採用することで、シャント駆動ICが

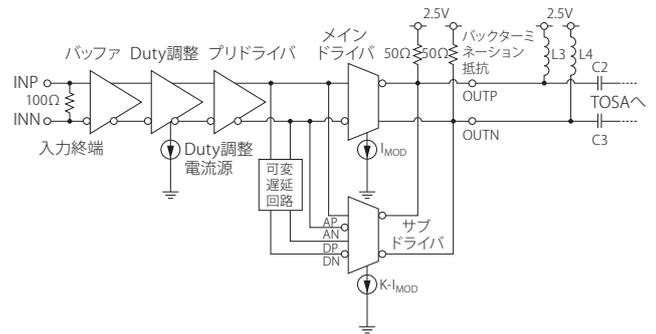


図7 VCSELドライバのブロック図

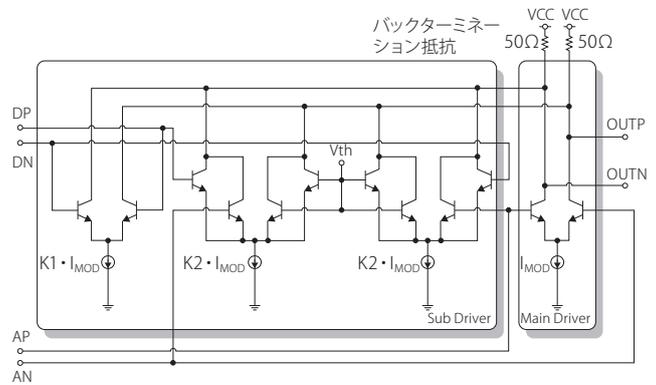
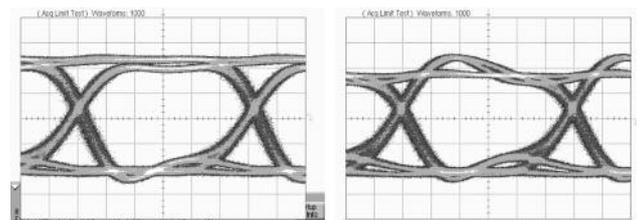


図8 VCSELドライバ出力回路



(a) プリエンファシス無 (b) プリエンファシス有

図9 VCSELドライバ電気出力波形

VCSELドライバ出力を線形増幅するので、低電力でプリアンファシスによる波形整形ができる。

図8に非対称プリアンファシス回路を含む、VCSELドライバの出力回路を示す。メインドライバの電流出力にサブドライバから電流出力を加算し、非対称な波形生成を行っている。非対称プリアンファシス回路は、低電源電圧でも動作可能なECL (Emitter Coupled Logic) -OR/NOR回路で構成される。非対称プリアンファシス信号は、メイン信号 (AP,AN) と遅延信号 (DP,DN) の論理演算で生成し、電流源の比率K1、K2により任意の振幅、形状に調整可能で、ドライバの出力電流 I_{MOD} に比例して変化する。

図9にVCSELドライバの電気出力波形を示す。図9(a)はプリアンファシス無しの波形、図9(b)は非対称プリアンファシス有りの波形を示す。プリアンファシス無しでは立ち上がり時間 $t_r=27\text{psec}$ 、立下り時間 $t_f=22\text{psec}$ であるが、非対称プリアンファシスを加えることで、 $t_r=24\text{psec}$ 、 $t_f=26\text{psec}$ と電気出力波形の波形を整形することができる。これらの波形はシャント駆動ICで論理値が反転するため、光波形の t_r を遅く、 t_f を速くできる。

(2) 受信部の開発

SFP+では10GBASE-LRの他、10GBASE-LRMへの対応も必要となる。LRの場合、受信部は飽和増幅しても問題ないが、LRMの場合、MMF (Multi-Mode Fiber) 伝送で歪んだ波形を、SFP+のホスト側で電気分散補償EDC (Electric Dispersion Compensation) する必要がある。この場合、受信部は線形動作が必要となり、線形動作のTIAが必要になる。本チップセットの開発に際しては、10GBASE-LRと10GBASE-LRM用SFP+基板設計の共通化を考慮し、リミッティングアンプLAに加え、線形増幅器LBを搭載し、これら2つの増幅器を制御部から選択可能な構成とした。

LA部は2.5Vで動作できる高利得アンプ2段とCML出力回路で構成されており、LA部のオフセットを補償する

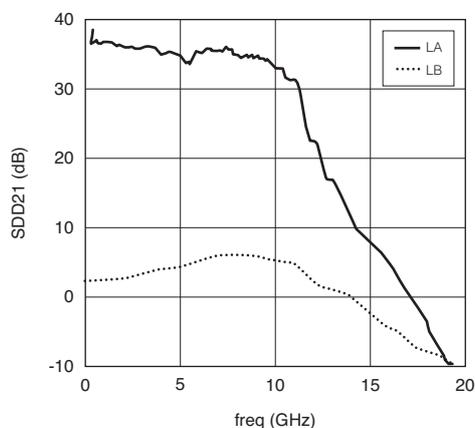


図10 受信部の利得特性

AOC (Auto Offset Controller) 回路とLAの入力振幅を検出し、信号の有無を判別するLOS (Loss Of Signal) 回路が集積されている。

図10にLA部とLB部の周波数特性の実測値を示す。LA部の帯域は10GHz以上確保されており、約36dBの差動利得を有している。低域カットオフ周波数は、10GBASE仕様のストレスドアイ試験を考慮し、100kHz以下に設計した。AOC回路の積分容量はチップ内部で実現し、外部容量を削減した。LB部の帯域は約14GHzで、2dBの利得を実現している。LB部の特性で10GHz近傍にピーキングが見られる。このピーキングは基板による高周波損失を補償するために意図的に加えている。CML出力段の負荷抵抗はLAとLBで共用しているが、増幅用トランジスタ差動対と電流量を変える事で線形性を変更している。

3. 評価結果

今回開発したチップセットを使って10GBASE-LR用SFP+を試作し、評価を行った。図11に光送信波形を示す。図11(a)は非対称プリアンファシス無しの場合、図11(b)は非対称プリアンファシス有りの場合の波形を示す。光波形の非対称性が改善されパルスマスクマージンが改善していることが分かる。図12に $T_c=-5\sim 85^\circ\text{C}$ の範囲における

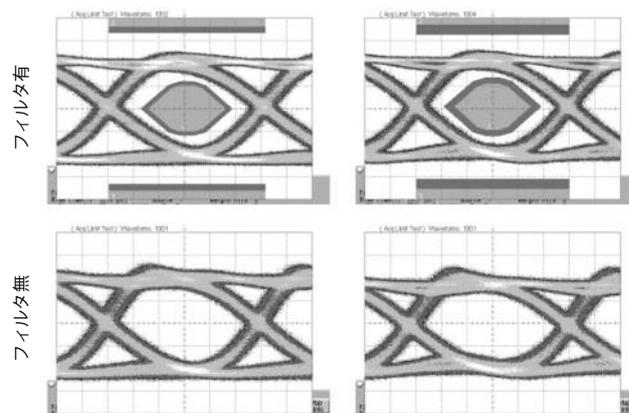


図11 10GBASE-LR用SFP+光波形

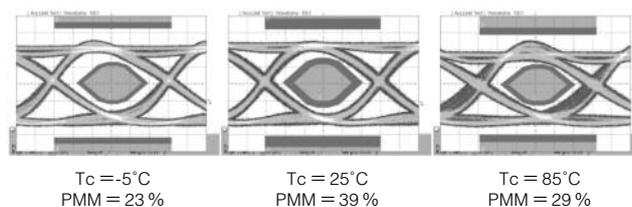


図12 10GBASE-LR用SFP+の光波形温度特性

光波形の温度特性を示す。85℃の高温下においても、十分なアイ開口が得られている。図13に受信誤り率特性を示す。実線はクロストーク有り、破線はクロストーク無しの場合を示す。クロストークの有無によるペナルティは僅か0.5dBである。シャント駆動方式では、シャント駆動はTOSA内部に搭載され、大電流によるスイッチング雑音は金属筐体によってシールドされるため、受信側へのクロストーク雑音を低減できる。図14に消費電力の温度特性を示す。Tc=70℃で約600mW、Tc=85℃で約700mWとなっており、SFP+の消費電力要求仕様（Type-I）である1Wを十分余裕を持って満足することができる。

一方、今回開発したトランシーバICは、VCSELを使用する10GBASE-SRでも使用できる。図15は本トランシーバICを用いた10GBASE-SR用SFP+の光波形を示す。

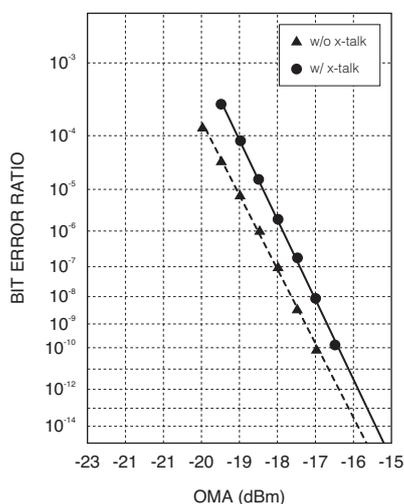


図13 10GBASE-LR用SFP+の受信特性

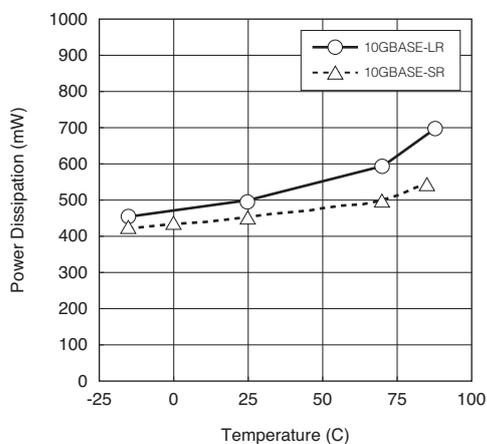


図14 消費電力の温度特性

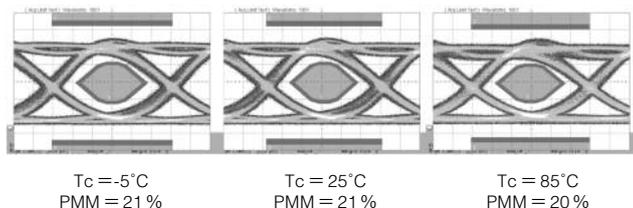


図15 10GBASE-SR用SFP+の光波形温度特性

4. 結 言

10GBASE-SR/LR/LRM用途に使用するSFP+用チップセットを自社開発し、良好な特性を確認した。特に今回実現した低消費電力特性は、昨今、通信機器に求められているグリーンIT化に寄与できると考えており、当社顧客における光通信機器の低消費電力化に十分貢献できる。

参 考 文 献

- (1) 西江、「光データリンクの研究開発」、SEIテクニカルレビュー No.173、p1-14、July (2008)
- (2) 田中、「マルチレート対応小型プラグプル光リンクの技術開発」、SEIテクニカルレビュー No.172、p133-139、January (2008)
- (3) Tanaka, K. et al : "SDH/SONET Multi-rate SFP Module with Gain Selectable Transimpedance Amplifier and Extinction Ratio Control Circuit", 2007 Electric Components and Technology Conference.
- (4) SFF Committee, SFF-8431 Specifications for Enhanced 8.5G and 10 Gigabit Small Form Factor Pluggable Module "SFP+", Rev 2.2, December (2007)
- (5) 本 他、「10Gb/s動作可能な低消費電力DFB-LD駆動ICの開発」、電子情報通信学会総合大会、C-12-36、March (2009)
- (6) 佐藤 他、「低消費電力駆動可能なSFP+用シャント駆動TOSA」、電子情報通信学会総合大会、C-3-14、March (2009)

執 筆 者

田中 啓二*：伝送デバイス研究所
光部品実装技術研究部 グループ長
光送受信用モジュール・ICの開発に
従事



本 昭宏：伝送デバイス研究所 光部品実装技術研究部
藤田 勇人：伝送デバイス研究所 光部品実装技術研究部
佐藤 俊介：伝送デバイス研究所 光部品実装技術研究部
大森 寛康：伝送デバイス研究所 光部品実装技術研究部
田中 弘巳：光伝送デバイス事業部 開発部 主席
石橋 博人：光伝送デバイス事業部 開発部 グループ長
上坂 勝己：伝送デバイス研究所 光通信デバイス研究部
グループ長

*主執筆者