

高速スイッチングSiCトランジスタの開発

築野 孝*・伊藤 里美*・玉祖 秀人
藤川 一洋・澤田 研一・初川 聡
塩見 弘

Development of High-Speed SiC RESURF-Type JFETs — by Takashi Tsuno, Satomi Itoh, Hideto Tamaso, Kazuhiro Fujikawa, Kenichi Sawada, Satoshi Hatsukawa and Hiromu Shiomi — SiC reduced surface field (RESURF) type junction field effect transistors (JFETs) are currently under development for high-speed switching power devices. The use of both wide band gap properties of SiC semiconductors and RESURF structure allowed the switching power devices to exhibit superior characteristics to those of Si metal oxide semiconductor field effect transistors (MOSFETs) with similar current and blocking voltage ratings. In addition, microfabrication technology shortened channel length to 1 μ m, leading to low on-resistance and fast switching with Tr and Tf of 3ns.

Keywords: silicon carbide, high speed switching, transistor

1. 緒言

地球温暖化に対する国際的な意識が大きな高まりを見せ、CO₂排出量削減の必要性が広く認識されてきており、また石油等の化石燃料資源の枯渇が近づきつつあることから、省エネルギー技術の開発が重要視されている。電気エネルギーは、非常に使い勝手のよいエネルギーであることから全エネルギーに占める割合は年々増加しており、それを効率的に運用する技術の開発は、省エネルギーに向けての重要な柱と位置づけられている。電力エネルギーはさまざまな変換を受けて用いられる。その変換におけるキーとなるデバイスが、電力機器向けの半導体素子すなわちパワーデバイスであり、省エネルギーのためにより優れたパワーデバイスの登場が望まれるようになってきた。

パワーデバイスは、高耐圧化、大電流化、高速・高周波化されているが、そのほとんど全てが通常の半導体と同様にシリコン (Si) の上に作製されている。Siパワーデバイス分野では、パワー用金属酸化物半導体電界効果トランジスタ (MOSFET)、絶縁ゲート型バイポーラトランジスタ (IGBT) などの素子が開発され、適用範囲が広がってきた。しかし、その特性はすでに絶縁破壊電界や電子飽和速度等の物性値から導出される理論的限界に近づきつつあり、Siに変わる新しい半導体材料を用いた高性能デバイスの開発が望まれる。

新しい半導体材料の有力候補がワイドバンドギャップ半導体である炭化珪素 (SiC) である。SiCは研磨剤や放熱材料として用いられてきたが、高品質な単結晶の開発に伴い半導体としての研究が活発化してきた⁽¹⁾。SiCは、Siに比べて、絶縁破壊電界、電子飽和速度、熱伝導率が大きくパワーデバイスに適用する上で優れた特性を有することから、より高耐圧、高速動作、低オン抵抗のデバイスを目指

して、SiCを用いたパワーデバイスの研究開発が精力的に行われている。

SiCショットキーダイオード (SBD) が、ヨーロッパのメーカから商品化されているのに加え、スイッチングデバイスについても精力的に開発が続けられており、特に縦型MOSFETの開発が盛んである。これは、SiのMOSFETの構造、プロセスをそのまま適用できることに加え、大電流、高耐圧のデバイスとして期待が大きいからである。それに対して接合型電界効果トランジスタ (JFET) ではSiCのバルク移動度をそのまま活用でき、MOSFETにおいて懸念される酸化膜信頼性に関する問題も回避できるという特長を有する。

我々は、高速なスイッチングが期待できるデバイスとして、RESURF-JFET (REduced SURface Field-Junction Field Effect Transistor: 表面電界緩和接合型電界効果トランジスタ) の開発を進めてきた^{(2)~(5)}。このデバイスは、界面準位密度の影響を受けず、SiC材料固有の移動度をそのままチャンネル移動度に活用できるJFETであり、構造上の工夫により、低損失と高耐圧を両立できるという特長を有するものである。前回の報告⁽⁵⁾では、200V耐圧の素子を作製し、同耐圧のSiデバイスに対して高速なスイッチングが得られたことを報告したが、本報告では、チャンネル長を1 μ mまで短縮するデバイス微細化による特性向上について報告する。

2. SiC-RESURF-JFETの構造とプロセス

2-1 構造と特長 図1にRESURF-JFETの断面構造模式図を示す。表面に、ソース電極、ドレイン電極、

ゲート電極が形成されており、ソース、ドレイン両電極の間に流れる電流を、ゲート電局の電位で制御する構造となっている。RESURF-JFETでは、RESURF構造のなかでも、電流通路となるn型の第3層をp型の第2層と第4層とで挟み込んだダブルRESURF構造を採用している。

オン/オフ制御は、ゲートの電位に応じて、第3層のn型チャンネル層の空乏層の厚みを制御しておこなわれる。この空乏層はゲート電位が0の場合でも若干広がってはいるが、通常、空乏層を十分に広げ、オフとするためにはゲート電位をソースに対してマイナスとする必要があり、ノーマリオンデバイスである。

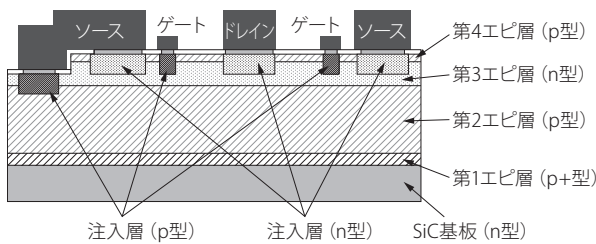


図1 RESURF-JFETの断面模式図

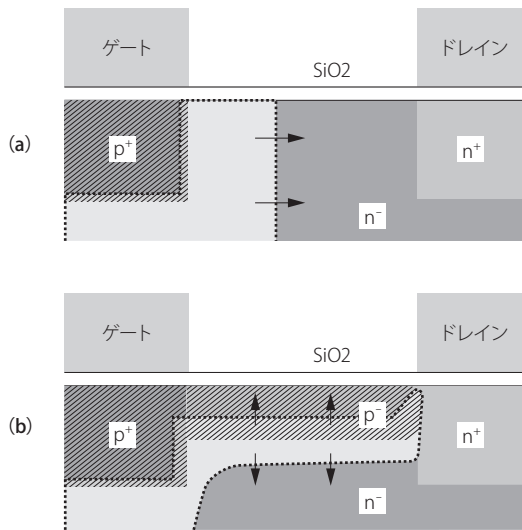


図2 一般的な横型JFET (a) とRESURF-JFET (b) における空乏層の伸長の模式図

図2に一般的な横型JFETとRESURF型JFETそれぞれについて、ゲートドレイン間の空乏層の拡がりをも模式的に示す。一般的な横型JFET構造では、トランジスタオフ時に空乏層がゲートからドレインに向かって横方向に伸長し、電界強度分布がゲート電極部のpn接合界面で最大と

なるのに対して、RESURF型JFETでは、空乏層は、主として最上層p層と第2層n層間に形成されるpn界面から上下方向に伸長するため、ゲートドレイン間にほぼ均一な強度の電界分布となる。このとき、電界強度分布はゲートドレイン間で均一であるため、ゲートドレイン間全体で平均的に電位差を負担することができ、高耐圧化が可能となる。また、この電界分布形状は不純物濃度に依存しないため、耐圧を損なうことなく、チャンネル層の不純物を高濃度化し、低抵抗化することができる。

図3に、チップの上面図を示す。2mm角のチップを4分割したそれぞれの小素子の中にソース電極、ドレイン電極、ゲート電極が櫛歯状に入り組ませた形となっているが、これは活性領域を大きく、かつ、チップ内のチャンネル幅を大きくするための構造である。

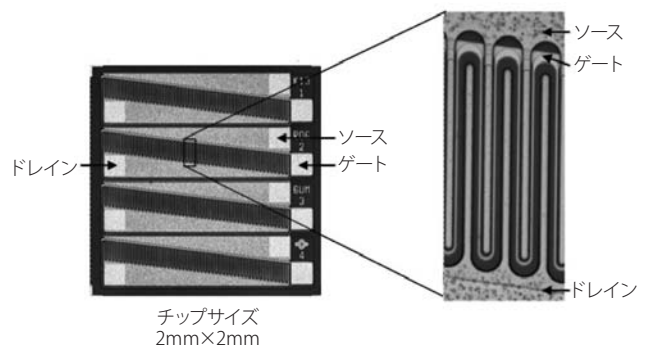


図3 RESURF-JFETの上面図

2-2 プロセス 本デバイスを作製するプロセスについては既報⁽⁵⁾であり、詳細は省略するが、RESURF構造を実現する上で重要となるエピ成長及び微細化プロセスについてのみ以下に紹介する。

エピ層を形成する基板は4H-SiC基板であり、(0001)面に対して、4°のオフ角をとるように加工されたものである。この基板の上に、p⁺バッファ層、p層、n⁺層及びp層からなる4層構造のエピタキシャル層を化学的気相成長(CVD)法により形成する。バッファ層については、デバイスの特性には影響しないが、高濃度のp⁺バッファ層から低濃度のp層に切り替わる際にエピ成長中のAl濃度の制御性が低下するため、p⁺バッファ層は5μm以上と厚めに設定し成長の間に、ドーパントであるAlの濃度を段階的に低下させることとした。これにより、低濃度のp層を所定の範囲内に制御し、精度のよいRESURF構造を実現することができていることを、JFETと同一ウェハ面内に作製した同じRESURF構造をもつ横型ダイオードの特性により確認している。

一般にトランジスタの特性向上には微細化が有効であり、JFETにおいても大電流化、低オン抵抗化のためには

微細化、特にチャンネル長の短縮が有効である⁽⁵⁾。今回の報告するデバイスでは加工中が最小となるゲート長、ゲートソース間隔を1 μm にまで短縮するため、露光プロセスに縮小投影露光を適用した。

3. SiC-RESURF-JFETの特性

微細化プロセスを適用したSiC-RESURF-JFETの静特性及び動特性を評価した結果を以下に述べる。図4は、図3に示したチャンネル長1 μm 、2mm角のデバイスについてのドレイン電流 (I_D) -ドレイン電圧 (V_{DS}) 特性のゲート電圧 (V_{GS}) 依存性である。ゲート電圧によりドレイン電流が制御されるトランジスタ特性が確認できる。ゲート電圧2Vにおいて、オン抵抗は約0.3 Ω 、5A以上の線形領域が確認できた。

図5は、異なるチャンネル長の素子と同じウェハ上に形成し、同じサイズ、同じゲート電圧で測定したI-V特性を比較した結果である。この結果から、オン抵抗のチャンネル長依存性を図6にまとめた。チャンネル長が短くなることでチャンネルの抵抗が小さくなるに加え、微細化によりゲート巾が増加することと2重の効果により、チャンネル長低減に

よりオン抵抗が大幅に低減されていることが分かる。

次に、チャンネル長を1 μm とした素子の代表的なスイッチング特性を示す。スイッチング特性評価系の模式図を図6に、室温におけるスイッチング波形（ゲート電圧及びドレイン電圧）を図7に示す。測定は抵抗負荷での特性であり、電源電圧は50V、負荷抵抗は50 Ω とした。なお、素子は、2mm \times 0.5mmのもので、駆動信号はとしてゲートへのパルス印加は+4V、-12Vとした。オフ時のゲート電圧が0VであるSi-MOSFET用の市販のゲートドライバーを用いて、オフ時0Vオン時16Vの信号を発生させ、ゲートとの間にコンデンサを挿入してマイナスに12Vシフトさせることでオフ時4Vオン時-12Vのゲート入力としている。ゲート抵抗は1.6 Ω での測定結果である。図8のように、ターンオン、ターンオフいずれも急峻なスイッチングが得られた。ドレイン電圧の下降、上昇時間に相当する T_r 、 T_f は3.2ns、2.6nsと、いずれも約3nsの値が認められている。チャンネル長2 μm の素子と比べると、同電流のスイッチングを行うのに小さな素子で対応できるため、 T_f が半減以下となっている。

SiCはワイドバンドギャップ半導体であるがゆえに、高温での動作が期待でき、実際に本RESURF-JFETについても、300 $^{\circ}\text{C}$ までの動作を確認しており⁽³⁾、高温動作対応の実装技術開発も行われている⁽⁶⁾。今回の素子のスイッチン

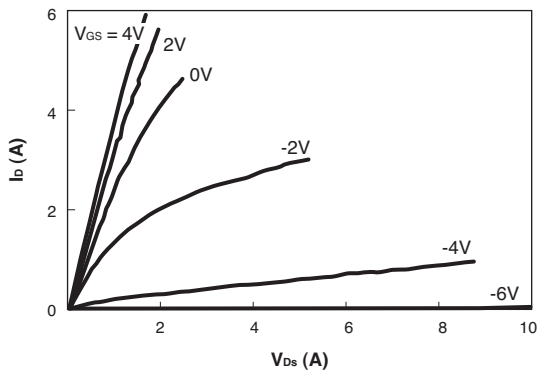


図4 RESURF-JFETの出力特性
チップサイズ2mm角、チャンネル長1 μm

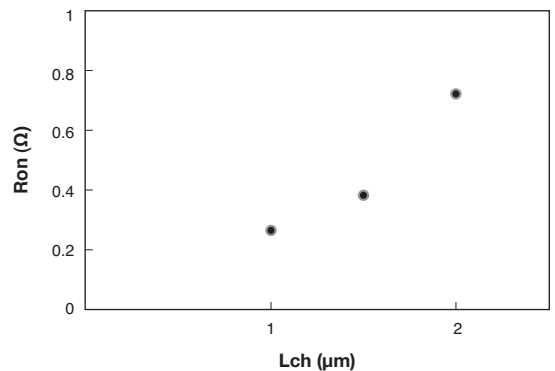


図6 RESURF-JFETのオン電圧のチャンネル長依存性

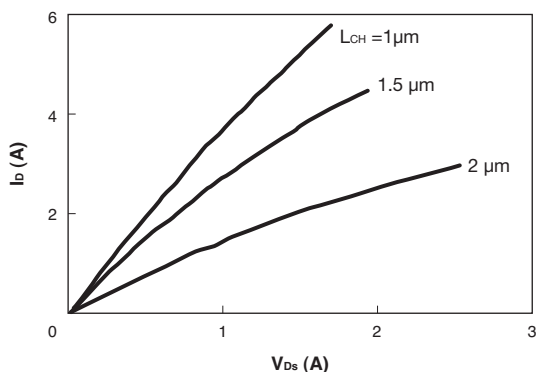


図5 RESURF-JFETのIV特性
チップサイズ2mm角、ゲート電圧2V

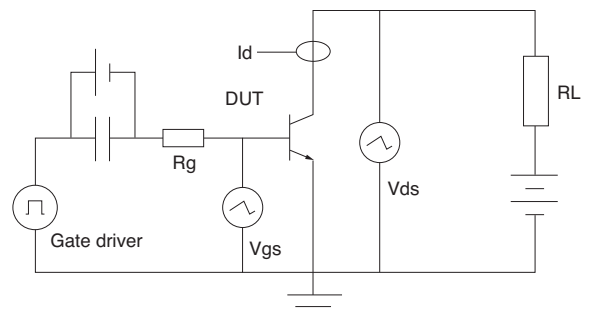


図7 スwitching特性の評価系

グ特性についても、室温から温度を最大200℃まで上昇させて同様の測定を実施した。図9は、そのときのTr, Tfの温度依存性を示したものであるが、室温から200℃まで、ほとんど変動することないことが確認できた。

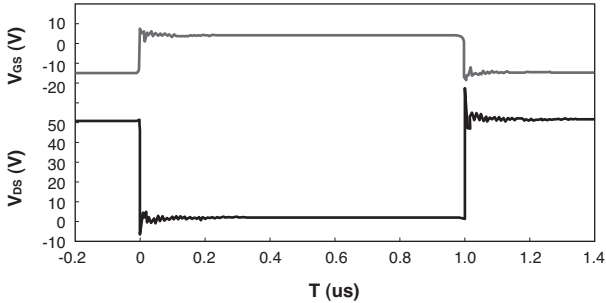


図8 RESURF-JFETのスイッチング波形
V_{GS} = 4V/-12V、負荷 50 Ω、印加電圧 50V

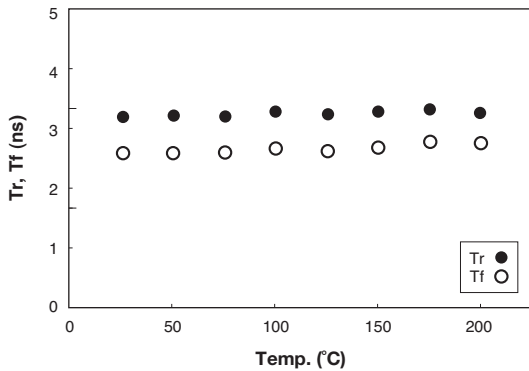


図9 Tr, Tfのチャネル温度依存性。
V_{GS} = 4V/-12V、負荷 50 Ω、印加電圧 50V

4. 今後の展望

以上紹介した、SiC RESURF-JFETは、横型構造JFETの特徴を生かし、かつ、Siに勝るSiC材料の特徴を生かして、高耐圧、かつ、低オン抵抗特性と、高速スイッチング特性を、小型チップで達成したデバイスである。Siの物理限界を超え、同耐圧・同電流クラスのSi製MOSFETよりも高速のスイッチング特性が得られている。

現在、Si製のMOSFETが適用されている小・中容量のスイッチング電源の代表例として、DC/DCコンバータや、DC/ACインバータがある。高効率化とともに省スペース化が期待されている分野であり、これを実現するための技術の一つとして、パワーデバイスの高周波スイッチング動作があげられる。高周波動作時にはスイッチング損失の低減が不可欠となるため、パワーデバイスには低オン抵抗(オン電圧)で、かつ、高速スイッチング性能が要求されるが、SiC-RESURF-JFETは、高速スイッチング動作の要

求を満足できるデバイスである。さらに、期待される用途として省エネ型の携帯基地局用電源がある。アンプへの供給電源を必要な出力に合わせて変動させ、消費電力を決定的に減少させる新方式の電源である。変動するDC電源出力をスイッチング方式で出力する必要があり、nsのスイッチング素子が必要であるが、従来のパワーデバイスでは対応できていない。しかし、本素子の高速化をさらに進めること、及び、高速回路に適した回路技術の開発⁽⁷⁾により適用できるようになるものと期待している。

5. 結 言

現在主流のSiパワーデバイスの物理的性能限界を超える材料として注目されているSiCを、その材料物性を生かすことができる形態の一つであるSiC RESURF-JFETの微細化等による高性能化開発を進めてきた。その結果、3ns程度のTr, Tfとなる高速スイッチング特性が確認できた。この高速スイッチング特性を活かした用途として、携帯基地局用電源への適用を目指して開発を進める。

6. 謝 辞

本稿で述べた開発の一部は、NEDO(独立行政法人新エネルギー・産業技術総合開発機構)のイノベーション推進補助事業“高速スイッチングSiCパワートランジスタの開発”において実施したものである。

参 考 文 献

- (1) 荒井、吉田編、「SiC素子の基礎と応用」、オーム社(2003)
- (2) K.Fujikawa, K.Shibata, T.Masuda, S.Shikata, H.Hayashi “IEEE Electron Device Letter”, vol. 25, no. 12, pp.790-791 (2004)
- (3) 藤川、増田、玉祖、柴田、原田、初川、徳田、三枝、並川、SEIテクニカルレビュー 第167号、pp.109-114 (2005)
- (4) K.Fujikawa, K.Sawada, T.Tsuno, H.Tamaso, H.Harada, Y.Namikawa, “Proc. Int. Conf. SiC Rel. Mater” (2007)
- (5) 玉祖、澤田、藤川、原田、新開、徳田、増田、穂永、伊藤、築野、並川、SEIテクニカルレビュー 第172号、pp.40-46 (2008)
- (6) 徳田、田中、仲川、青柳、福田、大橋、築野、星野、並川、林、エレクトロニクス実装学会誌 13巻4号、PP.280-287
- (7) 中田光俊、和田和千、大平孝、「電気学会電子回路研究会」、ETC-09-105、pp53-56 (2009年10月)

執筆 者

築野 孝* : パワーデバイス開発室 グループ長
(博士 (理学))
SiC パワーデバイスの開発に従事



伊藤 里美* : パワーデバイス開発室
SiC パワーデバイスの開発に従事



玉祖 秀人 : パワーデバイス開発室

藤川 一洋 : パワーデバイス開発室主査
(博士 (エネルギー科学))

澤田 研一 : パワーデバイス開発室 主席

初川 聡 : パワーデバイス開発室 主席

塩見 弘 : パワーデバイス開発室 グループ長 (Ph.D)

*主執筆者