

高速スイッチングV溝型SiCトレンチMOSFET

Fast-Switching SiC V-groove Trench MOSFETs

玉祖 秀人*
Hideto Tamaso

増田 健良
Takeyoshi Masuda

斎藤 雄
Yu Saitoh

野津 浩史
Hiroshi Notsu

道越 久人
Hisato Michikoshi

御神村 泰樹
Yasuki Mikamura

電力利用の多様化が進み、電力変換に使われるパワー半導体の高効率化は省エネ社会により重要なものになってきている。パワー半導体は、現在はシリコン（Si）が広く普及しているが、より高効率なシリコンカーバイド（SiC）が実用化されつつある。金属酸化膜半導体電界効果トランジスタ（MOSFET）は主要なパワー半導体のひとつであり、我々はその中でも高効率化に有利なゲートを溝型にしたトレンチMOSFETの開発を進めてきた。トレンチを高効率なV溝型にし、電界が集中しやすいトレンチ底部に電界集中緩和層を導入することで、この課題を克服し、低損失と高耐圧を両立した。さらに、構造最適化を進めるとともに、帰還容量（ C_{rSS} ）を低減する構造を実現し、スイッチング損失を70%削減した高速スイッチングが可能なV溝型SiCトレンチMOSFETを実現した。

High-efficiency power semiconductors are becoming increasingly important for an energy-efficient society. While metal-oxide-semiconductor field effect transistors (MOSFETs) are basically made of silicon (Si), silicon carbide (SiC) MOSFETs have been finding commercial applications due to their high efficiency owing to strong material properties. We have been developing SiC V-groove trench MOSFETs (VMOSFETs), which achieve high efficiency through the combination of SiC material properties and optimized trench structures. By introducing an electric field concentration layer into VMOSFETs, we have succeeded in suppressing a gate insulation film breakdown at the trench bottom and improved the breakdown voltage. Moreover, we have realized fast switching VMOSFETs with a reduced switching loss of up to 70% by optimizing the structures and reducing feedback capacitance.

キーワード：パワーデバイス、4H-SiC、トレンチMOSFET

1. 緒言

世界的に発電と電力消費の多様化が進んでおり、太陽光発電などの再生可能エネルギーの導入や、大容量蓄電池を使用したハイブリッド車の普及が進んでいる。発電されたエネルギーを効率よく伝達し利用する技術は一般的にパワーエレクトロニクスと呼ばれる。特に電力制御用の半導体素子であるパワーデバイスは、電力変換時の損失を低減する省エネルギー化のキーデバイスとして期待されている。

パワーデバイスのほとんどがシリコン（Si）を材料としており、金属酸化膜半導体電界効果トランジスタ（MOSFET）や絶縁ゲート型バイポーラトランジスタ（IGBT）などの素子が使われている。太陽光発電パワーコンディショナーや、ハイブリッド車向けの車載インバータにはSi IGBTが利用されており、LSIで培われた微細化技術を基に低損失化・高耐圧化が図られてきた。しかし、その特性はすでに絶縁破壊電界や電子飽和速度などの物性値から計算される理論的限界に近づいており、Siに代わる新しい半導体材料を用いた高性能デバイスの開発が望まれている。

新しい半導体材料の有力候補がワイドバンドギャップ半導体のSiCである。SiCは、Siに比べて絶縁破壊電界、電子飽和速度、熱伝導率が大きく、パワーデバイスに適用する上

で優れた特性を有する。その特性を活用すべく、高耐圧、高速動作、低オン抵抗のデバイスを目指して、SiCを用いたパワーデバイスの研究開発が精力的に行われている⁽¹⁾。SiCデバイスは、半導体基板表面に平行に電流制御部（チャンネル）を形成する、平面型MOSFETが2011年にはじめて商品化された。これに対して、半導体基板表面に形成した溝部（トレンチ）にチャンネルを形成したトレンチMOSFETは平面型MOSFET特有の電流狭窄抵抗がなく、低抵抗化が可能となるため低損失化に有利であり、SiC MOSFETの主流となりつつある。

当社で開発中のV溝型SiCトレンチMOSFETは、トレンチ斜面が $\{0\bar{3}3\bar{8}\}$ 面^{(2),(3)}からなるV溝形状のゲート構造を特徴としている。この結晶面は他の結晶面より高いチャンネル移動度を有しているため、チャンネル抵抗を大幅に低減でき、従来の開発品を凌駕する低損失化を実現している。反面、Siトレンチ型デバイスでは酸化膜より半導体の方が先に絶縁破壊するため顕在化しなかったが、SiCでは絶縁破壊強度がSiに比べ10倍強いため、高電圧印加時に溝底のゲート酸化膜に電界が集中し破壊しやすいという課題がある。我々は溝底周囲に電界緩和層として埋込みp型領域を導入することで、溝底に集中する酸化膜電界を緩和させ、

低損失と高耐圧を両立する素子開発を進めてきた。さらに素子の微細化や構造の最適化を行うとともに、MOSFETの静電容量を下げ、高速スイッチングが可能な素子構造として、埋込みp型領域と、ソース電極とを電氣的に接続する埋込みp接地構造と、それを実現するプロセス開発を行い、低損失、高耐圧を維持したまま、高速スイッチングが可能なV溝型SiCトレンチMOSFETを実現した。

本稿では埋込みp接地構造を有するV溝型SiCトレンチMOSFETの基本特性、並びにインバータ用途を想定したスイッチング特性について報告する。

2. 埋込みp接地構造による低容量設計

MOSFETはゲート・ソース・ドレインの3端子素子である。ゲート電圧により、MOSFETのオン・オフを制御し、ゲートがオンの時に、ソース・ドレイン間に大電流を流すことができる。各端子間にはMOSFET構造に起因する寄生静電容量が存在し、スイッチング動作時には、その容量に充放電する時間が必要となり、スイッチング速度に大きな影響を与える。

ゲート・ドレイン間の容量を C_{gd} 、ゲート・ソース間の容量を C_{gs} 、ドレイン・ソース間の容量を C_{ds} とすると、

$$\begin{aligned} \text{入力容量 } C_{iss} &= C_{gd} + C_{gs} \\ \text{出力容量 } C_{oss} &= C_{ds} + C_{gd} \\ \text{帰還容量 } C_{rss} &= C_{gd} \end{aligned}$$

と表される。V溝型SiCトレンチMOSFETのような高耐圧素子を高速スイッチングさせるには、帰還容量 C_{rss} の低減が特に重要である。本開発では、埋込みp型領域と、ソース電極をp層で接続することで、 C_{rss} を低減し、スイッチング時間を改善した。

図1はV溝型SiCトレンチMOSFETの断面模式図および C_{rss} 成分である。図1 (a) は従来構造であり、埋込みp型領域はソース電極と接地されていない。図1 (b) が本稿で新たに開発した構造であり、埋込みp型領域がp型接続領域を介して、ソース電極と接地されている。以後、図1 (a) の構造を非接地構造、図1 (b) を接地構造と記載する。図1には構造の他に、 C_{rss} に影響を与える個別の容量成分を記載している。図1 (a) の非接地構造の C_{rss} は、

$$C_{rss} = C_{gd} = C1 + (C2^{-1} + C3^{-1})^{-1}$$

となる。一方、図1 (b) の接地構造の C_{rss} は、埋込みp型領域がソースp層と接地されることにより、

$$C_{rss} = C_{gd} = C1$$

となり、 C_{rss} は埋込みp型領域による容量分だけ低減できる。C2とC3の影響がなくなるのは、埋込みp型領域をソース電極と接続することにより、これらの容量が、 C_{ds} や C_{gs} に変換されるためである。

これに加え、本開発では微細化や C_{rss} 低減に着目した埋込みp型領域の寸法など、基本構造の最適化も行った。

3. 製造プロセス

図1 (b)の接地構造の製造プロセスは以下の通りである。また、図2に製造プロセスの詳細を記す。n型4°オフ4H-SiC (0001) 基板に第1エピタキシャル (エピ) 層を成長した。第1エピ層中に、アルミニウム (Al) イオン注入により埋込みp型領域を形成した (図2 (a))。次に、第2エピ層を1 μm成長し、同じく第2エピ層中に、埋込みp型領域と、上部のソースp型領域とを電氣的に接続するためのp

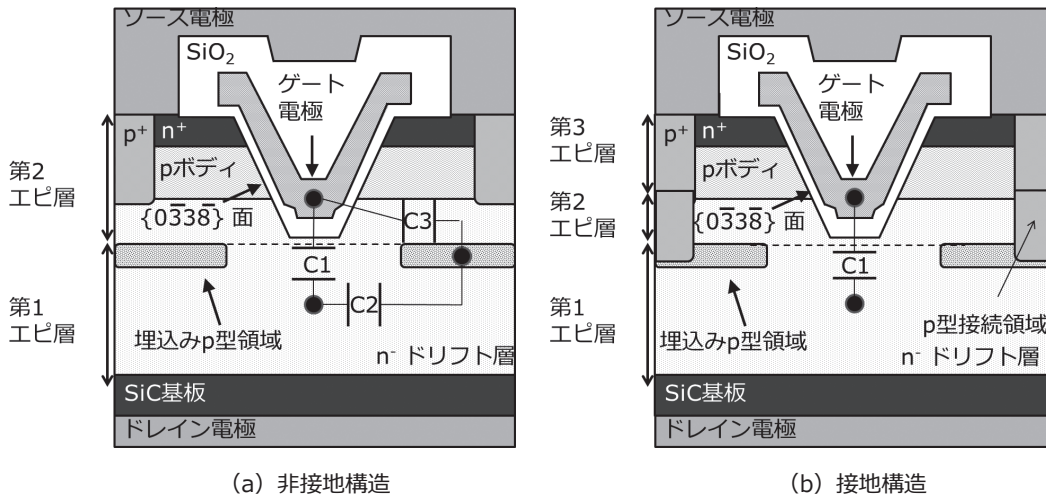


図1 V溝型SiCトレンチMOSFETの断面模式図および C_{rss} 成分

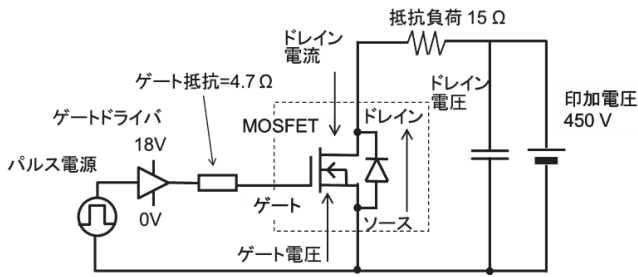


図5 スイッチング回路

表1 V溝型SiCトレンチMOSFETのスイッチング特性

	非接地構造	接地構造
t_r [ns]	40	24
t_f [ns]	14	16
E_{on} [μ J]	97	62
E_{off} [μ J]	55	66
全スイッチング損失 [μ J]	152	128

以上の結果から、 C_{rss} の低減により、 t_r を高速化し、それに伴う E_{on} も低減できることがわかった。一方で、立下り速度には影響を与えていない。これは、ソースの寄生インダクタンスが律速になっており、ゲートがオフになる挙動に対し、逆方向の誘導起電力を発生させていると考えている。

また、構造最適化前の従来開発品⁽⁵⁾は、全スイッチング損失は416 μ Jであった。構造最適化による基本特性の向上を含めて、スイッチング損失を約70%削減できた。

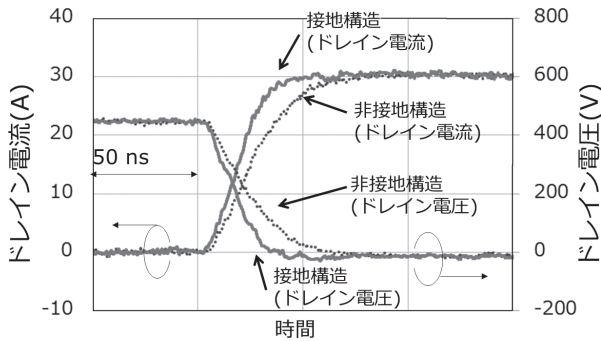


図6 立上り時のスイッチング波形

5. 今後の展望

現在、耐圧数百Vから1,700 Vの中耐圧領域は、太陽光発電パワーコンディショナー、ハイブリッド車や産業用モーター用途のインバータなど用途が広く、相応の市場規模を有する。この用途のパワーデバイスにはSi IGBTが市場を独占しており、本開発の目的であるSiCデバイスへの置き換えには、Siデバイスと同程度の低コスト化が課題となる。SiCは基板が高価なため、低抵抗化によるチップサイズの縮小はコスト競争力に繋がる。その観点では、低抵抗化が可能なV溝型MOSFETは優位な構造と言える。また、本構造のようにスイッチング速度を速くすることで、システムの高周波化が可能になり、インダクタンスやコンデンサを小型・軽量化することが可能になり、システム全体としての小型化や低コスト化につなげることができる。

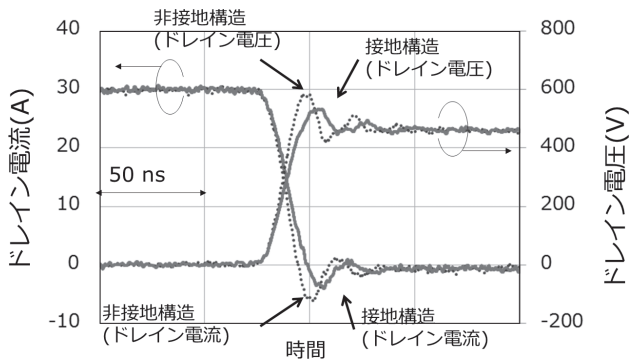


図7 立下り時のスイッチング波形

6. 結 言

4H-SiC (000-1) 上に形成したV溝型トレンチMOSFETの高速スイッチングを実現するため、 C_{rss} を低減する埋込みp接地構造を設計し、それを実現するプロセスを開発した。特性評価の結果、狙い通り C_{rss} は半減し、立上り速度は40 nsから24 nsに減少し、全スイッチング損失を16%改善できた。

また、構造最適化の効果も含めると、従来開発品から全スイッチング損失は約70%削減できた。

7. 謝 辞

本研究は、共同研究体「つくばパワーエレクトロニクスコンステレーション (TPEC)」の事業として行われた。

のスイッチング波形と、立下り時のスイッチング波形の比較である。表1に示すように、典型的な立上り時間 (t_r)、および立下り時間 (t_f) は、非接地構造の場合、 $t_r = 40$ ns、 $t_f = 14$ nsであり、接地構造の場合、 $t_r = 24$ ns、 $t_f = 16$ nsであった。これに伴う、スイッチングのエネルギー損失として、立上り時のターンオン損失 (E_{on})、立下り時のターンオフ損失 (E_{off}) は、非接地構造の場合、 $E_{on} = 97$ μ J、 $E_{off} = 55$ μ Jであり全スイッチング損失は、152 μ Jであった。接地構造の場合、 $E_{on} = 62$ μ J、 $E_{off} = 66$ μ Jであり全スイッチング損失は、128 μ Jである。これにより、全スイッチング損失を約16%削減できた。

参 考 文 献 -----

- (1) M. Bhatnagar and B. J. Baliga, "Comparison of 6H-SiC, 3C-SiC, and Si for power devices," IEEE Transactions on Electron Devices, Vol. 40, pp. 645 - 655 (1993)
- (2) H. Yano, T. Hirao, T. Kimoto, H. Matsunami, and H. Shiomi, "Interface properties in metal-oxide -semiconductor structures on n-type 4H-SiC (03-38)," Appl. Phys. Lett., Vol. 81, No. 25, pp. 4772-4774 (2002)
- (3) T. Hiyoshi, T. Masuda, K. Wada, S. Harada, and Y. Namikawa, "Improvement of interface state and channel mobility using 4H-SiC (0-33-8) face," Mater. Sci. Forum, Vols. 740-742, pp. 506-509 (2013)
- (4) H. Koketsu, T. Hatayama, H. Yano, and T. Fuyuki, "Shape control of trench 4H-SiC C-face by thermal chlorine etching," Jpn. J. Appl. Phys., Vol. 51, No. 5, pp. 051201/1-5 (2012)
- (5) 斎藤雄、和田圭司、日吉透、増田健良、築野孝、御神村泰樹、「低損失V溝型SiCトレンチMOSFET」、SEIテクニカルレビュー第186号、pp. 69-74 (2015年)

執 筆 者 -----

玉祖 秀人* : パワーデバイス開発部 主席



増田 健良 : 産業技術総合研究所



斎藤 雄 : 産業技術総合研究所



野津 浩史 : 産業技術総合研究所



道越 久人 : 産業技術総合研究所 主幹



御神村泰樹 : パワーデバイス開発部 次長



*主執筆者