

# Caracterização do Estado da Arte sobre as Metodologias que utilizam como base a técnica DVFS Intra-Tarefa

Rawlinson S. Gonçalves e Raimundo da Silva Barreto

Grupo de Interesse em Sistemas Embarcados - GISE  
Instituto de Computação - IComp  
Universidade Federal do Amazonas - UFAM

26 de fevereiro de 2018

## Resumo

*Nos últimos anos tem havido uma crescente utilização de sistemas embarcados devido os avanços da tecnologia, a redução dos custos dos equipamentos eletrônicos e, principalmente, a popularização dos dispositivos móveis. Muitos desses sistemas implementam políticas de baixo consumo de energia para prolongar ao máximo a sua autonomia, pois possuem uma quantidade reduzida de recursos e a grande maioria deles são alimentados por baterias. Um modo de minimizar o consumo de energia desses dispositivos são através das aplicações de técnicas de baixo consumo de energia. Dentre as inúmeras técnicas presentes na literatura, a técnica de escalonamento dinâmico de tensões e frequências (em inglês, *Dynamic Voltage and Frequency Scaling - DVFS*) intra-tarefa tem desempenhado um papel importante, pois permite que cada tarefa gerencie os recursos mínimos necessários para que haja redução do consumo de energia do processador e seus deadlines sejam respeitados, quando considerado um contexto de sistema de tempo real. Portanto, este trabalho tem como objetivo principal a aplicação de uma revisão sistemática da literatura com o intuito de identificar e conhecer os principais métodos que utilizam a técnica DVFS intra-tarefa, aplicado no contexto de sistemas de tempo real, para reduzir o consumo de energia do processador. Por fim, serão exibidos relatórios contendo as principais características extraídas, assim como as vantagens e desvantagens de cada abordagem.*

## 1 Introdução

Nos últimos anos, o consumo de energia passou a ser uma métrica importante de qualidade para o projeto de sistemas embarcados. Assim, a otimização do consumo de energia tornou-se uma grande linha de pesquisa, principalmente devido à crescente demanda do mercado por melhorias na autonomia dos dispositivos embarcados móveis sem fio (Cohen *et al.*, 2012). Além disso, tem se tornado um dos principais fatores que podem decidir o valor de mercado do produto. Por outro lado, as pesquisas em otimização de energia não tem recebido investimentos suficientes, devido à sua crescente escala e complexidade (Takase *et al.*, 2011). Isso vem ocorrendo devido a necessidade cada vez maior de incorporar novos recursos e tecnologias a estes tipos de dispositivo, enquanto que o desenvolvimento de novas técnicas de otimização do consumo não tem acompanhado esse crescimento. Exemplos desses recursos são: GPS(em inglês, *Global Position System*), sensores de batimento cardíaco, câmeras mais robustas, sensores de temperatura, processadores com vários núcleos, entre outros.

Dentre todos esses recursos, o processador é um dos componentes que mais consomem recursos energéticos provenientes da bateria, o que implica dizer que quanto mais rápido é o processador, maior será o seu consumo de energia (Yang *et al.*, 2009). Isso ocorre, devido a maioria dos processadores utilizam a tecnologia CMOS (em inglês, *Complementary Metal Oxide Semiconductor*), onde o consumo de energia ocorre principalmente durante os pulsos de *clock* da CPU. Assim, a tensão aplicada sobre ele (e, correspondentemente, a frequência) está diretamente relacionada com o consumo de energia final (Cohen *et al.*, 2012).

Sendo assim, essa relação do consumo de energia fica mais clara quando analisamos a Equação 1, que é um modelo simplificado do consumo de energia de um processador, mostrado no trabalho de Shin e Kim (2001).

$$E \propto C_l \times N_{cycle} \times V_{dd}^2 \quad (1)$$

Onde  $C_l$  é a capacitância de carga,  $N_{cycle}$  é o número de ciclos executados e  $V_{dd}^2$  é a tensão fornecida. Analisando mais detalhadamente a Equação 1, temos que a tensão aplicada sobre o processador, por ser um termo quadrático, irá demandar bastante energia. Dessa forma, desenvolver um controle mais refinado sobre essa variável implicará diretamente na diminuição quadrática do consumo de energia do dispositivo (AbouGhazaleh *et al.*, 2003b). Esse argumento tem sido base para vários trabalhos presentes na literatura, principalmente para justificar o uso da técnica de escalonamento dinâmico de tensões e frequências (em inglês, *Dynamic Voltage and Frequency Scaling* - (DVFS)).

As técnicas DVFS existentes são divididos em dois grupos: DVFS intra-tarefa e DVFS inter-tarefa. No primeiro, a tensão é ajustada dentro de limites individuais da própria tarefa, enquanto que o segundo, a tensão é ajustada tarefa por tarefa a cada instante de atuação do escalonado do sistema (Tatematsu *et al.*, 2011). No entanto, o foco dessa pesquisa está nas técnicas DVFS intra-tarefa.

O princípio básico de funcionamento das técnicas DVFS intra-tarefa está na análise estática do fluxo de execução da aplicação, feita através do grafo de fluxo de controle (em inglês, *Control-Flow Graph* - CFG) (Lee *et al.*, 2008). São através dessas análises que serão definidos os pontos do código que irão realizar os chaveamentos das tensões e frequências a serem aplicadas sobre processador (Shin e Kim, 2001).

As Figuras 1 e 2 mostram exemplos de como são feitas as extrações do grafo de fluxo de controle de uma aplicação a partir do seu código fonte, a análise da quantidade de ciclos necessários para a execução da tarefa no seu pior caso e um exemplo da inserção de pontos de controle.

A partir das análises do código e do grafo de fluxo de controle, vários trabalhos deram significativas contribuições, principalmente quanto a metodologias de inserção de pontos de controle no código fonte da tarefa, com o intuito diminuir o consumo de energia do processador (Takase *et al.*, 2011; Tatematsu *et al.*, 2011; Ishihara, 2009; Yi *et al.*, 2005). Essas metodologias trabalham em tempo de compilação, aumentando significativamente a complexidade e a inserção de *overheads* dentro da aplicação (Chen *et al.*, 2008b). A grande problemática nessas metodologias, que utilizam apenas a técnica DVFS intra-tarefa, está em dar suporte a preempções, visto que alguns trabalhos presentes na literatura consideram somente modelos de tarefas não preemptivos<sup>1</sup> (Oh *et al.*, 2008). Geralmente, as metodologias que dão suporte a preempção, necessitam incorporar outras técnicas, como por exemplo a técnica DVFS inter-tarefa (Cohen *et al.*, 2012; Takase *et al.*, 2011; Chen *et al.*, 2008a; Chen, 2008; Zitterell e Scholl, 2008; Xian e Lu, 2006).

---

<sup>1</sup>Segundo Tanenbaum (2001), preempção é o recurso que permite ao sistema operacional melhor gerenciar as fatias de tempo do processador entre os processos que estão em execução no sistema.

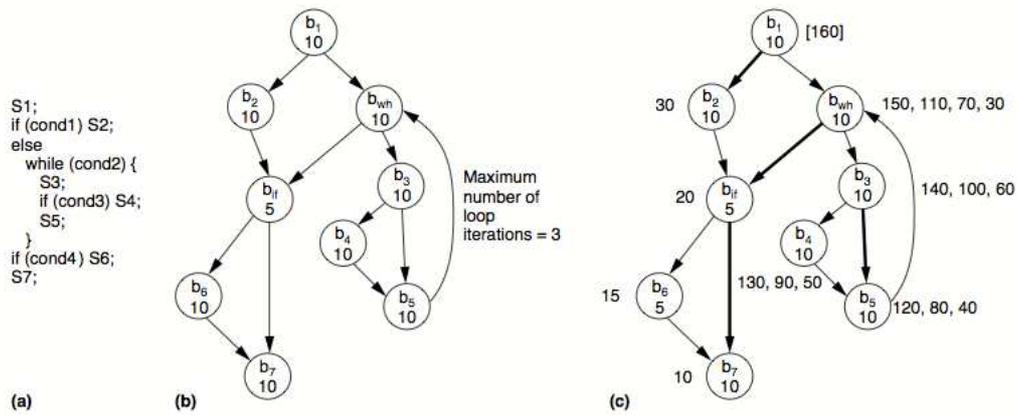


Figura 1: Exemplo de uma tarefa, onde: (a) Mostra o seu código fonte, (b) O CFG extraído a partir do código fonte e (c) Mostra o processo de análise da quantidade de ciclos de execução da tarefa no pior caso (Shin e Kim, 2001).

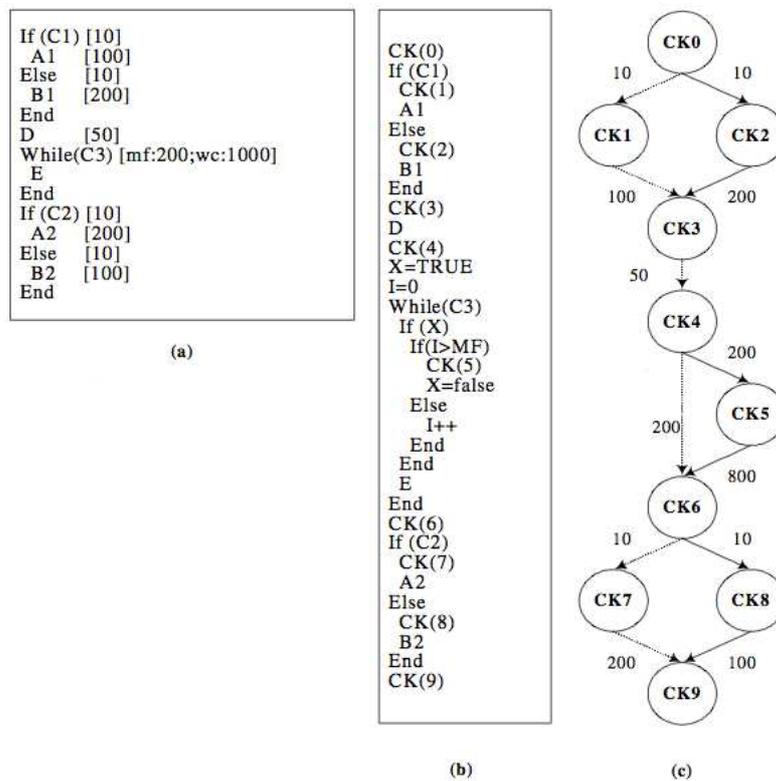


Figura 2: Exemplo de uma tarefa, onde: (a) Mostra o seu código fonte, (b) O CFG extraído a partir do código fonte e (c) Mostra o processo de inserção de pontos de controle (Yi et al., 2005).

Diante dos conceitos apresentados, decidimos investigar na literatura trabalhos / pesquisas relevantes que utilizem a técnica DVFS intra-tarefa como base para a construção de suas metodologias. Para alcançar resultados com valor científico, foi decidido realizar uma revisão sistemática baseado no trabalho Kitchenham et al. (2004), que introduziu o conceito em Engenharia de Software Baseada em Evidência (ESBE). Essa abordagem surgiu na medicina e foi trazida para a engenharia de software com o objetivo de fornecer meios pelos quais as melhores evidências atuais de pesquisa pudessem ser

integradas com experiências práticas e valores humanos no processo decisório relativo ao desenvolvimento e manutenção de software. Uma revisão sistemática “é um meio de identificar, avaliar e interpretar toda pesquisa disponível e relevante sobre uma questão de pesquisa, um tópico ou um fenômeno de interesse, e tem por objetivo apresentar uma avaliação justa de um tópico de pesquisa, usando uma metodologia confiável, rigorosa e auditável” (Kitchenham *et al.*, 2004).

A aplicação da revisão sistemática da literatura requer que seja seguido um conjunto bem definido e sequencial de passos, segundo um protocolo de pesquisa desenvolvido apropriadamente. Este protocolo é construído considerando um tema específico que representa o elemento central da investigação. Os passos da pesquisa, as estratégias definidas para coletar as evidências e o foco das questões de pesquisa são definidos explicitamente, de tal forma que outros pesquisadores sejam capazes de reproduzir o mesmo protocolo de pesquisa e, também, de julgar a adequação dos padrões adotados no estudo (Biolchini *et al.*, 2005).

Em razão disso, foi conduzido uma revisão sistemática com o objetivo de identificar e conhecer as metodologias que utilizam a técnica DVFS intra-tarefa, dentro do contexto de sistemas de tempo real, para diminuir o consumo de energia do processador.

**Organização do trabalho.** Este relatório apresenta esta revisão e discute seus resultados. O texto está dividido em seis seções. A Seção 2 abordará sobre a metodologia utilizada. A Seção 3 relata o planejamento da revisão e o protocolo preparado para a mesma. A Seção 4 descreve como esta revisão foi conduzida, enquanto que a Seção 5 apresenta e discute a análise e publicação dos resultados. A Seção 6 apresentam as considerações finais. Além destas seis seções, são apresentados três apêndices. O Apêndice A como se deu o processo de construção da expressão de busca, descreve a lista de publicações tomadas como base para validação da expressão de busca (também chamada de lista de controle), além de mostrar informações adicionais sobre o processo de condução da revisão sistemática. O Apêndice B mostram as publicações selecionadas após a execução do 1º e 2º filtros. Por fim, o Apêndice C mostra a base de dados, da revisão sistemática, criada a partir dos dados extraídos das publicações selecionadas após a execução do 2º filtro.

## 2 Revisão Sistemática

A revisão sistemática requer um esforço considerável quando comparado com uma revisão de literatura informal. Enquanto que a revisão de literatura informal é conduzida de forma *ad-hoc*, sem planejamento e critérios de seleção estabelecidos sem nenhuma metodologia pré-definida, a revisão sistemática segue um protocolo formal para conduzir uma pesquisa sobre um determinado tema, com uma sequência bem definida de passos metodológicos (Mafra e Travassos, 2006).

O processo para a condução de revisões sistemáticas envolve três etapas (Mafra e Travassos, 2006):

1. **Planejamento da Revisão:** os objetivos da pesquisa são listados e o protocolo da revisão é definido.
2. **Condução da Revisão:** nesta atividade, as fontes para a revisão sistemática são selecionadas, os estudos primários são identificados, selecionados e avaliados de acordo com os critérios de inclusão, exclusão e de qualidade estabelecidos durante o protocolo da revisão.
3. **Análise dos Resultados:** os dados dos estudos são extraídos e sintetizados para análise e apresentação dos resultados.

Conduzimos a revisão sistemática deste trabalho baseado nas três etapas citadas anteriormente e de acordo com as diretrizes definidas por [Biolchini et al. \(2005\)](#), [Mafra e Travassos \(2006\)](#) e [Kitchenham et al. \(2004\)](#). Entretanto, como o objetivo deste trabalho é realizar um estudo exploratório de caracterização do estado da arte, podemos dizer que esta revisão sistemática se caracteriza como uma quasi-sistemática ([Travassos et al., 2008](#)), pois segue o mesmo processo da revisão sistemática e preserva o rigor e mesmo formalismo para as fases metodológicas de elaboração de protocolo e execução da revisão, mas sem a aplicação de uma meta-análise a princípio, que pode ser aplicada posteriormente.

### 3 Planejamento da Revisão Sistemática

O protocolo utilizado para o estudo foi derivado do trabalho produzido por [Santos \(2008\)](#) e [Kitchenham e Charters \(2007\)](#). Para cada uma das subseções a seguir serão apresentados o que se espera a partir do protocolo (texto em itálico e entre chaves. Exemplo: "*{Itálico}*") e o conteúdo de fato utilizado no estudo em questão.

#### 3.1 Contexto

*{Descrever um breve relato sobre o problema que motivou a realização do estudo; delimitar o problema; identificar o que é importante e o que está fora do escopo; justificar a necessidade de conduzir o estudo para tratar o problema apresentado.}*

Atualmente, dentre as várias técnicas voltadas para o baixo consumo de energia, a técnica DVFS intra-tarefa é uma das que mais são citadas no meio científico. Portanto, o intuito deste trabalho é de mapear todas as metodologias presentes na literatura, que utilizam a técnica DVFS intra-tarefa para minimizar o consumo de energia do processador dentro do contexto de sistemas de tempo real. A partir desse mapeamento será possível fazer um relatório para cada uma metodologia catalogada, a fim de se obter uma base de dados consistente e atualizada sobre o estado da arte.

#### 3.2 Objetivo

*{Descrever o objetivo do estudo a partir do paradigma GQM (do inglês Goal, Question, and Metric) (Basili et al., 1994).}*

A Tabela 1 mostra o objetivo de estudo a partir do paradigma GQM.

Tabela 1: Objetivo do estudo utilizando o paradigma GQM.

<b>Analisar</b>	Publicações científicas através de um estudo baseado em revisão sistemática.
<b>Com o propósito de</b>	Identificar as técnicas / metodologias que diminuem o consumo de energia do processador.
<b>Com relação as</b>	Aplicação da técnica DVFS intra-tarefas.
<b>Do ponto de vista do</b>	Pesquisador
<b>No contexto</b>	Acadêmico ou industrial voltado para o baixo consumo de energia em sistemas de tempo real.

### 3.3 Questões de Pesquisa

*{Identificar que questões serão respondidas a partir da identificação e caracterização do objeto de estudo. Ou seja, uma vez identificados / caracterizados os objetos de estudo, que questões relevantes ao problema descrito poderão ser respondidas / discutidas?}*

Buscamos respostas para a seguinte pergunta:

- Q1: Quais são as metodologias que utilizam como base a técnica DVFS intra-tarefa para reduzir o consumo de energia do processador dentro do contexto de sistemas de tempo real?

### 3.4 Escopo da Pesquisa

*{Delimitar os tipos de mecanismos que serão utilizados para realizar as buscas, por exemplo, bibliotecas digitais através dos seus respectivos engenhos de busca, bibliotecas setoriais, livros, catálogo especializado de produtos etc.}*

Para delinear o escopo da pesquisa foram estabelecidos critérios para garantir, de forma equilibrada, a viabilidade da execução (custo, esforço e tempo), acessibilidade aos dados e abrangência do estudo. A pesquisa dar-se-á a partir de bibliotecas digitais através das suas respectivas máquinas de busca e, quando os dados não estiverem disponíveis eletronicamente, através de consultas manuais.

#### 3.4.1 Critérios Adotados para Seleção das Fontes

Para as bibliotecas digitais é desejado:

- Possuir máquina de busca que permita o uso de expressões lógicas ou mecanismo equivalente;
- Incluir em sua base publicações da área de exatas ou correlatas que possuam relação direta com o tema a ser pesquisado;
- As máquinas de busca deverão permitir a busca no texto completo das publicações.

Além disso, os mecanismos de busca utilizados devem garantir resultados únicos através da busca de um mesmo conjunto de palavras-chave (ou expressão de busca). Quando isto não for possível, deve-se estudar e documentar uma forma de minimizar os potenciais efeitos colaterais desta limitação.

#### 3.4.2 Restrições

*{Identificar todas as restrições associadas ao estudo. Identificar o intervalo de tempo válido para as buscas. O acesso aos dados, em geral, não deve incorrer em ônus para a pesquisa.}*

A pesquisa está restrita à análise de publicações obtidas, exclusivamente, a partir das fontes selecionadas com base nos critérios supracitados.

### 3.5 Idiomas

*{Deve-se identificar os idiomas das publicações que serão aceitas para a pesquisa. Se possível, deve-se justificar essa escolha.}*

Para a realização desta pesquisa foi selecionado apenas o idioma Inglês. A escolha do idioma Inglês deve-se à sua adoção pela grande maioria das conferências e periódicos internacionais relacionados como tema de pesquisa e por ser o idioma utilizado pela maioria das editoras relacionadas com o tema listadas no Portal de Periódicos da CAPES (Coordenação de Aperfeiçoamento de Pessoal de Nível Superior).

### 3.6 Métodos de Busca das Publicações

*{Deve-se descrever a forma de busca (manual e/ou eletrônica) além da expressão de busca: expressão lógica contendo uma combinação de palavras chaves extraída do objetivo do estudo relacionada ao objeto de estudo, características de interesse e respectivos sinônimos.}*

As fontes digitais foram acessadas via *Web*, através de expressões de busca pré-estabelecidas. A biblioteca digital consultada foi a Scopus, acessível em <http://www.scopus.com>. Segundo a editora Elsevier (2013) (Elsevier, 2013b), a Scopus é uma das maiores bases de dados de resumos e citações da literatura de pesquisa *peer-reviewed* com mais de 20.500 títulos de mais de 5.000 editoras internacionais.

Dentre estas editoras podemos citar: Springer (Springer, 2013); IEEE Xplore Digital Library (IEEE, 2013); ACM Digital Library (ACM, 2013); ScienceDirect/Elsevier (Elsevier, 2013a); Wiley Online Library (Sons, 2013); British Computer Society (Society, 2013); dentre outras. A biblioteca Scopus também inclui aproximadamente 5.3 milhões de conferências de artigos de *proceedings* e *journals*, 400 publicações comerciais, 360 série de livros e publicações aceitas são disponibilizadas online antes da publicação oficial em mais de 3.850 periódicos. Ainda segundo a editora Elsevier (2013) (Elsevier, 2013b), a Scopus tem aproximadamente 2 milhões de novas gravações adicionadas a cada ano, com atualizações diárias.

#### 3.6.1 Expressão de Busca

*{Descrever a expressão de busca que será adotada para a seleção das publicações nas máquinas de busca.}*

A expressão de busca foi definida segundo o padrão **PICO** (do inglês *Population, Intervention, Comparison, Outcomes*) (Kitchenham e Charters, 2007), conforme a estrutura abaixo:

- **População:** Trabalhos publicados em conferências e periódicos que sejam aplicados no contexto de sistemas de tempo real;
- **Intervenção:** Todas as metodologias que utilizem a técnica DVFS intra-tarefa;
- **Comparação:** Não se aplica.
- **Resultados:** A partir dos relatos das metodologias identificadas, pretende-se mapear o estado da arte na área de baixo consumo de energia do processador, aplicado no contexto de sistemas de tempo real. Além disso, responder as questões de pesquisa propostas neste levantamento bibliográfico.

Como este estudo representa um mapeamento / caracterização, a expressão de busca (para execução na biblioteca digital Scopus, como mencionado anteriormente) foi definida de acordo com dois aspectos: População e Intervenção (Kitchenham e Charters, 2007), como é apresentado na estrutura abaixo.

- **População:** Publicações que fazem referências a sistemas de tempo real (e sinônimos):
  - **Palavras-Chave:** (“hard real-time” OR “soft real-time” OR “real-time system” OR “real time system” OR “real-time application” OR “real time application” OR “real-time embedded system” OR “real time embedded system”)
- **Intervenção:** Técnica DVFS Intra-Tarefa (e sinônimos):
  - **Palavras-Chave:** (“DVFS” OR “dynamic voltage and frequency scaling” OR “dynamic voltage frequency scaling” OR “DVS” OR “dynamic voltage scaling” OR “DFS” OR “dynamic frequency scaling” OR “voltage scheduling” OR “frequency scheduling” OR “frequency scaling” OR “voltage scaling” ) AND (“intra-task” OR “intra task”)

**OBS:** Antes da definição da expressão de busca apresentada, alguns testes foram conduzidos de forma a tentar garantir que a expressão de busca escolhida estivesse de acordo com o objetivo e a questão do estudo. Isso foi feito com o auxílio de artigos selecionados previamente para compor uma lista de controle, que são a lista de artigos mais relevantes na área e que devem ser, obrigatoriamente, localizados a partir da execução da expressão de busca. O [Apêndice A](#) mostram os artigos escolhidos para compor a lista de controle desta revisão sistemática e como se deu o processo de construção da expressão de busca.

### 3.7 Procedimentos de Seleção e Critérios

*{Deve-se descrever os procedimentos para seleção das publicações, incluindo procedimentos de avaliação da inclusão de publicações no escopo da pesquisa e critérios de inclusão e exclusão.}*

A estratégia de busca foi aplicada por um pesquisador para identificar as publicações em potencial. As publicações identificadas serão selecionadas pelos demais pesquisadores (incluindo o que fará a busca) através da verificação dos critérios de inclusão e exclusão e de qualidade estabelecidos. Os pesquisadores deverão entrar em consenso sobre a seleção das publicações cujas avaliações se mostrem conflitantes.

Em caso de impasse entre os pesquisadores, a publicação deverá ser incluída na lista de selecionadas. Para diminuir o risco que uma publicação seja excluída prematuramente em uma das etapas do estudo, sempre que existir dúvida a publicação não deverá ser excluída.

#### 3.7.1 Procedimento de Seleção

*{Identificar as etapas necessárias para seleção das publicações para o estudo.}*

A seleção das publicações dar-se-á em 3 etapas:

1. **Seleção e catalogação preliminar dos dados coletados.** A seleção preliminar das publicações será feita a partir da aplicação da expressão de busca às fontes selecionadas. Cada publicação será catalogada em um banco de dados criado especificamente para este fim e armazenada em um repositório para análise posterior;

2. **Seleção dos dados relevantes - [1º filtro]**. A seleção preliminar com o uso da expressão de busca não garante que todo o material coletado seja útil no contexto da pesquisa, pois a aplicação das expressões de busca são restritas ao aspecto sintático. Dessa forma, após a identificação das publicações através dos mecanismos de buscas, deve-se ler o título, os resumos (ou *abstracts*), as palavras-chave e analisá-los seguindo os critérios de inclusão e exclusão identificados a seguir. Neste momento, poder-se-ia classificar as publicações apenas quanto aos critérios de exclusão, entretanto, para facilitar a análise e reduzir o número de publicações das quais se possam ter dúvidas sobre sua aceitação, deve-se também classificá-las quanto aos critérios de inclusão. Devem ser excluídas as publicações contidas no conjunto preliminar que:

- **CE1-01:** Não serão selecionadas publicações que não estejam relacionados com a área de Computação.
- **CE1-02:** Não serão selecionadas publicações cujo os artigos não estejam disponíveis na internet.
- **CE1-03:** Não serão selecionadas publicações em que descrevam e/ou apresentam *Keynote Speeches*, tutoriais, cursos e similares.
- **CE1-04:** Não serão selecionadas publicações que não fizerem referências à baixo consumo de energia do processador.
- **CE1-05:** Não serão selecionadas publicações que utilizem técnicas de baixo consumo de energia que não estejam aplicadas no contexto de sistemas de tempo real.
- **CE1-06:** Não serão selecionadas publicações que não utilizem o recurso DVFS do processador.
- **CE1-07:** Não serão selecionadas publicações que simulem técnicas de baixo consumo de energia já existentes e / ou já demonstrada em outros trabalhos.

Podem ser incluídas apenas as publicações contidas no conjunto preliminar que:

- **CI1-01:** Serão selecionadas publicações que citam uma técnica de baixo consumo de energia aplicada no contexto de sistemas de tempo real e que utilize o recurso DVFS do processador.

3. **Seleção dos dados relevantes - [2º filtro]**. O objetivo deste 2º filtro é identificar quais artigos que proponham técnicas de baixo consumo de energia do processador dentro do contexto de sistemas de tempo real através da utilização da técnica DVFS intra-tarefa. Apesar de limitar o universo de busca, o 1º filtro não garante que todo o material coletado seja útil no contexto da pesquisa. Por isso, após a leitura na íntegra dos artigos selecionados no 1º filtro, deve-se verificar que as publicações excluídas neste filtro respeitem os critérios abaixo:

- **CE2-01 [-SAVE\_ENER & -DVFS\_INTRA\_TASK]:** Não devem ser selecionadas publicações que não contextualizem metodologias de baixo consumo de energia e que não utilizem a técnica DVFS intra-tarefa.
- **CE2-02 [+SAVE\_ENER & -DVFS\_INTRA\_TASK]:** Não devem ser selecionadas publicações que contextualizem metodologias de baixo consumo de energia, mas não utilizem a técnica DVFS intra-tarefa.
- **CE2-03 [-SAVE\_ENER & +DVFS\_INTRA\_TASK]:** Não devem ser selecionadas publicações que não contextualizem metodologias de baixo consumo de energia, mesmo utilizando a técnica DVFS intra-tarefa.

Dessa forma, todas as publicações incluídas neste filtro devem respeitar o critério abaixo:

- **CI2-01 [+SAVE\_ENER & +DVFS\_INTRA\_TASK]:** Devem citar uma metodologia de baixo consumo de energia do processador utilizando a técnica DVFS intra-tarefa.

### 3.8 Procedimentos para Extração dos Dados

{Identificar os procedimentos para extração de dados a partir das publicações.}

#### a. Na Seleção e Catalogação Preliminar dos Dados Coletados

Armazenamento das referências completas selecionadas a partir da fonte consultada no repositório de dados do estudo.

#### b. Na Seleção dos Dados Relevantes

Na seleção dos dados mais relevantes para a caracterização das metodologias que utilizam a técnica DVFS intra-tarefa foi obtida primeiramente a partir da aplicação dos critérios de inclusão e exclusão definidos no primeiro e segundo filtros (ver Seção 3.7.1). Em seguida, com a definição das publicações mais relevantes para a pesquisa, procuramos extrair as informações mais importantes a partir das respostas das seguintes questões:

- Foi desenvolvida alguma ferramenta para a aplicação do método? Caso positivo, ela está disponível?
- O método proposto foi gerado a partir da integração com outros?
- A execução do método é feita de forma *online*, *offline* ou híbrida?
- Quais foram os resultados positivos ou negativos da validação / experimentação do método?
  - Foi utilizado algum Benchmark para experimentação do método? Caso positivo, este Benchmark esta disponível?
- Quais as limitações do método proposto?
- Quais as perspectivas futuras para melhoria da aplicação do método proposto?

#### c. Extração de Dados

Ao final da realização da revisão sistemática, os dados baixo deverão ser extraídos de cada uma das metodologias catalogadas. O preenchimento dos itens dessa seção é obrigatório quando for considerado de interesse para o estudo, a única exceção será quando não houver a informação solicitada. Esses dados foram definidos com base no item **b.** do procedimento para extração dos dados.

- Dados da publicação:
  - Título;
  - Autor(es);
  - Palavras-chave;
  - Fonte de publicação;
  - Ano de publicação.
- Resumo da publicação:
  - Uma breve descrição do estudo.
- Dados derivados das características de interesse declaradas nas questões de pesquisa:

- Método(s) utilizados: técnicas e/ou métodos utilizados;
  - Ferramenta(s): caso tenha sido desenvolvido alguma ferramenta para comprovar os resultados experimentais da metodologia proposta;
  - Impacto (positivo x negativo): indicação dos pontos positivos e negativos da metodologia proposta;
  - Validação do método: descreve como se deu o processo de validação da metodologia proposta;
  - Limitações do método: por exemplo, se a metodologia proposta dar suporte a preempções.
- Dados para um melhor entendimento dos resultados:
    - Integração de métodos: se o método foi gerado a partir da integração com outro(s) método(s);
    - Modo de aplicação do método: se a metodologia é executada de forma *online*, *offline* ou híbrida;
    - Perspectivas futuras: questão de pesquisa sugerida como trabalhos futuros, se houver alguma.
  - Comentários adicionais do pesquisador.

#### d. Sumarização dos Resultados

Os resultados serão tabulados.

### 3.9 Procedimentos para Análise

*{Identificar os procedimentos para análise dos dados coletados. Incluir totalização das mais diversas e relevantes para o objetivo do estudo e questões de pesquisa.}*

#### a. Análise Quantitativa

A análise quantitativa dar-se-á pela extração direta dos dados a partir do banco de dados que tem como finalidade fornecer:

- O número de publicações selecionadas para fazerem parte do estudo;
- O número de publicações aplicadas a cada um dos critérios de inclusão e exclusão utilizados no primeiro e segundo filtros.
- O número de publicações retornadas na expressão de busca e agrupadas por ano, para se ter uma visão do interesse da comunidade científica pela área ao longo dos anos.
- O número de publicações por editora.
- A quantificação das metodologias catalogadas quanto aos seus métodos de execução.
- A quantificação das metodologias catalogadas quanto a disponibilidade ferramental.

#### b. Análise Qualitativa

A análise qualitativa deverá utilizar como base, os dados quantitativos e realizar considerações com o intuito de discutir os achados com relação às questões de pesquisa declaradas.

## 4 Condução da Revisão Sistemática

A execução da revisão sistemática ocorreu no período de novembro a dezembro de 2013 e as publicações foram selecionadas de acordo com os critérios de inclusão e exclusão estabelecidos na Seção 3.

A expressão de busca mostrada na Seção 3.6.1 foi executada na máquina de busca da biblioteca Scopus, como definido anteriormente. Contudo, vale ressaltar que a expressão de busca foi modificada algumas vezes (contendo um total de 7 versões). As modificações foram necessárias devido a dois fatores: o primeiro, um grande número de publicações retornadas pela máquina de busca, contabilizando em alguns momentos um total de mais de 21.172 publicações; e o segundo, alguns artigos da lista de controle (lista de artigos já conhecidos e utilizados como base de referência) não estavam sendo retornados pelas máquinas de busca.

A principal melhoria feita na expressão de busca foi a utilização de um “AND” adicional na intervenção, baseado no trabalho de Barmi *et al.* (2011). Dessa forma é possível obter resultados mais relevantes, além de filtrar melhor os trabalhos que não tem relação com as questões de pesquisa. Segue abaixo a expressão de busca final utilizada na máquina de busca da Scopus, onde foi feito a união da População com a Intervenção e foi adicionado as sub-áreas do conhecimento de interesse para o mapeamento das publicações mais relevantes, onde as sub-áreas selecionadas foram: Computação, Engenharia e Energia.

*(ALL(“hard real-time” OR “soft real-time” OR “real-time system” OR “real time system” OR “real-time application” OR “real time application” OR “real-time embedded system” OR “real time embedded system”) AND ALL(“DVFS” OR “dynamic voltage and frequency scaling” OR “dynamic frequency scaling technique” OR “dynamic voltage frequency scaling” OR “DVS” OR “dynamic voltage scaling” OR “DFS” OR “dynamic frequency scaling” OR “voltage scheduling” OR “frequency scheduling” OR “frequency scaling” OR “voltage scaling” OR “dynamic power management” OR “dynamic voltage” OR “dynamic frequency” OR “frequency control” OR “frequency scaling” OR “voltage control” OR “processor frequency” OR “processor voltage” OR “voltage-clock scaling” OR “voltage clock scaling”) AND ALL(“intra-task” OR “intra task”)) AND ( LIMIT-TO(SUBJAREA, “COMP”) OR LIMIT-TO(SUBJAREA, “ENGI”) OR LIMIT-TO(SUBJAREA, “ENER”))*

Todas as publicações recuperadas pela máquina de busca foram organizadas pelo gerenciador de referências bibliográficas Mendeley<sup>2</sup>. O Mendeley permitiu a indexação dos itens, ou seja, criou uma lista com os nomes e outras informações para pesquisas instantâneas. Ele ainda possui um rastreador automático de referências internas nos documentos, campos de pesquisa e filtros detalhados, que possibilitam a anotação participativa e identificação de repetições.

Após essas modificações, iniciamos as análises quantitativas desta revisão sistemática, onde após a execução da expressão de busca definida acima, foi possível tabelar os resultados das publicações identificadas pela máquina de busca, bem como o número de publicações aceitas em cada um dos filtros executados (ver Tabela 2).

A partir do número total de publicações foi possível fazer a análise quantitativa em relação ao interesse da comunidade científica na linha de pesquisa definida nesta revisão sistemática. A Figura 3 apresenta um gráfico com a visão geral do número total de publicações retornadas pela biblioteca e agrupadas por ano. Com base nesta informação podemos observar que por volta de 2005 houve um declínio no número de publicações, demonstrando assim que área está chegando ao seu ponto de saturação, onde propor novas contribuições está sendo cada vez mais desafiador.

<sup>2</sup>Ferramenta Mendeley Desktop versão 1.7.1. Mais informações sobre essa ferramenta, acessar o site: <http://www.mendeley.com/download-mendeley-desktop/>.

Tabela 2: Resultados gerais das publicações identificadas pela máquina de busca da Scopus.

Máquina de Busca	Número Total de Publicações	Publicações Seleccionadas Após o Primeiro Filtro	Publicações Seleccionadas Após o Segundo Filtro
Scopus	253	115	39

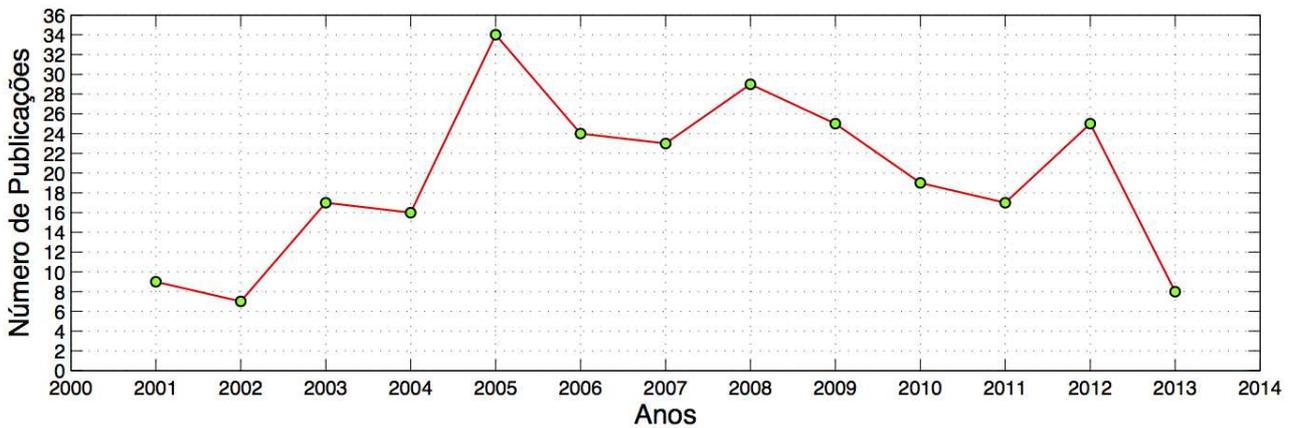


Figura 3: Número de publicações por ano.

Vale ressaltar que as 253 publicações retornadas pela Scopus foram extraídas de 25 diferentes editoras, tais como: IEEE, Springer e ACM. A Figura 4, detalha o número de publicações por editoras e na Tabela 3 é possível consultar o nome completo das editoras catalogadas.

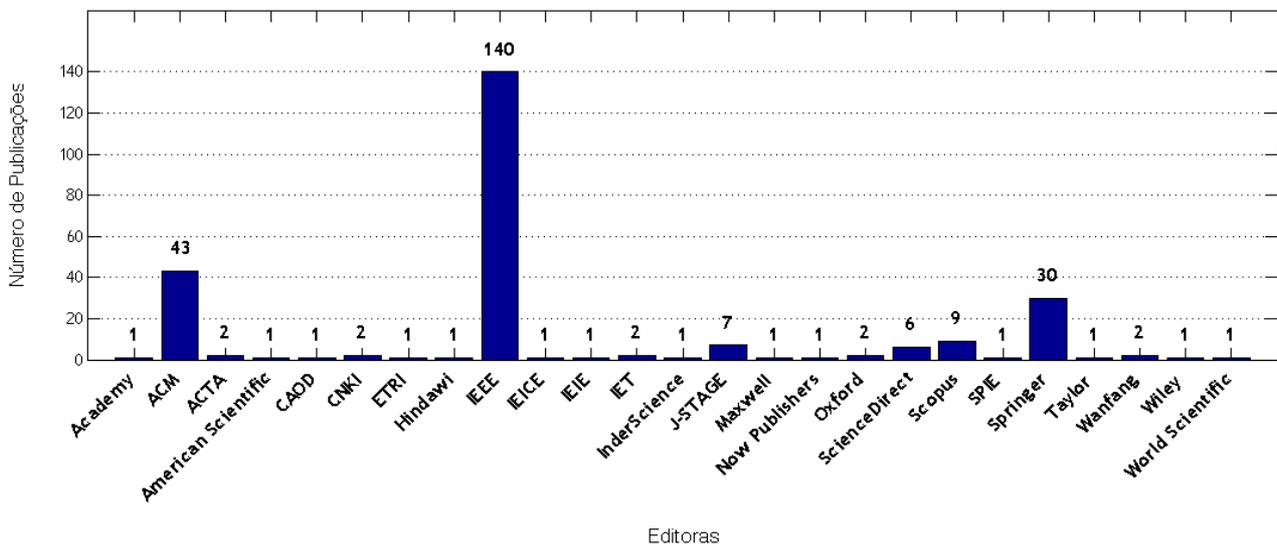


Figura 4: Número de publicações por editora.

Os gráficos a seguir apresentam uma análise quantitativa quanto a aplicação dos critérios de inclusão e exclusão das publicações para cada filtro executados, sendo que a Figura 5 apresenta um gráfico com os dados referentes ao 1º filtro e a Figura 6 apresenta um gráfico com os dados referentes ao 2º filtro. As informações sobre as publicações utilizadas no 1º filtro estão no Apêndice B. Após a análise e aplicação dos critérios de exclusão do 1º filtro o número de publicações seleccionadas foram de 115;

Tabela 3: Nome completo das editoras sem abreviações.

Abreviação / Sigla	Nome Completo da Editora
Academy	Academy Publisher
ACM	The Association for Computing Machinery
ACTA	ACTA Press
American Scientific	American Scientific Publishers
CAOD	China/Asia On Demand
CNKI	National Knowledge Infrastructure
ETRI	Electronics and Telecommunications Research Institute
Hindawi	Hindawi Publishing Corporation
IEEE	The Institute of Electrical and Electronics Engineers
IEICE	The Institute of Electronics, Information and Communication Engineers
IEIE	The Institute of Electronics and Information Engineers
IET Digital Library	The Institution of Engineering and Technology
InderScience	InderScience Publishers
J-STAGE	Japan Science and Technology Information Aggregator, Electronic
Maxwell	Maxwell Scientific Organization
Now Publishers	Now Publishers
Oxford	Oxford Journals
ScienceDirect	ScienceDirect (Elsevier)
Scopus	Scopus (Elsevier)
SPIE	Digital Library
Springer	Springer
Taylor	Taylor & Francis Group
Wanfang	Wanfang Data
Wiley	Wiley Online Library
World Scientific	World Scientific Publishing

na aplicação do 2º filtro foi identificado que 13 publicações não estavam disponíveis para download não atendendo os critérios definidos no protocolo da revisão sistemática, resultando assim em um total de 102 publicações à serem analisadas.

Vale observar que na Figura 5 o critério **CE1-01** não foi utilizado, pois todos os artigos retornados pela máquina de busca da Scopus estão relacionados com a área da Computação, consolidando assim a eficácia da expressão de busca criada na Seção 3.6.1; e na Figura 6 o critério **CE2-03** não foi utilizado, pois não identificamos nenhuma publicação que falasse da DVFS Intra-Tarefa que não estivesse aplicado dentro do contexto de baixo consumo de energia, o que é bastante plausível, visto que a técnica DVFS foi projetada para reduzir o consumo de energia.

Após a conclusão das análises e aplicações de todos os critérios de exclusão definidos no 1º e 2º filtro, somente 39 publicações foram selecionadas (ver Tabelas 4, 5 e 6). As informações coletadas e catalogadas sobre essas 39 publicações estão disponíveis no Apêndice C. Dessa forma, com a definição e catalogação das publicações selecionadas após a execução do 2º filtro, encerrasse a etapa de condução da revisão sistemática.

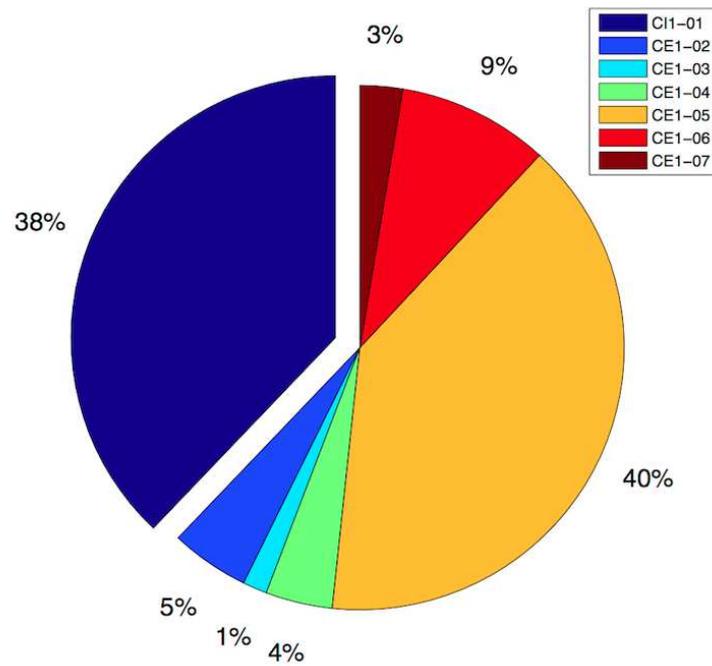


Figura 5: O gráfico mostra a porcentagem, aproximada, de utilização de cada um dos critérios do 1º filtro.

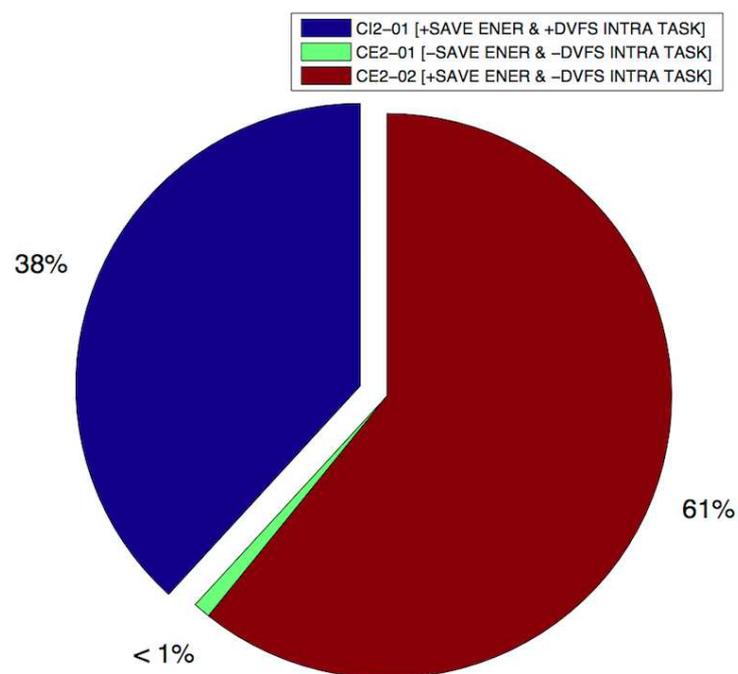


Figura 6: O gráfico mostra a porcentagem, aproximada, de utilização de cada um dos critérios do 2º filtro.

Tabela 4: Publicações selecionadas após o 2º Filtro (Parte 1).

ID	Título	Autores	Ano	Editora
[P01]	Online Intra-Task Device Scheduling for Hard Real-Time Systems	Muhammad Ali Awan, Stefan M. Petters	2012	IEEE
[P02]	Algorithms for combined inter- and intra-task dynamic voltage scaling	Seo H., Seo J., Kim T.	2012	Oxford University
[P03]	A Car Racing Based Strategy for the Dynamic Voltage and Frequency Scaling Technique	David Cohen, Eduardo Valentin, Raimundo Barreto, Horácio Oliveira, and Lucas Cordeiro	2012	IEEE
[P04]	TALk: A temperature-aware leakage minimization technique for real-time systems	Yuan L., Leventhal S.R., Gu J., Qu G.	2011	IEEE
[P05]	An integrated optimization framework for reducing the energy consumption of embedded real-time applications	Takase H., Zeng G., Gauthier L., Kawashima H., Atsumi N., Tatematsu T., Kobayashi Y., Kohara S., Koshiro T., Ishihara T., Tomiyama H., Takada H.	2011	IEEE
[P06]	Checkpoint extraction using execution traces for intra-task DVFS in embedded systems	Tatematsu T., Takase H., Zeng G., Tomiyama H., Takada H.	2011	IEEE
[P07]	Parametric timing analysis and its application to dynamic voltage scaling	Mohan S., Mueller F., Root M., Hawkins W., Healy C., Whalley D., Vivancos E.	2010	ACM
[P08]	Real-time power management for a multi-performance processor	Ishihara T.	2009	IEEE
[P09]	Energy efficient intra-task dynamic voltage scaling for realistic CPUs of mobile devices	Yang C.-C., Wang K., Lin M.-H., Lin P.	2009	Scopus (Elsevier)
[P10]	Stochastic voltage scheduling of fixed-priority tasks with preemption thresholds	He X., Jia Y., Wa H.	2009	IEEE
[P11]	Efficient algorithms for jitterless real-time tasks to DVS schedules	Chen D.-R., Hsieh S.-M., Lai M.-F.	2008	IEEE
[P12]	Expected energy consumption minimization in DVS systems with discrete frequencies	Chen J.-J.	2008	ACM
[P13]	Improving energy-efficient real-time scheduling by exploiting code instrumentation	Zitterell T., Scholl C.	2008	IEEE
[P14]	Task partitioning algorithm for intra-task dynamic voltage scaling	Oh S., Kim J., Kim S., Kyung C.-M.	2008	IEEE
[P15]	Efficient algorithms for periodic real-time tasks to optimal discrete voltage schedules	Chen D.-R., Hsieh S.-M., Lai M.-F.	2008	IEEE

Tabela 5: Publicações selecionadas após o 2º Filtro (Parte 2).

ID	Título	Autores	Ano	Editora
[P16]	System level voltage scheduling technique using UML-RT model	Neishaburi M.H., Daneshthalab M., Nabi M., Mohammadi S.	2007	IEEE
[P17]	Optimizing intratask voltage scheduling using profile and data-flow information	Shin D., Kim J.	2007	IEEE
[P18]	Static WCET analysis based compiler-directed DVS energy optimization in real-time applications	Yi H., Chen J., Yang X.	2006	Springer
[P19]	Energy-efficient task scheduling algorithm for mobile terminal	Zhang L., Qi D.	2006	IET Digital Library
[P20]	Runtime distribution-aware dynamic voltage scaling	Hong S., Yoo S., Jin H., Choi K.-M., Kong J.-T., Eo S.-K.	2006	IEEE
[P21]	Dynamic voltage scaling for multitasking real-time systems with uncertain execution time	Xian C., Lu Y.-H.	2006	ACM
[P22]	Toward the optimal configuration of dynamic voltage scaling points in real-time applications	Yi H.-Z., Yang X.-J.	2006	Springer
[P23]	Intra-task scenario-aware voltage scheduling	Gheorghita S.V., Basten T., Corporaal H.	2005	ACM
[P24]	An intra-task DVS algorithm exploiting program path locality for real-time embedded systems	Kumar G.S.A., Manimaran G.	2005	Springer
[P25]	Optimal dynamic voltage scaling for wireless sensor nodes with real-time constraints	Cassandras C.G., Zhuang S.	2005	SPIE - Digital Library
[P26]	Optimal integration of inter-task and intra-task dynamic voltage scaling techniques for hard real-time applications	Seo J., Kim T., Dutt N.D.	2005	IEEE
[P27]	Optimizing intra-task voltage scheduling using data flow analysis	Shin D., Kim J.	2005	IEEE
[P28]	Optimizing the configuration of dynamic voltage scaling points in real-time applications	Yi H., Yang X.	2005	Springer
[P29]	ParaScale: Exploiting parametric timing analysis for real-time schedulers and dynamic voltage scaling	Mohan S., Mueller F., Hawkins W., Root M., Healy C., Whalley D.	2005	IEEE
[P30]	The optimal profile-guided greedy dynamic voltage scaling in real-time applications	Yi H., Yang X., Chen J.	2005	Springer

Tabela 6: Publicações selecionadas após o 2º Filtro (Parte 3).

<b>ID</b>	<b>Título</b>	<b>Autores</b>	<b>Ano</b>	<b>Editora</b>
[P31]	Intra-task voltage scheduling on DVS-enabled hard real-time systems	Shin D., Kim J.	2005	IEEE
[P32]	Profile-based optimal intra-task voltage scheduling for hard real-time applications	Seo J., Kim T., Chung K.-S.	2004	ACM and IEEE
[P33]	Collaborative operating system and compiler power management for real-time applications	Aboughazaleh N., Mosse D., Childers B., Melhem R., Craven M.	2003	IEEE
[P34]	Exploring efficient operating points for voltage scaled embedded processor cores	Buss M., Givargis T., Dutt N.	2003	ACM and IEEE
[P35]	Energy management for real-time embedded applications with compiler support	AbouGhazaleh N., Childers B., Mosse D., Melhem R., Craven M.	2003	ACM
[P36]	An intra-task dynamic voltage scaling method for SoC design with hierarchical FSM and synchronous dataflow model	Lee S., Yoo S., Choi K.	2002	ACM
[P37]	Low-energy intra-task voltage scheduling using static timing analysis	Shin D., Kim J., Lee S.	2001	ACM
[P38]	Intra-task voltage scheduling for low-energy hard real-time applications	Shin D., Kim J., Lee S.	2001	IEEE
[P39]	A profile-based energy-efficient intra-task voltage scheduling algorithm for hard real-time applications	Shin D., Kim J.	2001	ACM and IEEE

## 5 Análise dos Resultados da Revisão Sistemática

Em relação à questão de pesquisa, apresentada na Seção 3.3, temos como objetivo catalogar todas as publicações que abordem metodologias de baixo consumo de energia, através da utilização da técnica DVFS intra-tarefa aplicado no contexto de sistemas de tempo real. Esse levantamento bibliográfico nos deu embasamento teórico para responder a questão de pesquisa deste trabalho, através da catalogação das 39 publicações selecionadas após o 2º filtro (ver Tabelas 4, 5 e 6). Os parágrafos a seguir mostrarão um breve resumo das publicações catalogadas, mostrando as principais características de cada metodologia. As citações foram feitas em ordem cronológica crescente para que se tenha uma visão melhor de como se deu a evolução do estado da arte, ao longo dos anos.

O trabalho de Shin e Kim (2001) foi um dos precursores no desenvolvimento de ferramentas para análise do WCET intra-tarefa em aplicações de tempo real. A principal finalidade dos algoritmos da ferramenta eram controlar a velocidade de execução da aplicação baseado nos caminhos de execução de caso médio (em inglês, *Average-Case Execution Path - ACEP*), que são os caminhos mais frequentemente executados. Com essa abordagem os autores conseguiram provar que o algoritmo proposto é mais eficaz na redução do consumo de energia que o algoritmo original intraVS, chamado pelos autores de *(RWEP)-based IntraVS* (em inglês, *Remaining Worst-Case Execution Path-based Intra VS*), onde mesmo utilizando as ACEPs é possível satisfazer as restrições temporais da aplicação de tempo real. Esse método se baseia no perfil de comportamento da aplicação, através da análise dos caminhos de execução mais utilizados (ou *hot paths*), chamado de *(RAEP)-based IntraVS* (em inglês, *Remaining Average-Case Execution Path-based IntraVS*). Sua principal contribuição está na exploração das probabilidades de cada caminho de execução da aplicação e garantir que as restrições temporais sejam respeitadas mesmo executando o pior caso. Os experimentos mostram que o *RAEP-based* é 34% mais eficiente energeticamente que o *RWEP-based*.

O trabalho de Shin et al. (2001a), os autores propõem um novo algoritmo de escalonamento de tensão intra-tarefa que controla a tensão de alimentação do processador durante a execução da tarefa, através da exploração dos tempos de folga. Esse método se baseia na análise do tempo de execução estático e na inserção de códigos, dentro do código fonte da aplicação, para a realização dos chaveamentos de tensões e frequências do processador, de forma que o consumo geral de energia seja reduzido. Esses códigos de chaveamento de tensão são definidos para cada um dos blocos de código selecionados a partir do grafo de fluxo de controle da aplicação (CFG). Dessa forma é possível definir as tensões e frequências para cada bloco de código, aproximando assim o tempo de execução ao deadline da tarefa, sempre respeitando as restrições temporais de todas as tarefas em execução. Neste trabalho os autores introduziram uma nova perspectiva para analisar as CFGs, que consiste em mapear os blocos de código por estruturas condicionais (chamado de *B-types*) e por estruturas de repetição (chamado de *L-types*), dessa forma é mais fácil analisar e prever os cálculos do WCEC (em inglês, *Worst Case Execution Cycle*) e RWCEC (em inglês, *Remaining Worst Case Execution Cycle*). Todas essas análises foram introduzidas na ferramenta AVS (em inglês, *Automatic Voltage Scaler*), desenvolvida pelos próprios autores. O único ponto negativo no estudo realizado é a falta de métricas para avaliar os reais impactos causados pela inserção de códigos adicionais dentro das aplicações.

O trabalho de Shin et al. (2001b), os autores propõem uma nova metodologia para análise do WCET (em inglês, *Worst Case Execution Time*) em aplicações de tempo real e tomaram com base o trabalho de Shin et al. (2001a). Essa análise é feita em tempo de compilação, de modo *offline*, utilizando o grafo de fluxo de controle da aplicação, onde o cálculo do WCET é feita para cada nó da CFG, enquanto que no trabalho anterior dos mesmos autores a estimativa do WCET era feita tendo como base o programa inteiro.

Esses três trabalhos (Shin e Kim, 2001; Shin *et al.*, 2001a,b) foram um dos primeiros a abordar metodologias que utilizam a técnica DVFS intra-tarefa e juntos possuem cerca de 186 citações na literatura, que é facilmente justificável, pois foram os precursores em propor metodologias baseadas nessa técnica.

Dando continuidade na descrição das publicações, temos o trabalho de Lee *et al.* (2002), onde os autores propõem um método de escalonamento de tensão para o projeto de SoCs (em inglês, *System on a Chips*) com hierarquia FSM (em inglês, *Finite State Machine*) e modelo de dados síncrono. Essa técnica foi chamada de modelo HFSM-SDF (em inglês, *Hierarchical FSM and Synchronous Dataflow Model*). Essa metodologia calcula o caminho de execução da aplicação em tempo de execução e utiliza muitos dos conceitos definidos por Shin *et al.* (2001a), para calcular a carga de trabalho restante das tarefas de tempo real e assim aplicar sobre o processador as tensões e frequências ideais para que o consumo de energia seja o menor possível.

O trabalho de AbouGhazaleh *et al.* (2003a), os autores propõem uma técnica que explora as variações dos tempos de execução em diferentes caminhos de execução da aplicação. Esta é uma abordagem híbrida que depende do compilador e do sistema operacional para melhor gerenciar o desempenho e a redução do consumo de energia do processador. O compilador então insere os chamados PMHs (em inglês, *Power Management Hints*), que são trechos de código responsáveis por fornecer e coletar informações em tempo de execução da aplicação para o sistema operacional, além de estimar o desempenho da aplicação no pior caso. Dessa forma, o sistema operacional invoca os PMPs (em inglês, *Power Management Points*) para realizar o chaveamento de tensão e frequência do processador com base nas informações passadas pelos PMHs.

O trabalho de Buss *et al.* (2003), os autores propõem a exploração e seleção de potenciais pontos de escalonamento de tensão que possam atuar na diminuição eficiente do consumo de energia em aplicações de tempo real não críticos. A problemática desse método está em selecionar esses pontos de controle para atuar em conjunto com a técnica DVS intra-tarefa, proporcionando uma redução do consumo de energia do processador. Esse método se baseia basicamente em três passos, são eles: (1) fazer a análise estática da aplicação e atribuir um fator de desaceleração ideal para cada bloco; (2) computar as frequências de operação com base na análise da aplicação inteira; (3) reatribuir os fatores de aceleração para cada bloco, com base nas frequências de operação válidas e computadas no passo 2. Essa abordagem é muito semelhante a técnica dos coreanos (Shin *et al.*, 2001a), onde a principal diferença está na metodologia de definição dos fatores de desaceleração.

O trabalho de AbouGhazaleh *et al.* (2003b), os autores tomaram como base o trabalho de AbouGhazaleh *et al.* (2003a), onde o foco principal da metodologia passou a ser a colaboração entre o compilador e o sistema operacional. O principal contribuição em relação ao trabalho anterior está no sistema operacional, que passa a monitorar periodicamente os chaveamentos de tensões e frequências do processador baseado nas informações providas pelos PMHs.

O trabalho de Seo *et al.* (2004), os autores propõem uma metodologia baseada no perfil de execução da tarefa, onde os níveis de tensão são definidos para cada bloco de código. Esse método tem como objetivo gerenciar melhor os *overheads* de transição, que são totalmente ou parcialmente ignorados nos outros trabalhos presentes na literatura, e obter melhores níveis de redução do consumo de energia do processador. Essa técnica é chamada de “ROEP-based technique” (ROEP - *Remaining Optimal-Case Execution Path*), que é uma melhoria da metodologia RAEP-based proposta por (Shin e Kim, 2001), cujo principal foco está relacionado com desperdícios de energia, com as trocas excessivas de tensão e frequência do processador e com a diminuição dos *overheads* inseridos dentro das aplicações. Seguindo a escala cronológica dos trabalhos catalogados nesta revisão sistemática, esta foi uma das primeiras abordagens a otimizar estes parâmetros.

O trabalho de [Shin e Kim \(2005a\)](#), os autores melhoraram a eficiência do método *RAEP-based* proposto por eles mesmo em [Shin e Kim \(2001\)](#). Nesta nova abordagem, a principal diferença está nas otimizações de *overheads* para a realização das transições de tensão, que antes era feita de forma *offline* e agora o método de atribuição de tensões passou a ser *online* e mais eficiente. Os autores utilizaram os mesmos casos de teste para realização dos experimentos e fizeram alterações na ferramenta AVS para adaptá-la a nova abordagem. Um fato interessante a ser relatado é que os autores começaram a introduzir o conceito de ciclos salvos ou ciclos economizados (em inglês, *Saved Cycles* ou  $C_{saved}$ ), ou seja, são trechos de código que deixaram de ser executados dentro da aplicação. Esse conceito será melhor amadurecida em [Shin e Kim \(2005b\)](#).

O trabalho de [Yi et al. \(2005\)](#), os autores propõem um modelo analítico de escalonamento dinâmico de tensão "ganancioso", cujo o objetivo é encontrar as tensões ideais para as aplicações de tempo real, através da análise dos casos de execução mais frequentes, ou também chamados de *Hot Path*, referenciados em [Shin e Kim \(2001\)](#). Essas análises visam identificar os tempos de folga distribuídos pela aplicação e, em seguida, repassa os ganhos obtidos para o processador, minimizando o consumo do energia. Esse método foi chamado de OPTDVS (em inglês, *Optimal Dynamic Voltage Scheduling*). Em outras palavras, esse método é um mecanismo de ajuste de tensão ganancioso guiado por perfil (ou *profile-guided*) que se baseia nos *hot paths* para definir o melhor perfil de consumo de energia para uma dada aplicação de tempo real.

O trabalho de [Mohan et al. \(2005\)](#), os autores propõem uma nova técnica chamada *ParaScale*, que permite fazer análises de tempo paramétrico em conjunto com o escalonamento. Essas análises permitem detectar dinamicamente os limites dos *loops* e o limite inferior do WCET (em inglês, *Worst Case Execution Time*), em tempo real, durante o tempo de execução restante da tarefa. Portanto, o ganho desta metodologia está, principalmente, sobre os tempos de folga obtidos sobre as estruturas de repetição. Dentre os trabalhos catalogados nessa revisão sistemática este foi o primeiro a trabalhar com limites paramétricos de *loops*, permitindo ter um melhor controle dos tempos de folga dentro de estruturas de repetição.

O trabalho de [Yi e Yang \(2005\)](#), os autores propõem uma metodologia de configuração baseado em um método que constrói o padrão de execução de uma determinada aplicação, também chamado de *Profile-Based Method* já relatado na publicação de [Yi et al. \(2005\)](#). O diferencial desta nova abordagem está em diminuir os *overheads* inseridos pelo compilador no código fonte das aplicações. Esse processo é feito da seguinte forma: primeiro o compilador insere os pontos de escalonamento sem levar em consideração os *overheads*; em seguida, todos os pontos de escalonamento são listados, já levando em consideração os *overheads*; e por fim, os pontos que possuem maiores *overheads* e / ou não trazem redução do consumo de energia para aplicação são excluídos.

O trabalho de [Shin e Kim \(2005b\)](#), os autores propõem uma otimização na técnica intraDVS usando informações de fluxo de dados da aplicação de tempo real. A metodologia visa melhorar a eficiência energética antecipando os pontos de escalonamento de tensão (em inglês, *Voltage Scaling Points - VSPs*), baseadas nos resultados de análises do fluxo de dados da aplicação. Essa técnica foi chamada de *LaIntraDVS* (em inglês, *Look Ahead IntraDVS*). Em outras palavras, o método proposto antecipa os pontos de controle para maximizar os ganhos de energia da técnica intraDVS, como por exemplo: analisar uma estrutura de repetição e prever quantas interações serão necessárias e aplicar as tensões e frequências ideais para essa bloco de código antes que ele seja realmente executado.

O trabalho de [Seo et al. \(2005\)](#), os autores propõem uma nova técnica DVS que combinam as técnicas DVS intra-tarefa e inter-tarefa, chamada de *DVS-intgr*. Essa metodologia examina os limites inferiores de consumo de energia baseado na técnica DVS intra-tarefa (parte dessa metodologia foi inspirada no trabalho de [Shin et al. \(2001a\)](#)) e com essas propriedades foram definidos os tempos de execução ideais de cada tarefa. Em seguida, as tarefas são divididas em vários grupos de trabalho de tal forma que

cada tarefa possa ser executada dentro do limite preestabelecido para cada grupo, através da utilização da técnica DVS inter-tarefa melhorada para produzir o melhor escalonamento entre elas de forma que haja a redução no consumo de energia e garantindo que nenhuma premissa temporal seja violada.

O trabalho de [Cassandras e Zhuang \(2005\)](#), os autores propõem um controle intra-tarefa para minimizar o consumo de energia dentro do contexto de rede de sensores sem fio, processando tarefas de tempo real críticas. As variáveis de controle são basicamente os tempos de processamento das tarefas de tempo real, onde cada um desses tempos estão associados a diferentes níveis de tensão. O controle intra-tarefa é baseado na exploração das propriedades dos caminhos de execução ideais. Além disso os autores mostram em seus experimentos que soluções intra-tarefa minimizam mais energia que as soluções inter-tarefa.

O trabalho de [Kumar e Manimaran \(2005\)](#), os autores propõem um novo algoritmo DVS intra-tarefa de consumo de energia consciente cujo o objetivo central é explorar os caminhos mais comuns e frequentemente executados dentro de uma aplicação de tempo real. Esse algoritmo foi chamado de CHP (em inglês, *Common Hot Path*). Essa metodologia considera todos os caminhos mais executados (ou *hot-paths*), principio também utilizado nos trabalhos de [Shin e Kim \(2001\)](#), [Seo et al. \(2004\)](#), [Yi et al. \(2005\)](#) e [Shin e Kim \(2005a\)](#), e para cada um deles são atribuídas probabilidades que irão indicar os caminhos mais utilizados. Dessa forma, a metodologia consegue combinar todos os *hot paths* em um único caminho base que é comum em comprimento com a maioria dos *hot paths*, assim é possível descobrir qual o caminho que leva a melhores taxas de minimização do consumo de energia, pois nem sempre o caminho mais curto é o mais eficaz para minimização do consumo de energia.

O trabalho de [Gheorghita et al. \(2005\)](#), os autores propõem uma abordagem proativa que visa melhorar a performance do algoritmo de escalonamento intra-tarefa, explorando os tempos de folga que aparecem em tempo de execução, em seguida repassa para o processador através trechos de código inseridos na aplicação original, chamados de pontos de escalonamento de tensão ou VSPs (em inglês, *Voltage Scaling Points*). Essa abordagem consiste, basicamente, em quatro etapas: (1) identificar os parâmetros que poderiam ter um impacto sobre o tempo de execução da aplicação; (2) calcular o máximo de impacto destes parâmetros sobre o WCEC da aplicação; (3) particionar o aplicativo em possíveis cenários, considerando-se esses parâmetros, juntamente com o seu impacto, e selecionando apenas cenários que, isoladamente, reduzir o consumo de energia; por fim, (4) computar o escalonamento DVS para cada cenário selecionado no estágio 3 e combiná-los com o escalonamento global da aplicação de tempo real.

O trabalho de [Yi e Yang \(2006\)](#), os autores apresentam uma metodologia de configuração ótima de pontos de escalonamento de tensão dinâmicos sem *overheads* de escalonamento de tensão, onde tomaram como base os trabalhos de [AbouGhazaleh et al. \(2003b\)](#) e [AbouGhazaleh et al. \(2003a\)](#). Com essa metodologia os autores conseguiram introduzir a menor quantidade necessária de pontos de escalonamento de tensão para melhor aproveitar os tempos de folga da aplicação e, além disso, provaram teoricamente todos os modelos e teoremas matemáticos definidos na metodologia, sempre visando a otimização ideal de energia.

O trabalho de [Xian e Lu \(2006\)](#), os autores propõem uma abordagem que visa integrar as técnicas de escalonamento de tensão intra-tarefa e inter-tarefa. O conceito principal do método proposto é que cada tarefa possa contribuir com informações individuais para que seja possível melhorar o escalonamento individual das demais tarefas em execução, sempre tomando como base as informações globais passadas pelas demais tarefas. Dessa forma, a abordagem é dividida, basicamente, em duas etapas: (1) É calculado estatisticamente o escalonamento de frequência ótimo para múltiplas tarefas periódicas utilizando o escalonamento EDF (em inglês, *Earliest Deadline First*) para processadores que conseguem mudar suas frequências de forma contínua; e (2) para processadores que possuem uma faixa limitada de frequências discretas, é apresentado um algoritmo heurístico específico para construção do

escalonamento de frequência baseado em informações de distribuição de probabilidade e restrições de escalonabilidade globais.

O trabalho de [Hong et al. \(2006\)](#), os autores propõem uma nova técnica de escalonamento de tensão (DVS) intra-tarefa que não visa apenas explorar as distribuições de tempo de execução da aplicação, mas também o fluxo de dados e a arquitetura. Em outras palavras, essa abordagem utiliza os dados da aplicação e da arquitetura para prever o RWCEC e aplicar com antecedência as tensões e frequências ideais no processador. Portanto, com este trabalho os autores introduziram o conceito de perfil estatístico de ciclos de execução dentro da técnica DVS intra-tarefa ao invés de ciclos de execução no pior caso (WCEC).

O trabalho de [Zhang e QI \(2006\)](#), os autores propõem um algoritmo de escalonamento de tarefas baseado em otimizações genéticas para diminuir o consumo de energia quando são especificados os deadlines e os ciclos de execução das tarefas. Esse algoritmo genético híbrido integra as técnicas inter e intra tarefas visando mensurar o pWCEC (em inglês, *Probabilistic Worst-Case Execution Time*), a fim de encontrar o melhor coeficiente de escalonamento das tarefas de forma que todas as restrições temporais sejam obedecidas e ao mesmo tempo se obtenha uma minimização do consumo de energia do processador.

O trabalho de [Huizhan et al. \(2006\)](#), os autores propõem uma ferramenta chamada HEPTANE, cuja função é realizar a análise estática do WCET (em inglês, *Worst Case Execution Time*), inserir os códigos da técnica DVFS e definir o perfil de consumo de energia da aplicação. Essa ferramenta trabalha em conjunto com o simulador de energia e performance chamado *Sim-Panalyzer*, que roda em um ambiente *RTLPower* (em inglês, *Real-Time Low Power*), cuja função é simular o ambiente de experimentação para rodar os casos de teste criados pelos autores. Analisando de forma mais incisiva o trabalho, não ficou claro como a ferramenta HEPTANE trata as invariante de *loops*, na definição do perfil de consumo de energia da aplicação.

O trabalho de [Shin e Kim \(2007\)](#), os autores propõem duas melhorias sobre a técnica IntraDVS. A primeira delas é uma melhoria da técnica chamada RAEP-IntraDVS (em inglês, *Remaining Average-case Execution Path*), que visa otimizar o escalonamento de tensão através de análises das informações da aplicação, levando em consideração o caminho de execução de caso médio remanescente. A outra melhoria é sobre a técnica LaIntraDVS, citada no trabalho [Shin e Kim \(2005b\)](#), que leva em consideração as informações do fluxo de dados para gerar otimizações sobre os pontos de chaveamento de tensão (em inglês, *Voltage-Scaling Points - VSPs*), principalmente através da predição das VSPs antes de estruturas condicionais e *loops*.

O trabalho de [Neishaburi et al. \(2007\)](#), os autores apresentam uma otimização sobre o escalonamento de tensões intra-tarefa, através da análise do fluxo de dados e do fluxo de controle da aplicação. A partir dessa análise, a metodologia é capaz de antecipar os pontos de escalonamento de tensão (em inglês, *Voltage Scaling Points - VSP*), enquanto que a técnica DVFS intra-tarefa tradicional apenas localiza os pontos de controle. Essa metodologia permite adicionar menos *overheads* no código fonte da aplicação.

O trabalho de [Chen et al. \(2008b\)](#), os autores propõem uma metodologia que visa minimizar o consumo de energia através da análise do fluxo de dados da aplicação, tanto do ponto de vista inter quanto intra tarefa. Essa abordagem consiste basicamente de três fases: (1) primeiramente é feita a transformação harmônica dos períodos de todas as tarefas, em seguida é feita a validação e compartilhamento dos tempo de folga entre as demais tarefas, utilizando um escalonamento definidos pelos autores de *Jitterless Schedule*<sup>3</sup>; (2) o próximo passo é calcular a utilização total dado os novos parâmetros das tarefas definidos no passo 1; por último (3) é feita a computação das características

---

<sup>3</sup> *Jitterless Schedule* são interferências causadas pela chegada de sucessivas instâncias de uma mesma tarefa.

de cada tarefa, tais como o início e fim relativos, com o objetivo de ajustar as tensões e frequência, evitando que restrições temporais venham ser violadas.

O trabalho de [Oh et al. \(2008\)](#), os autores propõem um novo algoritmo de particionamento de tarefas baseado na técnica DVS intra-tarefa, onde o seu principal objetivo é dividir de maneira mais eficiente os blocos de código da aplicação de forma que seja possível diminuir o número de chaveamento de tensões e frequências do processador. Essa abordagem, primeiramente, divide o código fonte da aplicação em um número máximo de seções de código. Em seguida, são calculados os ciclos de execução de cada nó, por meio de simulações estáticas, e as penalidades das previsões que falharam. Essas penalidades são utilizadas como uma medida para decidir se determinados nós deverão ser agrupados ou não. Com essa metodologia os autores conseguiram reduzir o número de chaveamentos de tensão e, conseqüentemente, minimizar o consumo de energia do processador.

O trabalho de [Zitterell e Scholl \(2008\)](#), os autores propõem um escalonamento mais eficiente de energia para processadores com frequências discretas, chamado de ItcaEDF (em inglês, *Intra-Task Characteristics Aware EDF*). Ela se baseia na integração das técnicas inter e intra tarefas para diminuição dos tempos ociosos do processador e dos tempos de folgas das tarefas. No algoritmo intra-tarefa, os autores focam na quantidade de ciclos economizados e em um contador de ciclos, que possibilita contabilizar os diferentes caminhos dentro de um *loop*, permitindo diminuir os níveis de frequência do processador de acordo com as invariantes do *loop*. Quanto ao algoritmo inter-tarefa, os autores implementam um conjunto de bibliotecas que permitem as tarefas compartilhar informações umas com as outras, contribuindo para um melhor escalonamento global e diminuição do tempo ocioso do processador.

O trabalho de [Chen \(2008\)](#), o autor apresenta uma nova abordagem para minimizar o consumo de energia utilizando funções de densidade de probabilidade com base nas cargas de trabalho das tarefas de tempo real. Para o escalonamento intra-tarefa foi feito um algoritmo eficiente para obter a frequência ideal para uma única tarefa, de modo que o consumo de energia seja minimizado. Enquanto que o algoritmo de escalonamento inter-tarefa, chamado *M-Greedy*, foi desenvolvido com base em uma abordagem de programação linear cuja finalidade é obter as melhores soluções para as tarefas de tempo real baseada em quadros, visando diminuir os tempos de folga.

O trabalho de [Chen et al. \(2008a\)](#), os autores propõem um algoritmo intra-tarefa e um inter-tarefa para diminuir o consumo de energia durante o escalonamento das tarefas. Essa metodologia tem como finalidade diminuir os *overheads* e os tempos de folga entre as tarefas, dando mais previsibilidade e otimizações *offline* para o escalonamento. Para facilitar a geração do escalonamento, as tarefas com períodos arbitrários são transformados em períodos harmônicos para que os tempos de preempção, início e término de cada tarefa possam ser facilmente derivados, principalmente para tratar o que o autor chama de *Jitterless Schedule*. Essa abordagem foi desenvolvida a partir do trabalho de [Chen et al. \(2008b\)](#).

O trabalho de [He et al. \(2008\)](#), os autores exploram os tempos de execução variáveis de tarefas, dentro da política de escalonamento FPPT (em inglês, *Fixed-Priority scheduling with Preemption Threshold* - Escalonamento com Prioridade Fixa com Limite de Preempção). Essa política de escalonamento, executando em um processador com tensão variável, permite reduzir os custos com preempções desnecessárias das tarefas. Então, os autores desenvolveram um algoritmo para analisar todas as possibilidades de carga de trabalho para cada tarefa. Em seguida, utilizou esses dados estocásticos para definir as tensões e frequências do processador de acordo com o tamanho da tarefa e sua distribuição de probabilidade, com o intuito de minimizar o consumo de energia no caso médio.

O trabalho de [Yang et al. \(2009\)](#), os autores propõem dois algoritmos de escalonamento dinâmico de tensão (DVS) intra-tarefa para CPU's. O algoritmo OSRC (em inglês, *Optimal Schedule for Realistic*

*CPUs*) tem por objetivo aplicar conceitos de programação dinâmica dentro da CFG da aplicação para identificar os caminhos ideais com menor consumo de energia, tendo como referência a especificação de uma *CPU* realista <sup>4</sup>. O segundo algoritmo, chamado LO-OSRC (em inglês, *Low Overhead Optimal Schedule for Realistic CPUs*), já leva em consideração o potencial de computação das tarefas e os *overheads* de transição, permitindo apenas uma mudança de tensão de frequência da CPU por tarefa. Dessa forma, os autores mostram em seus experimentos que seus algoritmos conseguem obter ganhos acima de 10% em comparação com outros trabalhos presentes na literatura.

O trabalho de Ishihara (2009), o autor propõe uma metodologia baseada em uma nova arquitetura contendo vários núcleos de processamento, chamada *Architecture of Multi-Performance Processor*, onde cada núcleo trabalha em uma frequência e tensão específica. Dessa forma, o processador não perde tempo chaveando tensões e frequência, que são em média na casa das centenas de microsegundos. Essa arquitetura quando integrada a técnica DVFS intra-tarefa permite maximizar os ganhos de economia de energia, através da diminuição dos *overheads* da técnica DVFS, permitindo fazer chaveamentos de tensão e frequência na casa dos 1.5 microsegundos e dissipando apenas 10 nano-joules. Essa metodologia, reduziu cerca de 25% de energia em comparação com a técnica DVS convencional do processador.

O trabalho de Mohan *et al.* (2010), os autores propõem um metodologia que remove as restrições sobre as invariantes de *loops* através de análises paramétricas, com o objetivo de maximizar a identificação dos tempos de folga das tarefas e minimizar o consumo de energia do processador. Dessa forma, os ganhos dessa abordagem está diretamente relacionado com a redução do número de interações dos *loops* mapeados dentro das aplicações.

O trabalho de Tatematsu *et al.* (2011), os autores propõem uma metodologia que analisa o código fonte da aplicação e lista todos os possíveis locais para a inserção de pontos de controle (também chamado pelos autores de *checkpoints*). Em seguida, todos esses pontos são analisado e os que não trazem ganhos energéticos são removidos. Por fim, a metodologia compara essa listagem de pontos de controle com uma tabela RWCEC (em inglês, *Remaining Worst Case Execution Cycles*), também extraída da aplicação, para então calcular as tensões e frequências que deverão ser utilizadas no processador.

O trabalho de Takase *et al.* (2011), os autores desenvolvem um *framework* com o objetivo de melhor realizar o chaveamento entre performance e consumo de energia do processador. As configurações ótimas do processador são definidas de acordo com cada etapa de execução da tarefa. Além disso, esse *framework* aplica técnicas de otimização sobre a alocação de memória da aplicação, visando diminuir *overheads* de IO (em inglês, *Input and Output*). Dessa forma, todas as características e comportamento da aplicação são analisados tando do ponto de vista inter quanto intra tarefa. Os resultados dessa análise, resultam na otimização de energia em tempo de execução de acordo com o comportamento da aplicação. Os resultados experimentais utilizando um sistema de vídeo conferencia conseguiram reduzir em média o consumo de energia em 44.9% em comparação com outros estudos de caso criados pelo próprio autor.

O trabalho de Yuan *et al.* (2011), os autores propõem um algoritmo de escalonamento intra-tarefa que visa diminuir a temperatura do processador e minimizar o consumo de energia em sistema de tempo real. Essa técnica foi chamada de *TALk* (em inglês, *Temperature-Aware Leakage*). A ideia básica do algoritmo é aumentar a frequência quando a temperatura do chip estiver baixa ou quando a carga de trabalho for alta e colocar o processador em baixo consumo de energia quando a temperatura do chip estiver alta ou com carga de trabalho leve. Para fazer isso, o algoritmo *TALk* foi dividida em duas partes: (1) A *Offline*, que usa métodos de programação dinâmica para alcançar os melhores níveis de

---

<sup>4</sup> *CPUs* realista são processadores que possuem um conjunto limitado de níveis de tensão e frequência (Yang *et al.*, 2009).

economia de energia e de temperatura; (2) O *Online* tem como objetivo determinar o modo de operação do processador com base na sua temperatura corrente e na quantidade de ciclos remanescentes das tarefas em execução. Com esse algoritmo os autores conseguiram melhorar a economia de energia em cerca de 18% em comparação com a técnica DVS tradicional.

O trabalho de [Cohen et al. \(2012\)](#), os autores apresentam uma nova política de escalonamento de tarefas de tempo real, que leva em consideração preempções. Esse nova metodologia consegue economizar energia mesmo executando as tarefas no seu pior caso. Em resumo, o autor faz uma analogia entre escalonador e suas tarefas, com uma corrida de carros, onde o objetivo da corrida é que todos os carros (uma analogia as tarefas) cheguem juntos no final, utilizando as menores velocidades (uma analogia a tensões e frequências do processador) sem que nenhuma premissa temporal seja violada. Essa nova política de escalonamento foi experimentada apenas em ambiente simulado e utilizando casos de teste gerados pelos próprios autores.

O trabalho de [Seo et al. \(2012\)](#), os autores apresentam uma técnica de baixo consumo de energia que se baseia na combinação simultânea entre inter-tarefa e intra-tarefa, também chamada DVS combinado (em inglês, *Combined DVS - CDVS*). Essa nova abordagem leva em consideração o estado do sistema dormindo (em inglês, *Sleep State - CDVS-S*) e não dormindo (em inglês, *No Sleep State - CDVS-NS*). Ela consiste basicamente de 4 etapas: (1) Aplicar a técnica CDVS-NS para determinar os intervalos de execução das tarefas de modo que o consumo total de energia seja minimizado, sem estados de dormindo (*sleep state*); (2) Realizar a análise estática dos blocos de código da tarefa, a fim de identificar os tempos ociosos e as tensões e frequências que deverão ser utilizadas; (3) Combinar os intervalos de tempo salvos na segunda etapa com o maior tempo possível no qual o sistema possa estar no estado ocioso (*idle state*) de forma eficiente; e por último (4) Monitorar dinamicamente todas as instâncias das tarefas em execução que concluíram sua execução antes do prazo final e, em seguida, irá decidir se coloca a tarefa em estado ociosa (*idle state*) ou em estado de dormindo (*sleep state*), dependendo do que for mais econômico energeticamente. Em geral, essa metodologia conseguiu reduzir o consumo de energia em média de 7% com a técnica CDVS-S e de 12% com a técnica CDVS-NS em comparação com outros trabalhos presentes na literatura.

O trabalho de [Awan e Petters \(2012\)](#), os autores propõem um algoritmo (online) de escalonamento intra-tarefa, cuja principal funcionalidade é ligar e desligar dispositivos do hardware, permitindo que eles sejam utilizados somente quando necessário. Essa metodologia se aplica a sistemas de tempo real crítico e funciona basicamente explorando os tempos de folga entre as execuções das tarefas, a fim de realizar o melhor gerenciamento dos acionamentos e desligamento dos dispositivos, melhorando assim a performance de economia de energia do sistema. Os experimentos mostram um ganho de economia de energia acima dos 90% em comparação com outras técnicas presentes na literatura.

Vale ressaltar que todos os dados extraídos das 39 publicações estão catalogados no [Apêndice C](#) e a partir da coleta desses dados foi possível realizar as análises quantitativas definidas na [Seção 3.9](#).

A primeira análise feita após a catalogação dos dados foi uma análise quantitativa quanto aos métodos de execução das abordagens, que podem ser:

- **Online:** São métodos dinâmicos que funcionam em tempo de execução e podem sofrer modificações ao longo da execução da aplicação;
- **Offline:** São métodos que funcionam em tempo de compilação e são aplicados estaticamente no código fonte da aplicação;
- **Híbrida:** São métodos que são implementados parte *offline* e parte *online*.

A Figura 7 apresenta o gráfico quantitativo com o resultado da classificação dos modos de execução das metodologias, onde apenas 8% (3 publicações) delas são totalmente *online* (Awan e Petters, 2012; Cohen *et al.*, 2012; Zitterell e Scholl, 2008). É importante observar que o método de execução Híbrida, com cerca de 36%, tem grandes chances de alcançar ou até ultrapassar a quantidade de abordagem que utilizam o modo de execução *offline*, em um futuro não muito distante. Principalmente, devido ao uso mais recorrente da integração das técnicas inter e intra tarefas para maximizar os ganhos energéticos sobre o processador.

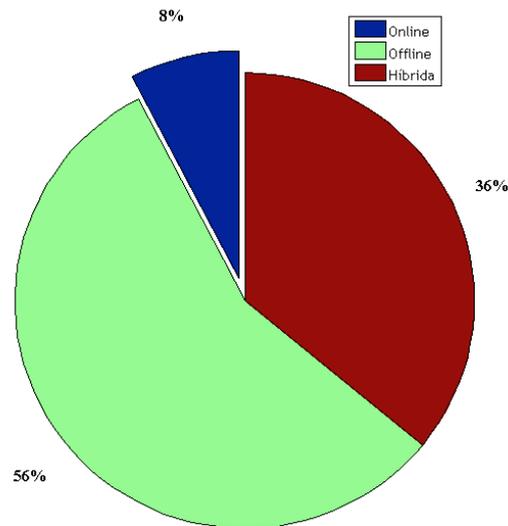


Figura 7: Análise quantitativa dos modos de execução das metodologias catalogadas.

Quanto a análise quantitativa da disponibilidade do apoio ferramental, temos que apenas 45% (21 publicações) das abordagens fornecem apoio ferramental. A Figura 8 apresenta um gráfico quantitativo mais detalhado do percentual de publicações que oferecem apoio ferramental.

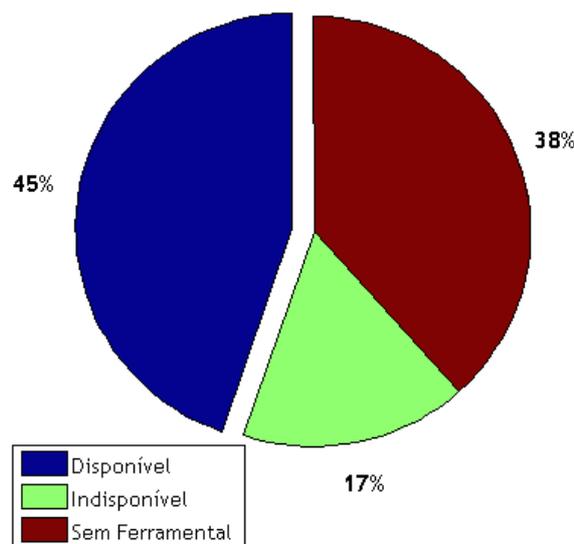


Figura 8: Análise quantitativa da disponibilidade ferramental das publicações catalogadas.

Analisando agora do ponto de vista das metodologias que dão suporte a preempção, temos que apenas 10% (4 publicações) fornecem suporte a preempções (AbouGhazaleh *et al.*, 2003b; Chen *et al.*, 2008a,b; Cohen *et al.*, 2012), enquanto que 13% (5 publicações) dão suporte parcial, ou seja, consideram um

ambiente com múltiplas tarefas preemptivas em execução, mas não deixa claro na metodologia como foi implementado (Takase *et al.*, 2011; Chen, 2008; He *et al.*, 2008; Awan e Petters, 2012; Zitterell e Scholl, 2008). A Figura 9 ilustra melhor essa análise e, além disso, deixa mais evidente que essa é uma linha de pesquisa pouco explorada pela comunidade científica.

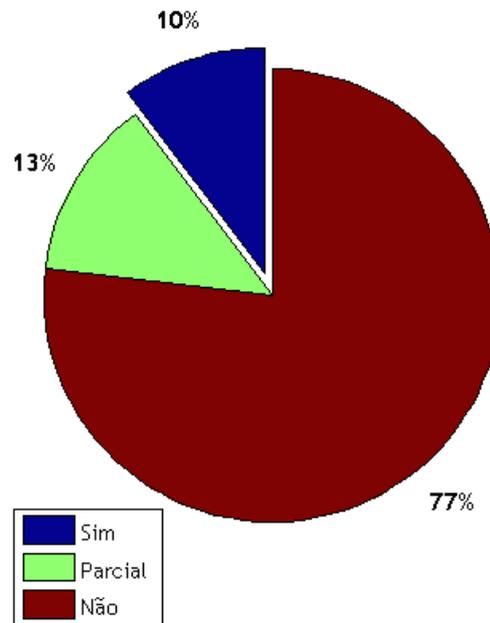


Figura 9: Análise quantitativa das metodologias que dão suporte a preemptões.

A grande maioria das metodologias não dão suporte a preemptões, pois os métodos consideram apenas um tarefa em execução e os que consideram múltiplas tarefas não leva em consideração preemptão entre elas. Por outro lado, as publicações que deixam claro na metodologia que dão suporte a preemptões tiveram que integrar outras técnicas, com por exemplo a técnica DVFS inter-tarefa. Novamente, esses argumentos ressaltam que ainda há muitas linhas de pesquisa a serem exploradas dentro desse contexto.

Visando obter uma visão geral, no que diz respeito a completude de cada uma das abordagens, efetuamos uma comparação qualitativa entre as 39 publicações selecionadas no 2º filtro. As métricas utilizadas foram extraídas com base nas questões de pesquisa definidas neste trabalho (ver Seção 3). Vale ressaltar que o principal objetivo desta comparação é medir a cobertura das abordagens diante das métricas propostas e não sua eficácia ou desempenho, ou seja, identificar as abordagens que satisfaçam o maior número de métricas.

Diante disto, a Tabela 7 apresentam as métricas definidas, sendo que cada coluna da tabela significa: (I) o identificador da métrica (ID); (II) o nome da métrica (Nome); (III) as opções definidas para cada métrica (Opções); (IV) pontuação atribuída a métrica (Pontuação de Cobertura), onde a pontuação é definida da seguinte forma: “+” representa 5 pontos; e (V) pontuação máxima permitida pela métrica.

As métricas apresentadas na Tabela 7 tem por objetivo identificar: ID=1 se a abordagem proposta possui um apoio ferramental e se este está disponível; ID=2 o tipo do *benchmark* utilizado na avaliação prática da abordagem, ou seja, se for um *benchmark* desenvolvido pelo próprio autor, provido da literatura, provido da indústria ou uma combinação entre estes tipos de *benchmarks*; ID=3 se mais de uma fonte de *benchmark* foi utilizada; ID=4 se a abordagem proposta foi comparada com outras na prática; ID=5 se a abordagem proposta dá suporte a compartilhamento de recursos, como por exemplo dispositivos de I/O; e por último ID=6 se a abordagem proposta dá suporte a preemptões, ou seja, se

Tabela 7: Lista de métricas estabelecidas para realizar a comparação de completude entre as publicações que compõem a base de dados final da revisão sistemática.

Métricas				
ID	Nome	Opções	Pontuação de Cobertura	Pontuação Máxima
1	Ferramental	Não possui / Não identificado	0	15
		Possui, mas não foi identificada sua disponibilidade	++	
		Possui e está disponível	+++	
2	Tipo do <i>Benchmark</i> utilizado (abrev. T Bench )	Nenhum ou <i>Benchmarks</i> do próprio artigo	0	15
		<i>Benchmarks</i> da literatura	+	
		<i>Benchmarks</i> da industria	++	
		Combinação entre os tipos de <i>benchmarks</i>	+++	
3	Mais de uma fonte de <i>Benchmark</i> (abrev. >Bench )	Sim	++	10
		Não	0	
4	Comparação com outras abordagens (abrev. Compara a Abordagem )	Sim	++	10
		Não	0	
5	Suporte Compartilhamento de Recursos	Não / Não identificado	0	10
		Parcial	+	
		Sim	++	
6	Suporte a Preempções	Não / Não identificado	0	10
		Parcial	+	
		Sim	++	
<b>Total Pontuação Máxima:</b>				<b>70</b>

tem uma metodologia bem definida para lidar com preempções, dado um ambiente com multitarefas e escalonamento preemptivo.

Com base nas métricas apresentadas na Tabela 7, todas as 39 publicações foram analisadas e classificadas seguindo os critérios definidos na Tabela 8. O resultado dessa análise está ilustrada na Tabela 9, onde está dividida em basicamente quatro partes: (1) são os códigos de identificação das 39 publicações retornadas no segundo filtro, que por sua vez são compostos de 3 partes, por exemplo, para o ID = Shin\_Kim\_Lee\_2001\_a temos que: (I) são os principais autores da publicação; (II) seguido pelo ano da publicação; e por último (III) um código único para identificar a publicação, visto que alguns autores possuem várias publicações em um mesmo ano (esses códigos vão de “a” até “z”); (2) é a avaliação ferramental da abordagem; (3) é quanto a avaliação experimental da abordagem; e por último (4) é uma avaliação quanto as limitações / suporte da abordagem.

Tabela 8: Critérios de classificação das publicações selecionadas no 2º filtro.

<b>Critérios de Classificação das Publicações</b>
1. Maior pontuação geral.
2. Maior pontuação no item suporte a preempções.
3. Maior pontuação no item ferramental.
4. Maior pontuação no item tipo do <i>benchmark</i> utilizado.
5. Maior pontuação no item Comparação com outras abordagens.
6. Publicação mais recente.

É importante comentar que todas as publicações apresentaram resultados positivos quanto a avaliação qualitativa das metodologias catalogadas, mesmo considerando algumas limitações (como por exemplo:

Tabela 9: Comparação de completude entre as abordagens.

ID	Ferramental	Avaliação Experimental			Limitações / Suporte		Pontuação
		T Bench	>Bench	Compara a Abordagem	Suporta Compartilhamento de Recursos	Suporte a Preempções	
Aboughazaleh_2003_b	+++	+++	++	++	0	++	60
Aboughazaleh_2003_a	+++	+++	++	++	0	0	50
Yi_Chen_Yang_2006_a	++	+++	++	++	0	0	45
Takase_2011_a	++	+++	++	0	0	+	40
Chen_2008_a	0	+++	++	++	0	+	40
Buss_Givargis_Dutt_2003_a	+++	+++	++	0	0	0	40
Ishihara_2009_a	+++	+++	++	0	0	0	40
Yuan_2011_a	0	+++	++	++	0	0	35
Xian_Lu_2006_a	0	+++	++	++	0	0	35
He_2008_a	+++	0	0	++	0	+	30
Seo_Seo_Kim_2012_a	+++	+	0	++	0	0	30
Tatematsu_2011_a	+++	+	0	++	0	0	30
Mohan_2010_a	+++	+	0	++	0	0	30
Mohan_Mueller_Root_2005_a	+++	+	0	++	0	0	30
Awan_Petters_2012_a	+++	0	0	0	+	+	25
Seo_Kim_Dutt_2005_a	+++	0	0	++	0	0	25
Shin_Kim_2005_b	++	+	0	++	0	0	25
Shin_Kim_2001_a	++	+	0	++	0	0	25
Hong_Yoo_Choi_Kong_2006_a	++	+	++	0	0	0	25
Gheorghita_2005_a	0	+++	++	0	0	0	25
Chen_Hsieh_Lai_2008_a	0	0	0	++	0	++	20
Chen_Hsieh_Lai_2008_b	0	0	0	++	0	++	20
Neishaburi_2007_a	+++	+	0	0	0	0	20
Lee_Yoo_Choi_2002_a	+++	+	0	0	0	0	20
Cohen_2012_a	0	0	0	0	+	++	15
Zitterell_2008_a	0	0	0	++	0	+	15
Shin_Kim_Lee_2001_a	++	+	0	0	0	0	15
Shin_Kim_Lee_2001_b	++	+	0	0	0	0	15
Oh_Kim_Kim_Kyung_2008_a	0	+	0	++	0	0	15
Shin_Kim_2007_a	0	+	0	++	0	0	15
Kumar_Manimaran_2005_a	0	+	0	++	0	0	15
Shin_Kim_2005_a	0	+	0	++	0	0	15
Seo_Kim_Chung_2004_a	0	+	0	++	0	0	15
Zhang_2006_a	++	0	0	0	0	0	10
Yang_2009_a	0	0	0	++	0	0	10
Cassandras_Zhuang_2005_a	0	0	0	++	0	0	10
Yi_Yang_Chen_2005_a	0	0	0	++	0	0	10
Yi_Yang_2006_a	0	0	0	0	0	0	0
Yi_Yang_2005_a	0	0	0	0	0	0	0

não dar suporte a preempções e nem a recursos compartilhados), pois todas utilizaram a técnica DVFS intra-tarefa e apresentaram bons níveis de redução do consumo de energia do processador.

Para finalizar esta seção e a etapa de análises, foi feito um diagrama para caracterizar as evoluções do estado da arte ao longo dos últimos anos, ver Figura 10.

Portanto, todos os argumentos apresentados nessa seção servem de embasamento teórico para responder a questão principal de pesquisa desta revisão sistemática, que procurou extrair o máximo de informações possíveis sobre cada metodologia, a fim de se definir melhor a caracterização do estado da arte sobre as metodologias que utilizam como base a técnica DVFS intra-tarefa.

## 6 Considerações Finais

Neste trabalho apresentamos uma pesquisa que visou caracterizar o estado da arte, através de uma revisão sistemática, dos principais métodos que utilizam a técnica DVFS intra-tarefa, aplicado no contexto de sistemas de tempo real com o objetivo de reduzir o consumo de energia do processador.

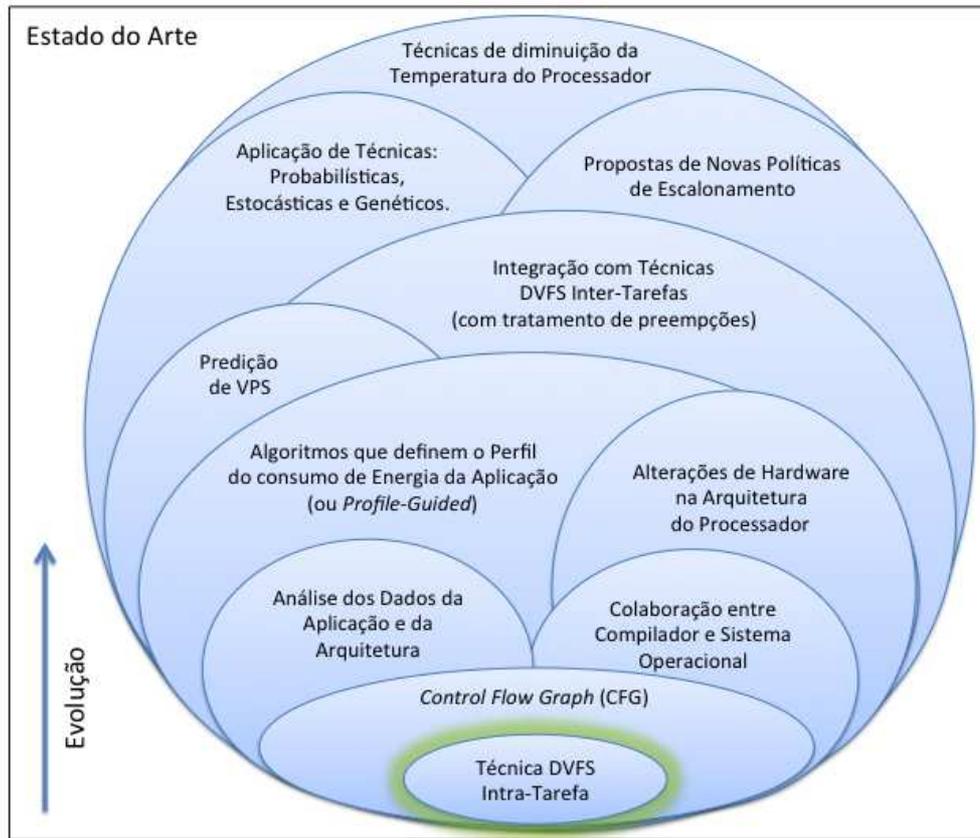


Figura 10: O diagrama mostra uma visão mais abrangente da evolução do estado da arte na área de baixo consumo de energia, do ponto de vista da técnica DVFS intra-tarefa.

A revisão sistemática foi conduzida com base em três etapas, Planejamento da Revisão, Condução da Revisão e Análise dos Resultados (mais detalhes na Seção 2). Para delinear o escopo da pesquisa foram estabelecidos critérios para garantir, de forma equilibrada, a viabilidade da execução (custo, esforço e tempo), acessibilidade aos dados e abrangência do estudo. A biblioteca selecionada foi a Scopus (ver Seção 3.6), pois ela possui em sua base mais de 5,000 editoras internacionais, tais como IEEE Xplore Digital Library, ACM Digital Library e Springer.

A partir da execução da expressão de busca (ver Seção 3.6.1) na biblioteca Scopus obtivemos como resultado um total de 253 publicações, sendo que apenas 115 faziam referências a abordagens que citam o baixo consumo de energia em sistemas de tempo real e 39 publicações somente faziam referências a baixo consumo de energia do processador utilizando a técnica DVFS intra-tarefa. Também podemos observar, com base no número de publicações, que a partir de 2005 o número de publicações nessa área vem declinando gradativamente, representando assim uma queda de 76,47% quando comparado com o ano de 2013. Isso mostra que essa área de pesquisa está chegando ao seu ponto de saturação, onde propor novas contribuições está sendo cada vez mais desafiador para a comunidade científica.

Com base na análise das 39 publicações selecionadas, a partir da aplicação da revisão sistemática, podemos observar que:

1. Todas as publicações apresentam resultados positivos na aplicação de suas respectivas abordagens, isto no que diz respeito a obter os resultados esperados para os quais foram projetadas, embora possuam limitações, como por exemplo, não fornecer suporte a recursos compartilhados e / ou preempções;

2. Com relação ao modo de aplicação dos métodos, ou seja, se era de forma Online, Offline ou Híbrida, identificamos que 56% dos métodos utilizam o modo Offline para análise e aplicação de suas abordagens. Contudo vale ressaltar que ainda existem poucos abordagens totalmente Online, apenas 8% dos trabalhos catalogados. Isso ocorre, principalmente pelo fato da técnica DVFS intra-tarefa necessitar de etapa estáticas (ou *Offline*) para a aplicação dessa técnica. Por outro lado, o número de abordagens híbridas vêm crescendo significativamente nos últimos anos, principalmente com a integração das técnicas DVFS intra e inter tarefas, proporcionando assim características *Offline* e *Online*, respectivamente. Acreditamos que as abordagens híbridas, que hoje representam cerca de 36% das abordagens catalogadas nessa revisão sistemática, passarão a ter impacto mais significativo em um futuro não muito distante, em relação aos demais modos de execução.
3. Grande parte dos métodos (cerca de 45%) possuem apoio ferramental para aplicação do método proposto;
4. Em relação as limitações das publicações catalogadas, temos que apenas 5% das metodologias dão suporte a compartilhamento de recursos e apenas 23% das publicações fornecem esse suporte a preempções. Esse dados mostram para a comunidade científica que muitas linhas de pesquisa podem ser exploradas dentro deste contexto.
5. Quanto as perspectivas futuras dos trabalhos catalogados, muitas são apontadas por seus próprios autores, com o objetivo de contribuir com novas diretrizes para o avanço do estado da arte e para o desenvolvimento de novas linhas de pesquisa. Algumas dessas novas diretrizes estão disponíveis no [Apêndice C](#).

Analisando os dados e fatos identificados neste trabalho, planejamos como próximos passos na continuidade desta pesquisa: (1) Auditar este documento, por meio de auditores que não estejam ligados diretamente a pesquisa, a fim de facilitar a identificação de possíveis erros nos relatórios e/ou nas avaliações; (2) Fazer um relatório detalhado sobre os *benchmarks* catalogados; (3) Fazer um relatório detalhado sobre as ferramentas catalogadas; e por último (4) Fazer um relatório detalhado comparando os desempenhos entre as abordagens catalogadas. Dessa forma, podemos direcionar as linhas de pesquisa para dar contribuições mais significativas para área de baixo consumo de energia do processador aplicado no contexto de sistemas de tempo real.

## Agradecimentos

Os autores agradecem o apoio concedido pela Fundação de Amparo à Pesquisa do Estado do Amazonas (FAPEAM), Superintendência da Zona Franca de Manaus (SUFRAMA) e ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPQ).

## Referências

- AbouGhazaleh N., Childers B., Mosse D., Melhem R. e Craven M. Energy management for real-time embedded applications with compiler support. In *ACM SIGPLAN Conference on Languages, Compilers, and Tools for Embedded Systems (LCTES)*, pages 284–293. ACM, 2003a.
- AbouGhazaleh N., Mossé D., Childers B., Melhem R. e Craven M. Collaborative operating system and compiler power management for real-time applications. In *9th IEEE Real-Time and Embedded Technology and Applications Symposium, RTAS 2003*, number 1203045, pages 133–141. IEEE, 2003b.
- ACM. ACM Digital Library. Disponível em <http://dl.acm.org/>, 2013. Acessado em 29 de Dezembro.
- Awan M. A. e Petters S. M. Online intra-task device scheduling for hard real-time systems. In *7th IEEE International Symposium on Industrial Embedded Systems, SIES 2012*, number 6356569, pages 48–56. IEEE, 2012.
- Barmi Z. A., Ebrahimi A. H. e Feldt R. Alignment of requirements specification and testing: A systematic mapping study. In *Software Testing, Verification and Validation Workshops (ICSTW), 2011 IEEE Fourth International Conference on*, number 12120717, pages 476–485. IEEE, 2011.
- Basili V. R., Caldiera G. e Rombach H. D. The experience factory. In *Encyclopedia of Software Engineering*, pages 469–476. Wiley, 1994.
- Biolchini J., Mian P. G. e Natali A. C. C. Systematic Review in Software Engineering. Technical Report RT-ES 679/05, COPPE/UFRJ, Rio de Janeiro, RJ, Brasil, May 2005.
- Buss M., Givargis T. e Dutt N. Exploring efficient operating points for voltage scaled embedded processor cores. In *24th IEEE International Real-Time Systems Symposium RTSS 2003*, pages 275–281. IEEE, 2003.
- Cassandras C. G. e Zhuang S. Optimal dynamic voltage scaling for wireless sensor nodes with real-time constraints. In *SPIE 5999, Intelligent Systems in Design and Manufacturing VI*, volume 5999. SPIE, 2005.
- Chen D.-R., Hsie S.-M. e Lai M.-F. Efficient algorithms for jitterless real-time tasks to dvs schedules. In *Parallel and Distributed Computing, Applications and Technologies, PDCAT Proceedings*, number 4710997, pages 319–322. IEEE, 2008a.
- Chen D.-R., Hsieh S.-M. e Lai M.-F. Efficient algorithms for periodic real-time tasks to optimal discrete voltage schedules. In *IPDPS Miami 2008 - Proceedings of the 22nd IEEE International Parallel and Distributed Processing Symposium, Program and CD-ROM*, number 4536543. IEEE, 2008b.
- Chen J.-J. Expected energy consumption minimization in dvs systems with discrete frequencies. In *ACM Symposium on Applied Computing*, pages 1720–1725, 2008.
- Cohen D., Valentin E., Barreto R., Oliveira H. e Cordeiro L. A car racing based strategy for the dynamic voltage and frequency scaling technique. In *IEEE International Symposium on Industrial Electronics*, number 6237186, pages 774–779. Oxford Journals, 2012.
- Elsevier. Digital Library ScienceDirect. Disponível em <http://www.sciencedirect.com/>, 2013a. Acessado em 29 de Dezembro.
- Elsevier. What does Scopus cover? Disponível em <http://www.info.sciverse.com/scopus/scopus-in-detail/facts>, 2013b. Acessado em 29 de Dezembro.

- Gheorghita S. V., Basten T. e Corporaal H. Intra-task scenario-aware voltage scheduling. In *CASES 2005: International Conference on Compilers, Architecture, and Synthesis for Embedded Systems*, pages 177–184. ACM, 2005.
- He X., Jia Y. e Wa H. Stochastic voltage scheduling of fixed-priority tasks with preemption thresholds. In *2008 International Conference on Wireless Communications, Networking and Mobile Computing, WiCOM 2008*, number 4679276. IEEE, 2008.
- Hong S., Yoo S., Jin H., Choi K.-M., Kong J.-T. e Eo S.-K. Runtime dvfs control with instrumented code in power-scalable cluster systemme distribution-aware dynamic voltage scaling. In *IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD*, number 4110236, pages 587–587. IEEE, 2006.
- Huizhan Y., Juan C. e Xuejun Y. Static wcet analysis based compiler-directed dvs energy optimization in real-time applications. In *11th Asia-Pacific Conference on Advances in Computer Systems Architecture, ACSAC 2006*;, volume 4186 LNCS, pages 123–136. Springer, 2006.
- IEEE. IEEE Xplore Digital Library. Disponível em <http://ieeexplore.ieee.org>, 2013. Acessado em 29 de Dezembro.
- Ishihara T. Real-time power management for a multi-performance processor. In *International SoC Design Conference, ISOCC 2009*, number 5423892, pages 147–152. IEEE, 2009.
- Kitchenham B. e Charters S. Guidelines for performing Systematic Literature Reviews in Software Engineering. Technical Report EBSE 2007-001, Keele University and Durham University Joint Report, 2007.
- Kitchenham B. A., Dyba T. e Jorgensen M. Evidence-Based Software Engineering. In *Proceedings of the 26th International Conference on Software Engineering*, pages 273–281. IEEE, 2004.
- Kumar G. S. A. e Manimaran G. An intra-task dvs algorithm exploiting program path locality for real-time embedded systems. In *12th International Conference on High Performance Computing, HiPC 2005*, volume 3769 LNCS, pages 225–234. Springer, 2005.
- Lee I., Leung J. Y.-T. e Son S. H. *Handbook of Real-Time and Embedded Systems*. ISBN-10: 1-58488-678-1. Chapman and Hall; CRC Taylor and Francis Group, 2008.
- Lee S., Yoo S. e Choi K. An intra-task dynamic voltage scaling method for soc design with hierarchical fsm and synchronous dataflow model. In *Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers - ISLPED 02*, pages 84–87. ACM and IEEE, 2002.
- Mafra S. N. e Travassos G. H. Estudos Primários e Secundários Apoiando a Busca por Evidência em Engenharia de Software. Disponível em [www.cos.ufrj.br/uploadfiles/1149103120.pdf](http://www.cos.ufrj.br/uploadfiles/1149103120.pdf). Technical Report RT-ES 679/05, PESCC - COPPP/UFRJ, Rio de Janeiro, RJ, Brasil, 2006.
- Mohan S., Mueller F., Hawkins W., Root M., Healy C. e Whalley D. Parascale: Exploiting parametric timing analysis for real-time schedulers and dynamic voltage scaling. In *Real-Time Systems Symposium*, number 1563111. IEEE, 2005.
- Mohan S., Mueller F., Root M., Hawkins W., Healy C., Whalley D. e Vivancos E. Parametric timing analysis and its application to dynamic voltage scaling. In *Transactions on Embedded Computing Systems*, volume 10. ACM, 2010.

- Neishaburi M., Daneshtalab M., Nabi M. e Mohammadi S. System level voltage scheduling technique using uml-rt model. In *2007 IEEE/ACS International Conference on Computer Systems and Applications, AICCSA 2007*, number 4231003, pages 500–505. IEEE, 2007.
- Oh S., Kim J., Kim S. e Kyung C.-M. Task partitioning algorithm for intra-task dynamic voltage scaling. In *IEEE International Symposium on Circuits and Systems*, number 4541646, pages 1228–1231. IEEE, 2008.
- Santos G. Ambientes de engenharia de software orientados à corporação. In *Tese (Doutorado em Ciências em Engenharia de Sistemas e Computação) – Universidade Federal do Rio de Janeiro*, 2008.
- Seo H., Seo J. e Kim T. Algorithms for combined inter- and intra-task dynamic voltage scaling. In *Computer Journal*, volume 55, pages 1367–1382. IEEE, 2012.
- Seo J., Kim T. e Chung K.-S. Profile-based optimal intra-task voltage scheduling for hard real-time applications. In *DAC '04 Proceedings of the 41st annual Design Automation Conference*, pages 87–92. ACM and IEEE, 2004.
- Seo J., Kim T. e Dutt N. D. Optimal integration of inter-task and intra-task dynamic voltage scaling techniques for hard real-time applications. In *IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD*, volume 2005, pages 449–454. IEEE, 2005.
- Shin D. e Kim J. A profile-based energy-efficient intra-task voltage scheduling algorithm for hard real-time applications. In *International Symposium on Low Electronics and Design (ISLPED'01)*, pages 271–274. ACM and IEEE, 2001.
- Shin D. e Kim J. Intra-task voltage scheduling on dvs-enabled hard real-time systems. In *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, volume 24, pages 1530–1549. IEEE, 2005a.
- Shin D. e Kim J. Optimizing intra-task voltage scheduling using data flow analysis. In *Asia and South Pacific Design Automation Conference, ASP-DAC*, volume 2, pages 703–708. IEEE, 2005b.
- Shin D. e Kim J. Optimizing intratask voltage scheduling using profile and data-flow information. In *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, volume 26, pages 369–385. IEEE, 2007.
- Shin D., Kim J. e Lee S. Intra-task voltage scheduling for low-energy hard real-time applications. In *IEEE Design and Test of Computers*, volume 18, pages 20–29. IEEE, 2001a.
- Shin D., Kim J. e Lee S. Low-energy intra-task voltage scheduling using static timing analysis. In *38th Design Automation Conference; Las Vegas, NV; United States;*, pages 438–443. IEEE, 2001b.
- Society B. C. The Chartered Institute for IT, Enabling the information society. Disponível em <http://onlinelibrary.wiley.com/>, 2013. Acessado em 29 de Dezembro.
- Sons J. W. . Wiley Online Library. Disponível em <http://onlinelibrary.wiley.com/>, 2013. Acessado em 29 de Dezembro.
- Springer. Springer Link, Part of Springer Science+Business Media. Disponível em <http://link.springer.com/>, 2013. Acessado em 29 de Dezembro.

- Takase H., Zeng G., Gauthier L., Kawashima H., Atsumi N., Tatematsu T., Kobayashi Y., Kohara S., Koshiro T., Ishihara T., Tomiyama H. e Takada H. An integrated optimization framework for reducing the energy consumption of embedded real-time applications. In *Proceedings of the International Symposium on Low Power Electronics and Design*, number 5993648, pages 270–276. IEEE, 2011.
- Tanenbaum A. S. *Modern Operating Systems*. Prentice Hall PTR, 2nd edition, 2001.
- Tatematsu T., Takase H., Zeng G., Tomiyama H. e Takada H. Checkpoint extraction using execution traces for intra-task dvfs in embedded systems. In *6th IEEE International Symposium on Electronic Design, Test and Application, DELTA 2011*, number 5729533, pages 19–24. IEEE, 2011.
- Travassos G., dos Santos P., Neto P. e Biolchini J. An Environment to Support Large Scale Experimentation in Software Engineering. In *Engineering of Complex Computer Systems, 13th IEEE International Conference on*, pages 193–202. IEEE, 2008.
- Xian C. e Lu Y.-H. Dynamic voltage scaling for multitasking real-time systems with uncertain execution time. In *ACM Great Lakes Symposium on VLSI, GLSVLSI*, volume 2006, pages 392–397. ACM, 2006.
- Yang C.-C., Wang K., Lin M.-H. e Lin P. Energy efficient intra-task dynamic voltage scaling for realistic cpus of mobile devices. In *Journal of Information Science and Engineering*, volume 25, pages 251–272. JISE, 2009.
- Yi H.-Z. e Yang X.-J. Toward the optimal configuration of dynamic voltage scaling points in real-time applications. In *Journal of Computer Science and Technology*, volume 21, pages 893–900. Springer, 2006.
- Yi H. e Yang X. Optimizing the configuration of dynamic voltage scaling points in real-time applications. In *15th International Workshop, PATMOS 2005*, volume 3728 LNCS, pages 79–88. Springer, 2005.
- Yi H., Yang X. e Chen J. The optimal profile-guided greedy dynamic voltage scaling in real-time applications. In *ICESS'05 Proceedings of the Second international conference on Embedded Software and Systems*, volume 3820 LNCS, pages 708–719. Springer, 2005.
- Yuan L., Leventhal S. R., Gu J. e Qu G. Talk: A temperature-aware leakage minimization technique for real-time systems. In *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, volume 30, pages 1564–1568. IEEE, 2011.
- Zhang L. e QI D. Energy-efficient task scheduling algorithm for mobile terminal. In *IET Conference Publications*, volume 152. IET Digital Library, 2006.
- Zitterell T. e Scholl C. Improving energy-efficient real-time scheduling by exploiting code instrumentation. In *Proceedings of the International Multiconference on Computer Science and Information Technology, IMCSIT 2008*, volume 3, pages 763–771. IEEE, 2008.

## Apêndice A Documentos Adicionais da Revisão Sistemática

### Apêndice A.1 Processo de Construção da Expressão de Busca

O protocolo descrito na Seção 3.6.1 é o cerne para a execução do estudo baseado em revisão sistemática, entretanto, o seu planejamento começou antes de sua elaboração. Para a construção do protocolo, foi realizada uma pesquisa informal na literatura sobre publicações que tratavam especificamente de metodologias que reduziam o consumo de energia do processador através do uso da técnica DVFS intra-tarefa. No total, foram selecionadas 12 publicações, todos no idioma inglês, para compor a lista de controle (ver Tabelas A1, A2, A3 e A4).

Tabela A1: Lista de publicações que compõem a lista de controle desta revisão sistemática (Parte 1).

Nº	Título	Autor(es)	Ano	Palavras-Chave
01	Online intra-task device scheduling for hard real-time systems	Awan, M.A. and Petters, S.M.	2012	cells (electric); power aware computing; real-time systems; IO devices; battery life enhancement; device transition overhead; device transitions; energy consumption; energy resources; hard real-time systems; inter alia; intra-task device scheduling algorithm; online intra-task device scheduling; power dissipation; power saving mechanisms; real time systems; shut-down devices; system schedulability; technology enhancements; Containers; Delay; Energy consumption; Processor scheduling; Real-time systems; Schedules; Scheduling
02	A car racing based strategy for the Dynamic Voltage and Frequency Scaling technique	Cohen, D. and Valentin, E. and Barreto, R. and Oliveira, H. and Cordeiro, L.	2012	energy consumption; power aware computing; car racing analogy; car racing based strategy; dynamic frequency scaling technique; dynamic voltage scaling technique; energy consumption optimization; energy overheads; low energy consumption; multiple preemptable real-time tasks; timing overheads; Energy consumption; Frequency control; Optimization; Program processors; Real time systems; Time frequency analysis; Timing
03	Algorithms for Combined Inter- and Intra-Task Dynamic Voltage Scaling.	Seo, Hyungjung and Seo, Jaewon and Kim, Taewhan	2012	dynamic voltage scaling (DVS); power saving; embedded systems

Tabela A2: Lista de publicações que compõem a lista de controle desta revisão sistemática (Parte 2).

Nº	Título	Autor(es)	Ano	Palavras-Chave
04	Checkpoint Extraction Using Execution Traces for Intra-task DVFS in Embedded Systems	Tatematsu, T. and Takase, H. and Gang Zeng and Tomiyama, H. and Takada, H.	2011	embedded systems; microprocessor chips; checkpoint extraction; frequency scaling; intratask dynamic voltage; processor frequency; worst case execution cycles; Data mining; Embedded systems; Energy consumption; Equations; Greedy algorithms; Mathematical model; Time frequency analysis; DVFS; embedded system; execution trace; low energy
05	Energy efficient intra-task dynamic voltage scaling for realistic CPUs of mobile devices	Yang,C. -. and Wang,K. and Lin,M. -. and Lin,P.	2009	CPU; Dynamic voltage scaling; Energy efficient; Intra-task; Mobile device; Real time
06	Efficient Algorithms for Jitterless Real-Time Tasks to DVS Schedules	Da-Ren Chen and Shu-Ming Hsieh and Ming-Fong Lai	2008	computational complexity; jitter; power aware computing; real-time systems; scheduling; canonical schedule; harmonic period; intra-task dynamic voltage scale scheduling algorithm; jitterless real-time task; periodic task scheduling; variable voltage processor; Distributed computing; Dynamic voltage scaling; Energy consumption; Information management; Interference; Polynomials; Processor scheduling; Scheduling algorithm; Timing jitter; Voltage control; DVS scheduling; power-aware scheduling; real-time systems
07	Task partitioning algorithm for intra-task dynamic voltage scaling	Seungyong Oh and Jungsoo Kim and Seonpil Kim and Chong-Min Kyung	2008	CMOS integrated circuits; low-power electronics; power consumption; switching; CMOS circuits; DVS; H.264 decoder software; intratask dynamic voltage scaling; power consumption; task partitioning algorithm; voltage switching; Computer science; DC-DC power converters; Dynamic voltage scaling; Embedded system; Energy consumption; Frequency; Heuristic algorithms; Partitioning algorithms; Switching converters; Voltage control

Tabela A3: Lista de publicações que compõem a lista de controle desta revisão sistemática (Parte 3).

Nº	Título	Autor(es)	Ano	Palavras-Chave
08	Optimizing Intratask Voltage Scheduling Using Profile and Data-Flow Information	Dongkun Shin and Jihong Kim	2007	dynamic scheduling; low-power electronics; voltage control; LalntraDVS; RAEP-IntraDVS; data-flow information; dynamic-voltage scaling; intratask voltage scheduling; look-ahead IntraDVS; low-power design; power management; real-time systems; remaining average-case execution path; variable-voltage processor; voltage-scaling points; Clocks; Collaboration; Dynamic scheduling; Energy consumption; Energy management; Information technology; Partitioning algorithms; Processor scheduling; Real time systems; Voltage control; Dynamic-voltage scaling; low-power design; power management; real-time systems; variable-voltage processor
09	Intra-task voltage scheduling on DVS-enabled hard real-time systems	Dongkun Shin and Jihong Kim	2005	low-power electronics; microprocessor chips; processor scheduling; real-time systems; voltage control; DVS-unaware program; IntraDVS framework; average-case execution information; dynamic voltage scaling; energy reduction ratio; hard real-time systems; intra-task voltage scheduling; low-energy hard real-time applications; low-energy program; low-power design; power management; program execution; slack times; software tools; static timing analysis; supply voltage control; variable-voltage processor; worst-case execution information; Decoding; Dynamic scheduling; Energy consumption; Energy efficiency; MPEG standards; Real time systems; Scheduling algorithm; Software tools; Timing; Voltage control; Dynamic voltage scaling; low-power design; power management; real-time systems; variable-voltage processor

Tabela A4: Lista de publicações que compõem a lista de controle desta revisão sistemática (Parte 4).

Nº	Título	Autor(es)	Ano	Palavras-Chave
10	Collaborative operating system and compiler power management for real-time applications	Aboughazaleh N., Mosse D., Childers B., Melhem R., Craven M.	2003	embedded systems; energy conservation; operating systems (computers); power consumption; program compilers; automatic target recognition application; battery operated portable system; collaborative operating system; compiler power management; dynamic voltage scaling; embedded system; energy consumption; real-time application; real-time system; temporal behavior; video decoder; Battery management systems; Collaboration; Dynamic voltage scaling; Embedded system; Energy consumption; Energy management; Operating systems; Power system management; Real time systems; Voltage control
11	Profile-based optimal intra-task voltage scheduling for hard real-time applications	Seo, Jaewon and Kim, Taewhan and Chung, Ki-Seok	2004	DVS, intra-task voltage scheduling, low energy design
12	Low-energy intra-task voltage scheduling using static timing analysis	Shin, Dongkun and Kim, Jihong and Lee, Seongsoo	2001	Algorithms; Computer aided software engineering; Image coding; VLSI circuits; Voltage scheduling; Real time systems

Uma vez definida a lista de controle da revisão sistemática foi possível dar início ao processo de definição da expressão de busca, que se iniciou a partir da coleta das palavras-chave de todas as publicações presentes na lista de controle. Em seguida, foram extraídas apenas as palavras-chave em comum a todas elas. Então, iniciou-se a fase de testes (no buscador da Scopus) para composição da expressão de busca definitiva desta revisão sistemática. No total, foram realizadas 7 rodadas de testes (com as palavras-chave em inglês) até que a expressão de busca ficasse a mais concisa possível e retornasse todas as publicações presentes na lista de controle. Essas rodadas de testes foram necessárias, pois estavam retornando muitas publicações, principalmente devido ao fato das máquinas de busca não serem tão eficientes. Portanto, a definição da expressão de busca envolveu os seguintes passos:

1. Definição da máquina de busca para o teste do protocolo;
2. Identificação de expressão de busca inicial;
3. Testes com a expressão de busca;
4. Análise dos resultados retornados pela expressão de busca.

Esse processo foi feito de forma iterativa, utilizando os passos 3 e 4, até que o resultado fosse considerado satisfatório. Durante os testes com a expressão de busca, verificou-se que as base de dados da Scopus (<http://www.scopus.com>) retornavam todos os artigos da lista de controle. Por este motivo, ela foi escolhida para a realização dos testes.

A pesquisa foi restrita às áreas de Computação, Engenharia e Energia, que são as áreas de interesse desta revisão sistemática. Durante as consultas na máquina de busca, foram lidos os resumos e as palavras-chave de todas as referências identificadas e aquelas que eram de interesse foram selecionadas. O [Apêndice B](#) mostram todas as publicações catalogados após a execução do 1º e 2º filtros e o [Apêndice C](#) mostra a base de dados criada a partir dos dados extraídos das publicações selecionadas após a execução do 2º filtro.

## Apêndice B Lista de Publicações Catalogadas após o 1º e 2º Filtros

Abaixo seguem as listas de artigos obtidos na aplicação desta revisão sistemática. Esta lista contém as seguintes informações: (1) o título da publicação (Título); (2) o nome dos autores (Autores); (3) o título onde foi efetuado a publicação, ou seja, nome da conferência, jornal, entre outros (Fonte da Publicação); (4) o ano que foi efetuado a publicação (Ano); (5) o nome da editora da publicação (Editora); (6) é identificado (S - Sim ou N - Não) se a publicação esta disponível na web (Disp); e nas últimas colunas é identificado se a publicação foi aprovada (S - Sim ou N - Não) no seu respectivo filtro (1F - primeiro filtro e 2F - segundo filtro) e adicionalmente qual critério (na coluna Critério ao lado de cada filtro) foi utilizado para identificar sua aprovação ou não. Vale ressaltar que os critério marcado como N/A (Nenhum dos critérios Aplicados) está ligado ao fato da publicação ter sido reprovada em um filtro anterior.

Tabela B5: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 1.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	Critério	2F	Critério
A work-demand analysis compatible with preemption-aware scheduling for power-aware real-time tasks	Chen D.-R., Chen M.-Y., Chen Y.-S., Chen L.-C.	Mathematical Problems in Engineering	2013	Hindawi Publishing Corporation	S	S	CI1-01	N	CE2-02
HAPPE: Human and application-driven frequency scaling for processor power efficiency	Yang L., Dick R.P., Memik G., Dinda P.	IEEE Transactions on Mobile Computing	2013	IEEE	S	N	CE1-05	N/A	N/A
Energy optimization by exploiting execution slacks in streaming applications on multiprocessor systems	Singh A.K., Das A., Kumar A.	Proceedings - Design Automation Conference	2013	ACM	S	S	CI1-01	N	CE2-02
Enabling efficient system configurations for dynamic wireless applications using system scenarios	Zompakis N., Papanikolaou A., Raghavan P., Soudris D., Catthoor F.	International Journal of Wireless Information Networks	2013	Springer	N/A	N	CE1-05	N/A	N/A
Literature survey	Ogras U.Y., Marculescu R.	Lecture Ntes in Electrical Engineering	2013	Springer	N	N	CE1-02 / CE1-04 / CE1-05 / CE1-06	N/A	N/A
Counter-based power modeling methods: Top-down vs. bottom-Up	Bertran R., Gonzalez M., Martorell X., Navarro N., Ayguade E.	Computer Journal	2013	Oxford Journals	N/A	N	CE1-04	N/A	N/A
Thermal-aware task scheduling in 3D chip multiprocessor with real-time constrained workloads	Li J., Qiu M., Niu J.-W., Yang L.T., Zhu Y., Zhong M.	Transactions on Embedded Computing Systems	2013	ACM	N/A	N	CE1-04	N/A	N/A
Adaptive energy optimization in multimedia-centric wireless devices: A survey	Kennedy M., Ksentini A., Hadjadj-Aoul Y., Muntean G.-M.	IEEE Communications Surveys and Tutorials	2013	IEEE	N/A	N	CE1-05	N/A	N/A
Online intra-task device scheduling for hard real-time systems	Awan M.A., Petters S.M.	7th IEEE International Symposium on Industrial Embedded Systems, SIES 2012 - Conference Proceedings	2012	IEEE	S	S	CI1-01	S	CI2-01
Evaluation of core performance when the Nde is power capped using Intel data center manager	McCartney J., Teller P.J., Arunagiri S.	Proceedings of the International Conference on Parallel Processing Workshops	2012	IEEE	N/A	N	CE1-04	N/A	N/A
An optimal fully distributed algorithm to minimize the resource consumption of cloud applications	Tziritas N., Khan S.U., Xu C.-Z., Hong J.	Proceedings of the International Conference on Parallel and Distributed Systems - ICPADS	2012	IEEE	N/A	N	CE1-04	N/A	N/A
DTS: Using dynamic time-slice scaling to address the OS problem incurred by DVFS	Jia G., Gao X., Li X., Wang C., Zhou X.	Proceedings - 2012 IEEE International Conference on Cluster Computing Workshops, Cluster Workshops 2012	2012	IEEE	N/A	N	CE1-04	N/A	N/A
Dynamic phase-based tuning for embedded systems using phase distance mapping	Adegbija T., Gordon-Ross A., Munir A.	Proceedings - IEEE International Conference on Computer Design: VLSI in Computers and Processors	2012	IEEE	N/A	N	CE1-06	N/A	N/A
Runtime voltage/frequency scaling for energy-aware streaming applications	Gruian F.	Conference Record - Asilomar Conference on Signals, Systems and Computers	2012	IEEE	N/A	N	CE1-05	N/A	N/A

Tabela B6: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 2.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	2F	Crítério	2F	Crítério
Thermal aware processor operation point management	Gorti N.P.K., Somani A.K.	Proceedings - 2012 IEEE/ACM 5th International Conference on Utility and Cloud Computing, UCC 2012	2012	IEEE	S	S		C11-01	N	CE2-01
Scheduling precedence constrained tasks with reduced processor energy on multiprocessor computers	Li K.	IEEE Transactions on Computers	2012	IEEE	N/A	N	CE1-05 / CE1-06	N/A	N/A	N/A
Algorithms for combined inter- and intra-task dynamic voltage scaling	Seo H., Seo J., Kim T.	Computer Journal	2012	Oxford Journals	S	S		C11-01	S	C12-01
The time-keeping analysis of energy-saving sensors: Manifestation, solution, and a structural monitoring case study	Moinedeh P., Mechitov K., Shiftehfar R., Abdelzaker T., Agha G., Spencer B.F.	Annual IEEE Communications Society Conference on Sensor, Mesh and Ad Hoc Communications and Networks workshops	2012	IEEE	N/A	N		CE1-05	N/A	N/A
An experimental evaluation of real-time DVFS scheduling algorithms	Saha S., Ravindran B.	ACM International Conference Proceeding Series	2012	ACM	S	N		CE1-04	N/A	N/A
Energy-aware dynamic slack allocation for real-time multitasking systems	Wang W., Ranka S., Mishra P.	Sustainable Computing: Informatics and Systems	2012	ScienceDirect	S	S		C11-01	N	CE2-02
Performance evaluation of a real-time grid system using power-saving capable processors	Terzopoulos G., Karatza H.	Journal of Supercomputing	2012	Springer	S	S		C11-01	N	CE2-02
Efficient algorithms for extracting pareto-optimal hardware configurations in DEPS framework	Kawashima H., Zeng G., Takase H., Edahiro M., Takada H.	IPSS Transactions on System LSI Design Methodology	2012	J-STAGE	N/A	N		CE1-05	N/A	N/A
A car racing based strategy for the dynamic voltage and frequency scaling technique	Cohen D., Valentin E., Barreto R., Oliveira H., Cordeiro L.	IEEE International Symposium on Industrial Electronics	2012	IEEE	S	S		C11-01	S	C12-01
Application-support particle filter for dynamic voltage scaling of multimedia applications	Lee J.-B., Kim M.-J., Yoon S., Chung E.-Y.	IEEE Transactions on Computers	2012	IEEE	N/A	N		CE1-05	N/A	N/A
Dynamic cache reconfiguration for soft real-time systems	Wang W., Mishra P., Gordon-Ross A.	Transactions on Embedded Computing Systems	2012	ACM	S	S		C11-01	N	CE2-02
Optimal configuration of a multicore server processor for managing the power and performance tradeoff	Li K.	Journal of Supercomputing	2012	Springer	N/A	N		CE1-05	N/A	N/A
Three-phase algorithms for task scheduling in distributed mobile DSP system with lifetime constraints	Li J., Qiu M., Niu J.-W., Zhu Y., Liu M., Chen T.	Journal of Signal Processing Systems	2012	Springer	N/A	N		CE1-05	N/A	N/A
Dynamic slack reclamation strategy for multiprocessor systems	Mhedhbi I., Ben Atitallah R., Jemai A.	Proceedings of the Mediterranean Electrotechnical Conference - MELECON	2012	IEEE	S	S		C11-01	N	CE2-02
Reducing the energy cost of computing through efficient co-scheduling of parallel workloads	Hankendi C., Coskun A.K.	Proceedings -Design, Automation and Test in Europe, DATE	2012	IEEE	N/A	N		CE1-05	N/A	N/A
Energy efficient scheduling of parallel tasks on multiprocessor computers	Li K.	Journal of Supercomputing	2012	Springer	N/A	N		CE1-05	N/A	N/A
Energy efficiency with runtime models for energy-aware embedded systems	Karakehayov Z., Vashev E.	Proceedings - 2011 34th IEEE Software Engineering Workshop, SEW 2011	2012	IEEE	S	S		C11-01	N	CE2-02
Exploiting media stream similarity for energy-efficient decoding and resource prediction	Hamers J., Eeckhout L.	Transactions on Embedded Computing Systems	2012	ACM	N/A	N		CE1-05	N/A	N/A
Optimal power allocation among multiple heterogeneous servers in a data center	Li K.	Sustainable Computing: Informatics and Systems	2012	ScienceDirect	N/A	N		CE1-05	N/A	N/A
Design and analysis of heuristic algorithms for power-aware scheduling of precedence constrained tasks	Li K.	IEEE International Symposium on Parallel and Distributed Processing Workshops and Phd Forum	2011	IEEE	N/A	N		CE1-05	N/A	N/A
Performance optimization with energy constraint in heterogeneous multiple computer systems	Li K.	IEEE International Symposium on Parallel and Distributed Processing Workshops and Phd Forum	2011	IEEE	N/A	N		CE1-05	N/A	N/A
Identifying the optimal energy-efficient operating points of parallel workloads	Cochran R., Hankendi C., Coskun A., Reda S.	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD	2011	IEEE	N/A	N		CE1-05	N/A	N/A

Tabela B7: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 3.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	2F	Crítério	2F	Crítério
UML-based analysis of power consumption for real-time embedded systems	Hagner M., Amiculaesci A., Goltz U.	Proc. 10th IEEE Int. Conf. on Trust, Security and Privacy in Computing and Communications, TrustCom 2011, 8th IEEE Int. Conf. on Embedded Software and Systems, ICES 2011, 6th Int. Conf. on FCST 2011	2011	IEEE	S	S		C11-01	N	CE2-02
A QoS guaranteed cache design for environment friendly computing	Lo S.-W., Huang W.-Y., Qiu S.-F., Lin Y.-C., Lin K.-H., Lin H., Kuo T.-W.	Proceedings - 2011 IEEE/ACM International Conference on Green Computing and Communications, GreenCom 2011	2011	IEEE	N/A	N		CE1-06	N/A	N/A
Power minimisation for real-time dataflow applications	Nelson A., Moreira O., MolNs A., Stuijk S., Nguyen B.T., Goossens K.	Proceedings - 2011 14th Euromicro Conference on Digital System Design: Architectures, Methods and Tools, DSD 2011	2011	IEEE	N/A	S		C11-01	N	CE2-02
Random dynamic voltage scaling design to enhance security of NCL S-box	Sui C., Wu J., Shi Y., Kim Y.-B., Choi M.	Midwest Symposium on Circuits and Systems	2011	IEEE	N/A	N		CE1-04	N/A	N/A
Slack computation for DVS algorithms in fixed-priority real-time systems using fluid slack analysis	Chen D.-R.	Journal of Systems Architecture	2011	ScienceDirect	S	S		C11-01	N	CE2-02
TALk: A temperature-aware leakage minimization technique for real-time systems	Yuan L., Leventhal S.R., Gu J., Qu G.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2011	IEEE	S	S		C11-01	S	C12-01
An integrated optimization framework for reducing the energy consumption of embedded real-time applications	Takase H., Zeng G., Gauthier L., Kawashima H., Atsumi N., Tatematsu T., Kobayashi Y., Kohara S., Koshiro T., Ishihara T., Tomiyama H., Takada H.	Proceedings of the International Symposium on Low Power Electronics and Design	2011	IEEE	S	S		C11-01	S	C12-01
OS-level power minimization under tight performance constraints in general purpose systems	Ayoub R., Ogras U., Gorbatoev E., Jin Y., Kam T., Diefenbaugh P., Rosing T.	Proceedings of the International Symposium on Low Power Electronics and Design	2011	IEEE	S	N		CE1-05	N/A	N/A
Safe Intra-Task Voltage Scheduling Algorithm Using Scenario Detection	Chen J., Yi B.-S.	Dianzi Keji Daxue Xuebao/Journal of the University of Electronic Science and Technology of China	2011	Wanfang Data	N	N		CE1-02	N/A	N/A
Checkpoint extraction using execution traces for intra-task DVFS in embedded systems	Tatematsu T., Takase H., Zeng G., Tomiyama H., Takada H.	Proceedings - 2011 6th IEEE International Symposium on Electronic Design, Test and Application, DELTA 2011	2011	IEEE	S	S		C11-01	S	C12-01
Energy-Aware task scheduling for real-time systems with discrete frequencies	Qian D., Zhang Z., Hu C., Ji X.	IEICE Transactions on Information and Systems	2011	J-STAGE	N	N		CE1-02	N/A	N/A
Saving register-file static power by monitoring instruction sequence in ROB	Shieh W.-Y., Chen H.-D.	Journal of Systems Architecture	2011	ScienceDirect	N/A	N		CE1-05	N/A	N/A
Overhead-aware energy optimization for real-time streaming applications on multiprocessor system-on-chip	Wang Y., Liu H., Liu D., Qin Z., Shao Z., Sha E.H.-M.	ACM Transactions on Design Automation of Electronic Systems	2011	ACM	N/A	N		CE1-05	N/A	N/A
Quasi-static voltage scaling for energy minimization with time constraints	Andrei A., Eles P., Jovanovic O., Schmitz M., Ogniewski J., Peng Z.	IEEE Transactions on Very Large Scale Integration (VLSI) Systems	2011	IEEE	N/A	N		CE1-05	N/A	N/A
Low power scheduling for periodic real-time systems with Dynamic Voltage Scaling processor	Qian D., Zhang Z., Tian X., Hu C.	ICCASM 2010 - 2010 International Conference on Computer Application and System Modeling, Proceedings	2010	IEEE	S	S		C11-01	N	CE2-02
A multi-performance processor for reducing the energy consumption of real-time embedded systems	Ishihara T.	IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	2010	J-STAGE	N	N		CE1-02	N/A	N/A
An efficient DVS algorithm for fixed-priority real-time applications	Chen D.-R., Chen Y.-S.	Proceedings - International Symposium on Parallel and Distributed Processing with Applications, ISPA 2010	2010	IEEE	S	S		C11-01	N	CE2-02

Tabela B8: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 4.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	CrITÉrio	2F	CrITÉrio
DVS 926 CPU for mobile handheld devices	Rajalingam A., Kokila B., Srivatsa S.	Research Journal of Applied Sciences, Engineering and TechNlogy	2010	Maxwell Scientific Organization	N/A	N	CE1-05	N/A	N/A
Energy aware DAG scheduling on heterogeneous systems	Baskiyar S., Abdel-Kader R.	Cluster Computing	2010	Springer	N/A	N	CE1-05	N/A	N/A
Energy-aware loop parallelism maximization for multi-core DSP architectures	Qiu M., Niu J.-W., Yang L.T., Qin X., Zhang S., Wang B.	Proceedings - 2010 IEEE/ACM International Conference on Green Computing and Communications, GreenCom 2010, 2010 IEEE/ACM International Conference on Cyber, Physical and Social Computing, CPSCom 2010	2010	IEEE	N/A	N	CE1-05 / CE1-06	N/A	N/A
Metrics and task scheduling policies for energy saving in multicore computers	Mair J., Leung K., Huang Z.	Proceedings - IEEE/ACM International Workshop on Grid Computing	2010	IEEE	N/A	N	CE1-05	N/A	N/A
Parametric timing analysis and its application to dynamic voltage scaling	Mohan S., Mueller F., Root M., Hawkins W., Healy C., Whalley D., Vivancos E.	Transactions on Embedded Computing Systems	2010	ACM	S	S	C11-01	S	C12-01
Leakage-aware scheduling for real-time systems with (m,k)-constraints	Niu L., Quan G.	Proceedings - 10th IEEE International Conference on Computer and Information TechNlogy, CIT-2010, 7th IEEE International Conference on Embedded Software and Systems, ICSS-2010, ScalCom-2010	2010	IEEE	S	S	C11-01	N	CE2-02
Reducing delay jitter of real-time control tasks through adaptive deadline adjustments	Hong S., Hu X.S., Lemmon M.D.	Proceedings - Euromicro Conference on Real-Time Systems	2010	IEEE	N/A	N	CE1-05	N/A	N/A
PreDVS: Preemptive dynamic voltage scaling for real-time systems using approximation scheme	Wang W., Mishra P.	Proceedings - Design Automation Conference	2010	ACM	S	S	C11-01	N	CE2-02
Transition-aware DVS algorithm for real-time systems using tree structure analysis	Chen D.-R., Hsu C.-C., Chen Y.-S., Kuo C.-J., Chen L.-C.	Journal of Systems Architecture	2010	ScienceDirect	S	S	C11-01	N	CE2-02
IADVS: On-demand performance for interactive applications	Bi M., Crk I., Gniady C.	Proceedings - International Symposium on High-Performance Computer Architecture	2010	IEEE	N/A	N	CE1-05	N/A	N/A
A speed fine tuning technique for system energy minimization of weakly hard real-time system	Agrawal S., Yadav R.S., Vijay R.	International Journal of Computers and Applications	2010	ACTA Press	N	N	CE1-02	N/A	N/A
Dynamic voltage scaling for real-time systems with system workload analysis	Zhang Z., Chen X., Qian D.-J., Hu C.	IEICE Transactions on Electronics	2010	J-STAGE	N	N	CE1-02	N/A	N/A
Energy-efficient considerations on a variable-bitrate PCI-express device	Lee Y.-H., Chen J.-J., Shih C.-S.	Journal of Signal Processing Systems	2010	Springer	N/A	N	CE1-05 / CE1-06	N/A	N/A
Leakage-aware energy minimization using dynamic voltage scaling and cache reconfiguration in real-time systems	Wang W., Mishra P.	Proceedings of the IEEE International Conference on VLSI Design	2010	IEEE	S	S	C11-01	N	CE2-02
On the interplay of parallelization, program performance, and energy consumption	Cho S., Melhem R.G.	IEEE Transactions on Parallel and Distributed Systems	2010	IEEE	N/A	N	CE1-05 / CE1-06	N/A	N/A
Real-time intra-task voltage scheduling algorithm for wireless sensor networks	Chen J., Yi B.-S., Fang Y.-J., Yue L.	Huanan Ligong Daxue Xuebao/Journal of South China University of TechNlogy (Natural Science)	2010	Wanfang Data	N/A	N	CE1-05	N/A	N/A
Voltage assignment for soft real-time embedded systems with continuous probability distribution	Qiu M., Wu J., Hu F., Liu S., Wang L.	Proceedings - 15th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications, RTCSA 2009	2009	IEEE	S	S	C11-01	N	CE2-02
Efficient dynamic voltage/frequency scaling through algorithmic loop transformation	Ghodrat M.A., Givargis T.	Embedded Systems Week 2009 - 7th IEEE/ACM International Conference on Hardware/Software-Co-Design and System Synthesis, CODES+ISSS 2009	2009	ACM	N/A	N	CE1-05	N/A	N/A

Tabela B9: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 5.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	2F	Crítério	2F	Crítério
A generalized framework for energy savings in hard real-time embedded systems	Zeng G., Tomiyama H., Takada H.	IPSP Transactions on System LSI Design Methodology	2009	J-STAGE	S	S		C11-01	N	CE2-02
Real-time power management for a multi-performance processor	Ishihara T.	2009 International SoC Design Conference, ISOC 2009	2009	IEEE	S	S		C11-01	S	C12-01
An task scheduling algorithm of real-time leakage power and temperature optimization for MPSoC	Zhaoguo F., Chaoshan S., Zuying L.	Proceedings - 2009 11th IEEE International Conference on Computer-Aided Design and Computer Graphics, CAD/Graphics 2009	2009	IEEE	N/A	N		CE1-05	N/A	N/A
How to interface energy harvesting models with multiprocessor scheduling paradigms	Koch P.	Proceedings of the 2009 1st International Conference on Wireless Communication, Vehicular TechNlogy, Information Theory and Aerospace and Electronic Systems TechNlogy, Wireless VITAE 2009	2009	IEEE	N/A	N		CE1-05 / CE1-06	N/A	N/A
Combining coarse-grained software pipelining with dvs for scheduling real-time periodic dependent tasks on multi-core embedded systems	Liu H., Shao Z., Wang M., Du J., Xue C.J., Jia Z.	Journal of Signal Processing Systems	2009	Springer	N/A	N		CE1-05	N/A	N/A
Dynamic leakage aware power management with procrastination method	Yongwen P., Man L.	Canadian Conference on Electrical and Computer Engineering	2009	IEEE	S	S		C11-01	N	CE2-02
Energy minimization for real-time systems with Nn-convex and discrete operation modes	Dabiri F., Vahdatpour A., Potkonjak M., Sarrafzadeh M.	Proceedings -Design, Automation and Test in Europe, DATE	2009	IEEE	S	S		C11-01	N	CE2-02
Program phase and runtime distribution-aware online DVFS for combined Vdd/Vbb scaling	Jungsoo K., Sungjoo Y., Kyung C.-M.	Proceedings -Design, Automation and Test in Europe, DATE	2009	IEEE	N/A	N		CE1-05	N/A	N/A
Low power processor architectures and contemporary techniques for power optimization - A review	Qadri M.Y., Gujarathi H.S., McDonald-Maier K.D.	Journal of Computers	2009	Academy Publisher	N/A	N		CE1-05	N/A	N/A
Energy-efficient scheduling for small pervasive computing devices under fixed-priority multi-subtask model	Gao Z., Wu Z., Lin M.	Intelligent Automation and Soft Computing	2009	Taylor & Francis Group	N	N		CE1-02	N/A	N/A
SYS-EDF: A system-wide energy-efficient scheduling algorithm for hard real-time systems	Cheng H., Goddard S.	International Journal of Embedded Systems	2009	InderScience Publishers	N	N		CE1-02	N/A	N/A
Run-time adaptive workload estimation for dynamic voltage scaling	Bang S.-Y., Bang K., Yoon S., Chung E.-Y.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2009	IEEE	N/A	N		CE1-05	N/A	N/A
DVFS algorithm exploiting correlation in runtime distribution	Kim J., Yoo S., Kyung C.-M.	Journal of Semiconductor TechNlogy and Science	2009	The Institute of Electronics and Information Engineers (IEIE)	N/A	N		CE1-05	N/A	N/A
An analytical dynamic scaling of supply voltage and body bias based on parallelism-aware workload and runtime distribution	Kim J., Oh S., Yoo S., Kyung C.-M.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2009	IEEE	S	S		C11-01	N	CE2-02
An optimal speed control scheme supported by media servers for low-power multimedia applications	Huang W., Wang Y.	Multimedia Systems	2009	Springer	N/A	N		CE1-05	N/A	N/A
Generalized elastic scheduling for real-time tasks	Chantem T., Hu X.S., Lemmon M.D.	IEEE Transactions on Computers	2009	IEEE	N/A	N		CE1-06	N/A	N/A
Studying energy-oriented dynamic optimizations in java virtual machines	Sun Y., Zhang W.	Journal of Circuits, Systems and Computers	2009	World Scientific Publishing	N/A	N		CE1-05 / CE1-06	N/A	N/A
Design of fast and efficient energy-aware gradient-based scheduling algorithms heterogeneous embedded multiprocessor systems	Goh L.K., Veeravalli B., Viswanathan S.	IEEE Transactions on Parallel and Distributed Systems	2009	IEEE	N/A	N		CE1-05	N/A	N/A
An analytical dynamic scaling of supply voltage and body bias based on parallelism-aware workload and runtime distribution	Kim J., Oh S., Yoo S., Kyung C.-M.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2009	IEEE	S	N		CE1-07	N	C11-07
Energy efficient intra-task dynamic voltage scaling for realistic CPUs of mobile devices	Yang C.-C., Wang K., Lin M.-H., Lin P.	Journal of Information Science and Engineering	2009	Scopus	S	S		C11-01	S	C12-01
Outstanding research problems in NC design: System, microarchitecture, and circuit perspectives	Marculescu R., Ogras U.Y., Peh L.-S., Jeger N.E., Hoskote Y.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2009	IEEE	N/A	N		CE1-05 / CE1-06	N/A	N/A
Run-time adaptive workload estimation for dynamic voltage scaling	Bang S.-Y., Bang K., Yoon S., Chung E.-Y.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2009	IEEE	N/A	N		CE1-05	N/A	N/A

Tabela B10: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 6.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	Critério	2F	Critério
System-scenario-based design of dynamic embedded systems	Gheorghita S.V., Palkovic M., Hamers J., Vandecappelle A., Mamagkakis S., Basten T., Eeckhout L., Corporaal H., Catthoor F., Vandeputte F., De Bosschere K.	ACM Transactions on Design Automation of Electronic Systems	2009	ACM	N/A	N	CE1-06	N/A	N/A
Stochastic voltage scheduling of fixed-priority tasks with preemption thresholds	He X., Jia Y., Wa H.	2008 International Conference on Wireless Communications, Networking and Mobile Computing, WiCOM 2008	2008	IEEE	S	S	CI1-01	S	CI2-01
Application scenarios in streaming-oriented embedded-system design	Gheorghita S.V., Basten T., Corporaal H.	IEEE Design and Test of Computers	2008	IEEE	N/A	S	CI1-01	N	CE2-02
A trace cache with DVFS techniques for a low power microprocessor	Jang H.B., Choi L., Chung S.W.	Proceedings - 3rd International Conference on Convergence and Hybrid Information TechNlogy, ICCIT 2008	2008	IEEE	N/A	N	CE1-05	N/A	N/A
Simultaneous optimization of battery-aware voltage regulator scheduling with dynamic voltage and frequency scaling	Cho Y., Kim Y., Joo Y., Lee K., Chang N.	Proceedings of the International Symposium on Low Power Electronics and Design	2008	ACM	N/A	N	CE1-05	N/A	N/A
Dynamic and leakage power minimization with loop voltage scheduling and assignment	Qiu M., Wu J., Hu J., He Y., Sha E.H.-M.	Proceedings of The 5th International Conference on Embedded and Ubiquitous Computing, EUC 2008	2008	IEEE	N/A	N	CE1-05	N/A	N/A
Efficient algorithms for jitterless real-time tasks to DVS schedules	Chen D.-R., Hsieh S.-M., Lai M.-F.	Parallel and Distributed Computing, Applications and TechNlogies, PDCAT Proceedings	2008	IEEE	S	S	CI1-01	S	CI2-01
Energy-oriented OpenMP parallel loop scheduling	Dong J.Y., Chen J., Yang X., Deng L., Zhang X.	Proceedings of the 2008 International Symposium on Parallel and Distributed Processing with Applications, ISPA 2008	2008	IEEE	N/A	N	CE1-05	N/A	N/A
Expected energy consumption minimization in DVS systems with discrete frequencies	Chen J.-J.	Proceedings of the ACM Symposium on Applied Computing	2008	ACM	S	S	CI1-01	S	CI2-01
Improving energy-efficient real-time scheduling by exploiting code instrumentation	Zitterell T., Scholl C.	Proceedings of the International Multiconference on Computer Science and Information TechNlogy, IMCSIT 2008	2008	IEEE	S	S	CI1-01	S	CI2-01
Low-power technique based on timeout policy for portable systems	Cho M.-H., Jung M.-J., Kim Y.-H., Lee C.-H.	5th International Conference on Information TechNlogy and Applications, ICITA 2008	2008	Scopus	N	N	CE1-02	N/A	N/A
Maximizing total QoS-provisioning of image streams with limited energy budget	Lee W.Y., Kim K.H., Ko Y.W.	IEICE Transactions on Communications	2008	J-STAGE	N/A	N	CE1-05 / CE1-06	N/A	N/A
Profile-based technique for dynamic power management in embedded systems	Kumar C.M., Sindhwani M., Srikanthan T.	2008 International Conference on Electronic Design, ICED 2008	2008	IEEE	N/A	N	CE1-05	N/A	N/A
Saving register-file static power by monitoring short-lived temporary-values in ROB	Shieh W.-Y., Chen H.-D.	13th IEEE Asia-Pacific Computer Systems Architecture Conference, ACSAC 2008	2008	IEEE	N/A	N	CE1-05	N/A	N/A
Learning and leveraging the relationship between architecture-level measurements and individual user satisfaction	Shye A., Ozisikylmaz B., Mallik A., Memik G., Dinda P.A., Dick R.P., Choudhary A.N.	Proceedings - International Symposium on Computer Architecture	2008	IEEE	N/A	N	CE1-05	N/A	N/A
AMPLE: An adaptive multi-performance processor for low-energy embedded applications	Ishihara T., Yamaguchi S., Ishitobi Y., Matsumura T., Kunitake Y., Oyama Y., Kaneda Y., Muroyama M., Sato T.	2008 Symposium on Application Specific Processors, SASP 2008	2008	IEEE	N/A	N	CE1-05	N/A	N/A
Overhead-aware system-level joint energy and performance optimization for streaming applications on multiprocessor systems-on-chip	Liu H., Shao Z., Wang M., Chen P.	Proceedings - Euromicro Conference on Real-Time Systems	2008	IEEE	N/A	N	CE1-05	N/A	N/A

Tabela B11: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 7.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	2F	Crítério	2F	Crítério
Voltage emergence prevention for energy-efficient real-time task synchronization	Chen Y.-S., Lin T.-J.	Proceedings - 8th IEEE International Conference on Computer and Information Technology Workshops, CIT Workshops 2008	2008	IEEE	S	S		C11-01	N	CE2-02
Task partitioning algorithm for intra-task dynamic voltage scaling	Oh S., Kim J., Kim S., Kyung C.-M.	Proceedings - IEEE International Symposium on Circuits and Systems	2008	IEEE	S	S		C11-01	S	C12-01
Performance analysis of power-aware task scheduling algorithms on multiprocessor computers with dynamic voltage and speed	Li K.	IEEE Transactions on Parallel and Distributed Systems	2008	IEEE	N/A	N		CE1-05	N/A	N/A
Efficient algorithms for periodic real-time tasks to optimal discrete voltage schedules	Chen D.-R., Hsieh S.-M., Lai M.-F.	IPDPS Miami 2008 - Proceedings of the 22nd IEEE International Parallel and Distributed Processing Symposium, Program and CD-ROM	2008	IEEE	S	S		C11-01	S	C12-01
Minimizing response time implication in DVS scheduling for low power embedded systems	Min-Allah N., Kazmi A.-R., Ali I., Xing J.-S., Wang Y.-J.	InNvations'07: 4th International Conference on Information Technology, IIT	2008	IEEE	S	S		C11-01	N	CE2-02
Saving register-file leakage energy by register-usage exploiting	Shieh W.-Y., Chen C.-C.	Journal of Information Science and Engineering	2008	JISE	N/A	N		CE1-05	N/A	N/A
Dynamic voltage scaling of supply and body bias exploiting software runtime distribution	Hong S., Yoo S., Bin B., Choi K.-M., Eo S.-K., Kim T.	Proceedings - Design, Automation and Test in Europe, DATE	2008	IEEE	N/A	N		CE1-05	N/A	N/A
Dynamic scheduling of imprecise-computation tasks in maximizing QoS under energy constraints for embedded systems	Yu H., Veeravalli B., Ha Y.	Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC	2008	IEEE	S	S		C11-01	N	CE2-02
Dynamic power management for embedded system idle state in the presence of periodic interrupt services	Zeng G., Tomiyama H., Takada H.	IPSJ Transactions on System LSI Design Methodology	2008	J-STAGE	S	S		C11-01	N	CE2-02
Energy-aware task scheduling and dynamic voltage scaling in a real-time system	Rong P., Pedram M.	Journal of Low Power Electronics	2008	American Scientific Publishers	S	S		C11-01	N	CE2-02
Scenario selection and prediction for DVS-aware scheduling of multimedia applications	Gheorghita S.V., Basten T., Corporaal H.	Journal of Signal Processing Systems	2008	Springer	S	S		C11-01	N	CE2-02
Corollaries to Amdahl's law for energy	Cho S., Melhem R.G.	IEEE Computer Architecture Letters	2008	IEEE	N/A	N		CE1-05	N/A	N/A
Scheduling algorithm of saving energy for multiprocessors	Sang N., Li B.-Y., Ma H.	Dianzi Keji Daxue Xuebao/Journal of the University of Electronic Science and Technology of China	2008	China/Asia On Demand (CAOD)	N/A	N		CE1-05	N/A	N/A
A deferred-workload-based inter-task dynamic voltage scaling algorithm for portable multimedia devices	Tsai Y.-H., Wang K., Chen J.-M.	IWCMC 2007: Proceedings of the 2007 International Wireless Communications and Mobile Computing Conference	2007	ACM	S	S		C11-01	N	CE2-02
A Nvel voltage scaling algorithm through ant colony optimization for embedded distributed systems	Dan D., Lisheng Z., Zheng W.	IEEE ICIT 2007 - 2007 IEEE International Conference on Integration Technology	2007	IEEE	N/A	N		CE1-05	N/A	N/A
A software framework for energy and performance tradeoff in fixed-priority hard real-time embedded systems	Zeng G., Tomiyama H., Takada H.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2007	Springer	S	S		C11-01	N	CE2-02
A unified practical approach to stochastic DVS scheduling	Xu R., Melhem R., Mosse D.	EMSOFT'07: Proceedings of the Seventh ACM and IEEE International Conference on Embedded Software	2007	ACM	S	S		C11-01	N	CE2-02
A voltage and resource synthesis technique for energy-aware real-time systems	Kang D.-I., Crago S.P., Suh J., McMahon J.	Proceedings - 13th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications, RTCSA 2007	2007	IEEE	N/A	N		CE1-04	N/A	N/A

Tabela B12: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 8.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	Crítério	2F	Crítério
An adaptive scheduler for embedded multi-processor real-time systems	Lee L.-T., Tseng C.-Y., Hsu S.-J.	IEEE Region 10 Annual International Conference, Proceedings/TENCON	2007	IEEE	N/A	N	CE1-04	N/A	N/A
An energy-aware gradient-based scheduling heuristic for heterogeneous multiprocessor embedded systems	Gob L.K., Veeravalli B., Viswanathan S.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2007	Springer	N/A	N	CE1-05	N/A	N/A
Energy-efficiency on a variable-bitrate device	Lee Y.-H., Chen J.-J., Kuo T.-W.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2007	Springer	N/A	N	CE1-05 / CE1-06	N/A	N/A
FL-PCP: Frequency locking for energy-efficient real-time task synchronization	Chen Y.-S., Yang C.-Y., Kuo T.-W.	Proceedings - 13th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications, RTCSA 2007	2007	IEEE	N/A	N	CE1-05	N/A	N/A
Minimizing expected energy consumption in real-time systems through dynamic voltage scaling	Xu R., Mosse D., Melhem R.	ACM Transactions on Computer Systems	2007	ACM	S	S	C11-01	N	CE2-02
Online dynamic voltage scaling using task graph mapping analysis for multiprocessors	Choudhury P., Chakrabarti P.P., Kumar R.	Proceedings of the IEEE International Conference on VLSI Design	2007	IEEE	S	S	C11-01	N	CE2-02
Profiling driven scenario detection and prediction for multimedia applications	Gheorghita S.V., Basten T., Corporaal H.	Proceedings - 2006 International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation, IC-SAMOS 2006	2007	IEEE	N/A	N	CE1-06	N/A	N/A
The Chip is the network: Toward a science of network-on-chip design	Marculescu R., Bogdan P.	Foundations and Trends in Electronic Design Automation	2007	Nw Publishers	N/A	N	CE1-03	N/A	N/A
System level voltage scheduling technique using UML-RT model	Neishaburi M.H., Daneshlab M., Nabi M., Mohammadi S.	2007 IEEE/ACS International Conference on Computer Systems and Applications, AICCSA 2007	2007	IEEE	S	S	C11-01	S	C12-01
Dynamic voltage scaling under EDF revisited	Gaujal B., Navet N.	Real-Time Systems	2007	Springer	S	S	C11-01	N	CE2-02
DC-DC converter-aware power management for low-power embedded systems	Choi Y., Chang N., Kim T.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2007	IEEE	N/A	N	CE1-05	N/A	N/A
Power consumption and process variations: Two challenges to design of next-generation ICs	Luo Z.-Y.	Jisuanji Xuebao/Chinese Journal of Computers	2007	National Knowledge Infrastructure (CNKI)	N/A	N	CE1-04	N/A	N/A
Real-time dynamic voltage loop scheduling for multi-core embedded systems	Shao Z., Wang M., Chen Y., Xue C., Qiu M., Yang L.T., Sha E.H.-M.	IEEE Transactions on Circuits and Systems II: Express Briefs	2007	IEEE	S	S	C11-01	N	CE2-02
Transition-overhead-aware voltage scheduling for fixed-priority real-time systems	Mochocki B., Hu X.S., Quan G.	ACM Transactions on Design Automation of Electronic Systems	2007	ACM	S	S	C11-01	N	CE2-02
Optimizing intratask voltage scheduling using profile and data-flow information	Shin D., Kim J.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2007	IEEE	S	S	C11-01	S	C12-01
Controlling energy demand in mobile computing systems	Ellis C.S.	Synthesis Lectures on Mobile and Pervasive Computing	2007	IEEE	N/A	N	CE1-05	N/A	N/A
Voltage assignment with guaranteed probability satisfying timing constraint for real-time multiprocessor DSP	Qiu M., Jia Z., Xue C., Shao Z., Sha E.H.-M.	Journal of VLSI Signal Processing Systems for Signal, Image, and Video Technology	2007	Springer	N/A	N	CE1-05	N/A	N/A
Workload-ahead-driven online energy minimization techniques for battery-powered embedded systems with time-constraints	Cai Y., Schmitz M.T., Al-Hashimi B.M., Reddy S.M.	ACM Transactions on Design Automation of Electronic Systems	2007	ACM	N/A	N	CE1-05	N/A	N/A
Static WCET analysis based compiler-directed DVS energy optimization in real-time applications	Yi H., Chen J., Yang X.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2006	Springer	S	S	C11-01	S	C12-01

Tabela B13: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 9.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	Crítério	2F	Crítério
Application-driven low-power techniques using dynamic voltage scaling	Kim T.	Proceedings - 12th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications, RTCSA 2006	2006	IEEE	N/A	N	CE1-03	N/A	N/A
Application scenarios in streaming-oriented embedded system design	Gheorghita S.V., Basten T., Corporaal H.	2006 International Symposium on System-on-Chip, SOC	2006	IEEE	S	N	CE1-07	N	CE1-07
Certain investigations on energy saving techniques using DVS for low power embedded system	Chilambuchelvan A., Saravanan S., Chidhambararajan B., Perinbam J.R.P.	WSEAS Transactions on Computers	2006	Scopus	N/A	N	CE1-07	N/A	N/A
Dual-processor design of energy efficient fault-tolerant system	Hua S., Pari P.R., Qu G.	Proceedings of the International Conference on Application-Specific Systems, Architectures and Processors	2006	IEEE	N/A	N	CE1-05	N/A	N/A
Energy-efficient task scheduling algorithm for mobile terminal	Zhang L., Qi D.	IET Conference Publications	2006	IET Digital Library	S	S	C11-01	S	C12-01
Energy-optimal speed control of a generic device	Rao R., Vrudhula S.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2006	IEEE	N/A	N	CE1-05	N/A	N/A
Exploiting memory-boundedness in energy-efficient hard real-time scheduling	Spiga M., Spiga M., Alimonda A., Carta S., Aymerich F., Acquaviva A.	Industrial Embedded Systems - IES'2006	2006	IEEE	S	S	C11-01	N	CE2-02
Methods for power optimization in distributed embedded systems with real-time requirements	Racu R., Hamann A., Ernst R., Mochocki B., Hu X.S.	CASES 2006: International Conference on Compilers, Architecture and Synthesis for Embedded Systems	2006	ACM	S	S	C11-01	N	CE2-02
Power-aware parametric dispatching in distributed real-time systems	Elsharkawy S.M., Younis M.F., Moulds C.	Proceedings of the IASTED International Conference on Parallel and Distributed Computing and Systems	2006	ACTA Press	N	N	CE1-02	N/A	N/A
Procrastinating voltage scheduling with discrete frequency sets	Lu Z., Zhang Y., Stan M., Lach J., Skadron K.	Proceedings -Design, Automation and Test in Europe, DATE	2006	IEEE	S	S	C11-01	N	CE2-02
Runtime distribution-aware dynamic voltage scaling	Hong S., Yoo S., Jin H., Choi K.-M., Kong J.-T., Eo S.-K.	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD	2006	IEEE	S	S	C11-01	S	C12-01
Temperature-aware leakage minimization technique for real-time systems	Yuan L., Leventhal S., Qu G.	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD	2006	IEEE	S	S	C11-01	N	CE2-02
Dynamic voltage scaling for multitasking real-time systems with uncertain execution time	Xian C., Lu Y.-H.	Proceedings of the ACM Great Lakes Symposium on VLSI, GLSVLSI	2006	ACM	S	S	C11-01	S	C12-01
Toward the optimal configuration of dynamic voltage scaling points in real-time applications	Yi H.-Z., Yang X.-J.	Journal of Computer Science and TechNlogy	2006	Springer	S	S	C11-01	S	C12-01
Quasi-static assignment of voltages and optional cycles in imprecise-computation systems with energy considerations	Cortes L.A., Eles P., Peng Z.	IEEE Transactions on Very Large Scale Integration (VLSI) Systems	2006	IEEE	S	S	C11-01	N	CE2-02
Low-power design methodology for module-wise dynamic voltage and frequency scaling with dynamic de-skewing systems	Kitahara T., Hara H., Shiratake S., Tsukiboshi Y., Yoda T., Utsumi T., Minami F.	Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC	2006	IEEE	N/A	N	CE1-05	N/A	N/A
Parametric timing estimation with Newton-Gregory formulae	Van Engelen R.A., Gallivan K.A., Walsh B.	Concurrency Computation Practice and Experience	2006	Wiley Online Library	N/A	N	CE1-05 / CE1-06	N/A	N/A
Minimising the energy consumption of real-time tasks with precedence constraints on a single processor	Wu H., Parameswaran S.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2006	Springer	N/A	N	CE1-06	N/A	N/A
Power-aware instruction scheduling	Lin T.-Y., Chang R.-G.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2006	Springer	N/A	N	CE1-05	N/A	N/A

Tabela B14: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 10.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	2F	Crítério	Crítério
Energy minimization for real-time systems with (m, k)-guarantee	Niu L., Quan G.	IEEE Transactions on Very Large Scale Integration (VLSI) Systems	2006	IEEE	N/A	N		CE1-06	N/A
Performance lossless voltage scheduling for low energy software	Lei T., Li X., Zhou X.	Jisuanji Yanjiu yu Fazhan/Computer Research and Development	2006	Scopus	N/A	N		CE1-05	N/A
Energy management for battery-powered reconfigurable computing platforms	Khan J.	IEEE Transactions on Very Large Scale Integration (VLSI) Systems	2006	IEEE	N/A	N		CE1-05	N/A
Reducing jitter in embedded systems employing a time-triggered software architecture and dynamic voltage scaling	Phatrapornnant T., Pont M.J.	IEEE Transactions on Computers	2006	IEEE	N/A	N		CE1-05	N/A
Intra-task scenario-aware voltage scheduling	Gheorghita S.V., Basten T., Corporaal H.	CASES 2005: International Conference on Compilers, Architecture, and Synthesis for Embedded Systems	2005	ACM	S	S		C11-01	S
Transition phase classification and prediction	Lau J., Schoenmackers S., Calder B.	Proceedings - International Symposium on High-Performance Computer Architecture	2005	IEEE	N/A	N		CE1-05 / CE1-06	N/A
A generalized technique for energy-efficient operating voltage set-in dynamic voltage scaled processors	Seo J., Dutt N.D.	Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC	2005	IEEE	N/A	N		CE1-05	N/A
An efficient dynamic task scheduling algorithm for battery powered DVS systems	Zhuo J., Chakrabarti C.	Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC	2005	IEEE	N/A	N		CE1-05	N/A
An intra-task DVS algorithm exploiting program path locality for real-time embedded systems	Kumar G.S.A., Manimaran G.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2005	Springer	S	S		C11-01	S
DC-DC converter-aware power management for battery-operated embedded systems	Choi Y., Chang N., Kim T.	Proceedings - Design Automation Conference	2005	IEEE	N/A	N		CE1-05	N/A
Dynamic processor throttling for power efficient computations	Kondo M., Nakamura H.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2005	Springer	N/A	N		CE1-05	N/A
Feedback EDF scheduling of real-time tasks exploiting dynamic voltage scaling	Zhu Y., Mueller F.	Real-Time Systems	2005	Springer	S	S		C11-01	N
Implementation of dynamic voltage and frequency scaling on blackfin processors	HarlioN D., Gan W.-S.	Proceedings of 2005 International Symposium on Intelligent Signal Processing and Communication Systems, ISPACS 2005	2005	IEEE	S	S		C11-01	N
Low power task scheduling for multiple I/O devices in multiple CPU environment	Or M.S., Park J.H.	Proceedings of the 2005 International Conference on Parallel and Distributed Processing Techniques and Applications, PDPTA 05	2005	Scopus	N	N		CE1-05 / CE1-06	N/A
Optimal dynamic voltage scaling for wireless sensor Ndes with real-time constraints	Cassandras C.G., Zhuang S.	Proceedings of SPIE - The International Society for Optical Engineering	2005	SPIE - Digital Library	S	S		C11-01	S
Optimal integration of inter-task and intra-task dynamic voltage scaling techniques for hard real-time applications	Seo J., Kim T., Dutt N.D.	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD	2005	IEEE	S	S		C11-01	S
Optimizing intra-task voltage scheduling using data flow analysis	Shin D., Kim J.	Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC	2005	IEEE	S	S		C11-01	S
Optimizing the configuration of dynamic voltage scaling points in real-time applications	Yi H., Yang X.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2005	Springer	S	S		C11-01	S

Tabela B15: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 11.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	CrITÉrio	2F	CrITÉrio
ParaScale: Exploiting parametric timing analysis for real-time schedulers and dynamic voltage scaling	Mohan S., Mueller F., Hawkins W., Root M., Healy C., Whalley D.	Proceedings - Real-Time Systems Symposium	2005	IEEE	S	S	C11-01	S	C12-01
Power Analysis and Optimization Techniques for Energy Efficient Computer Systems	Chedid W., Yu C., Lee B.	Advances in Computers	2005	ScienceDirect	N/A	N	CE1-05	N/A	N/A
Power reduction techniques for microprocessor systems	Venkatachalam V., Franz M.	ACM Computing Surveys	2005	ACM	N/A	N	CE1-03 / CE1-05	N/A	N/A
System-level energy-efficient dynamic task scheduling	Zhuo J., Chakrabarti C.	Proceedings - Design Automation Conference	2005	IEEE	N/A	N	CE1-05	N/A	N/A
The optimal profile-guided greedy dynamic voltage scaling in real-time applications	Yi H., Yang X., Chen J.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2005	Springer	S	S	C11-01	S	C12-01
Towards the optimal placement of dynamic voltage scaling points in real-time applications	Yi H., Yang X.	Proceedings of the 2005 International Conference on Embedded Systems and Applications, ESA'05	2005	Scopus	N	N	CE1-02	N/A	N/A
Voltage-scaling scheduling for periodic real-time tasks in reward maximization	Chen J.-J., Kuo T.-W.	Proceedings - Real-Time Systems Symposium	2005	IEEE	S	S	C11-01	N	CE2-02
Power-saving scheduling for weakly dynamic voltage scaling devices	Chen J.-J., Kuo T.-W., Lu H.-I.	Lecture Ntes in Computer Science	2005	Springer	S	S	C11-01	N	CE2-02
Design of DVFS algorithm in soft real-time systems	Zhong W.-J., Liu M.-Y.	Beijing Ligong Daxue Xuebao/Transaction of Beijing Institute of TechNlogy	2005	Scopus	N	N	CE1-02	N/A	N/A
Intra-task voltage scheduling on DVS-enabled hard real-time systems	Shin D., Kim J.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2005	IEEE	S	S	C11-01	S	C12-01
Low-power video decoding on a variable voltage processor for mobile multimedia applications	Lee S.	ETRI Journal	2005	ETRI Journal	N/A	N	CE1-05	N/A	N/A
Real-time dynamic voltage scaling algorithm based on syntax tree for low power	Yi H.-Z., Chen J., Yang X.-J., Liu Z.	Ruan Jian Xue Bao/Journal of Software	2005	Scopus	N	N	CE1-02	N/A	N/A
Practical on-line DVS scheduling for fixed-priority real-time systems	Mochocki B., Hu X.S., Quan G.	Proceedings of the IEEE Real-Time and Embedded TechNlogy and Applications Symposium, RTAS	2005	IEEE	S	S	C11-01	N	CE2-02
Energy management for embedded multithreaded processors with integrated EDF scheduling	Uhrig S., Ungerer T.	Lecture Ntes in Computer Science	2005	Springer	S	S	C11-01	N	CE2-02
Minimizing energy via loop scheduling and DVS for multi-core embedded systems	Chen Y., Shao Z., Zhuge Q., Xue C., Xiao B., Sha E.H.-M.	Proceedings of the International Conference on Parallel and Distributed Systems - ICPADS	2005	IEEE	S	S	C11-01	N	CE2-02
Dynamic task-level voltage scheduling optimizations	Barnett J.A.	IEEE Transactions on Computers	2005	IEEE	S	S	C11-01	N	CE2-02
Low-power system scheduling, synthesis and displays	Jha N.K.	IEE Proceedings: Computers and Digital Techniques	2005	IET Digital Library	N/A	N	CE1-07	N/A	N/A
Mapping the MPEG-4 visual texture decoder	Ma Z., Wong C., Yang P., Vouckx J., Catthoor F.	IEEE Signal Processing Magazine	2005	IEEE	N/A	N	CE1-05	N/A	N/A
Standby and active leakage current control and minimization in CMOS VLSI circuits	Fallah F., Pedram M.	IEICE Transactions on Electronics	2005	IEICE	N/A	N	CE1-05	N/A	N/A
Fine-grained dynamic voltage and frequency scaling for precise energy and performance tradeoff based on the ratio of off-chip access to on-chip computation times	Choi K., Soma R., Pedram M.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2005	IEEE	N/A	N	CE1-05	N/A	N/A
Compiling adaptive programs for real-time dynamic scheduling	Hu X., Lei T., Gong Y.-C., Zhou X.-H.	Proceedings of the Eighth IASTED International Conference on Software Engineering and Applications	2004	Scopus	N/A	N	CE1-06	N/A	N/A
Distributed embedded systems for low power: A case study	Liu J., Chou P.H.	Proceedings - International Parallel and Distributed Processing Symposium, IPDPS 2004 (Abstracts and CD-ROM)	2004	IEEE	N/A	N	CE1-05	N/A	N/A
Dynamic Mapping and Ordering Tasks of Embedded Real-Time Systems on Multiprocessor Platforms	Yang P., Catthoor F.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2004	Springer	S	S	C11-01	N	CE2-02

Tabela B16: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 12.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	2F	Crítério	Crítério	
Dynamic voltage and frequency scaling based on workload decomposition	Choi K., Soma R., Pedram M.	Proceedings of the 2004 International Symposium on Lower Power Electronics and Design, ISLPED'04	2004	ACM and IEEE	N/A	N		CE1-05	N/A	N/A
Dynamic voltage and frequency scaling under a precise energy model considering variable and fixed components of the system power dissipation	Choi K., Lee W., Soma R., Pedram M.	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD	2004	IEEE	N/A	N		CE1-06	N/A	N/A
On combined DVS and processor evaluation	Olsen A.B., Buttner F., Koch P.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2004	Springer	N/A	N		CE1-05	N/A	N/A
Feedback EDF scheduling exploiting dynamic voltage scaling	Zhu Y., Mueller F.	Proceedings - IEEE Real-Time and Embedded Technology and Applications Symposium	2004	IEEE	S	S		CI1-01	N	CE2-02
Energy-efficient policies for request-driven soft real-time systems	Rusu C., Xu R., Melhem R., Mosse D.	Proceedings - Euromicro Conference on Real-Time Systems	2004	IEEE	N/A	N		CE1-03	N/A	N/A
Effective method of low-power compilation optimization: Localizing the use of system units	Yi H.-Z., Yang X.-J.	Ruan Jian Xue Bao/Journal of Software	2004	National Knowledge Infrastructure (CNKI)	N/A	N		CE1-05	N/A	N/A
Network flow techniques for dynamic voltage scaling in hard real-time systems	Swaminathan V., Chakrabarty K.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2004	IEEE	S	S		CI1-01	N	CE2-02
Profile-based optimal intra-task voltage scheduling for hard real-time applications	Seo J., Kim T., Chung K.-S.	Proceedings - Design Automation Conference	2004	ACM and IEEE	S	S		CI1-01	S	CI2-01
A unified approach to variable voltage scheduling for Nnideal DVS processors	Mochocki B.C., Hu X.S., Quan G.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2004	IEEE	S	S		CI1-01	N	CE2-02
Power-aware scheduling for AND/OR graphs in real-time systems	Zhu D., Mosse D., Melhem R.	IEEE Transactions on Parallel and Distributed Systems	2004	IEEE	S	S		CI1-01	N	CE2-02
Combining compiler and runtime IPC predictions to reduce energy in next generation architectures	Chheda S., Unsal O., Koren I., Krishna C.M., Moritz C.A.	2004 Computing Frontiers Conference	2004	ACM	N/A	N		CE1-05	N/A	N/A
Fine-grained dynamic voltage and frequency scaling for precise energy and performance trade-off based on the ratio of off-chip access to on-chip computation times	Choi K., Soma R., Pedram M.	Proceedings - Design, Automation and Test in Europe Conference and Exhibition	2004	ACM	S	S		CI1-01	N	CE2-02
Power-aware scheduling for periodic real-time tasks	Aydin H., Melhem R., Mosse D., Mejia-Alvarez P.	IEEE Transactions on Computers	2004	IEEE	S	S		CI1-01	N	CE2-02
A dynamic voltage scaling algorithm for sporadic tasks	Qadi A., Goddard S., Farritor S.	Proceedings - Real-Time Systems Symposium	2003	ACM and IEEE	S	S		CI1-01	N	CE2-02
Collaborative operating system and compiler power management for real-time applications	Aboughazaleh N., Mosse D., Childers B., Melhem R., Craven M.	Real-Time Technology and Applications - Proceedings	2003	IEEE	S	S		CI1-01	S	CI2-01
Dynamic voltage and frequency scaling for scientific applications	Hsu C.-H., Kremer U.	Lecture Ntes in Computer Science (including subseries Lecture Ntes in Artificial Intelligence and Lecture Ntes in Bioinformatics)	2003	Springer	N/A	N		CE1-05	N/A	N/A
Exploring efficient operating points for voltage scaled embedded processor cores	Buss M., Givargis T., Dutt N.	Proceedings - Real-Time Systems Symposium	2003	ACM and IEEE	S	S		CI1-01	S	CI2-01
Multiversion scheduling in rechargeable energy-aware real-time systems	Rusu C., Melhem R., Mosse D.	Proceedings - Euromicro Conference on Real-Time Systems	2003	IEEE	N/A	N		CE1-06	N/A	N/A
Pareto-Optimization-Based Run-Time Task Scheduling for Embedded Systems	Yang P., Catthoor F.	Hardware/Software Codesign - Proceedings of the International Workshop	2003	ACM	N/A	N		CE1-05	N/A	N/A
Uncertainty-Based Scheduling: Energy-Efficient Ordering for Tasks with Variable Execution Time	Gruian F., Kuchcinski K.	Proceedings of the International Symposium on Low Power Electronics and Design	2003	IEEE	S	S		CI1-01	N	CE2-02
Energy management for real-time embedded applications with compiler support	AbouGhazaleh N., Childers B., Mosse D., Melhem R., Craven M.	Proceedings of the ACM SIGPLAN Conference on Languages, Compilers, and Tools for Embedded Systems (LCTES)	2003	ACM	S	S		CI1-01	S	CI2-01

Tabela B17: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 13.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	Crítério	2F	Crítério
Application-Directed Voltage Scaling	Pouwelse J., Langendoen K., Sips H.J.	IEEE Transactions on Very Large Scale Integration (VLSI) Systems	2003	IEEE	N/A	N	CE1-05	N/A	N/A
Maximizing the system value while satisfying time and energy constraints	Rusu C.A., Melhem R., Mosse D.	IBM Journal of Research and Development	2003	IEEE	S	S	CI1-01	N	CE2-02
Minimal energy fixed-priority scheduling for variable voltage processors	Quan G., Hu X.S.	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	2003	IEEE	S	S	CI1-01	N	CE2-02
Compile-time dynamic voltage scaling settings: Opportunities and limits	Xie F., MartoNsi M., Malik S.	Proceedings of the ACM SIGPLAN Conference on Programming Language Design and Implementation (PLDI)	2003	ACM	N/A	N	CE1-05	N/A	N/A
The design, implementation, and evaluation of a compiler algorithm for CPU energy reduction	Hsu C.-H., Kremer U.	Proceedings of the ACM SIGPLAN Conference on Programming Language Design and Implementation (PLDI)	2003	ACM	N/A	N	CE1-05	N/A	N/A
Energy management for real-time embedded applications with compiler support	AbouGhazaleh N., Childers B., Mosse D., Melhem R., Craven M.	ACM SIGPLAN Notices	2003	ACM	S	N	CE1-07	N	CE1-07
Compile-time dynamic voltage scaling settings: Opportunities and limits	Xie F., MartoNsi M., Malik S.	ACM SIGPLAN Notices	2003	ACM	N/A	N	CE1-05	N/A	N/A
The design, implementation, and evaluation of a compiler algorithm for CPU energy reduction	Hsu C.-H., Kremer U.	ACM SIGPLAN Notices	2003	ACM	N/A	N	CE1-05	N/A	N/A
Variable voltage task scheduling algorithms for minimizing energy/power	Manzak A., Chakrabarti C.	IEEE Transactions on Very Large Scale Integration (VLSI) Systems	2003	IEEE	N/A	N	CE1-05	N/A	N/A
An intra-task dynamic voltage scaling method for SoC design with hierarchical FSM and synchroNus dataflow model	Lee S., Yoo S., Choi K.	Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers	2002	ACM	S	S	CI1-01	S	CI2-01
Contents provider-assisted dynamic voltage scaling for low energy multimedia applications	Chung E.-Y., Benini L., De Micheli G.	Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers	2002	ACM and IEEE	N/A	N	CE1-05	N/A	N/A
Energy-conserving feedback EDF scheduling for embedded systems with real-time constraints	Dudani A., Mueller F., Zhu Y.	Joint Conference on Languages, Compilers and Tools for Embedded Systems and Software and Compilers for Embedded Systems	2002	ACM	S	S	CI1-01	N	CE2-02
Energy-efficient duplex and TMR real-time systems	ElNzahy E.M., Melhem R., Mosse D.	Proceedings - Real-Time Systems Symposium	2002	IEEE	N/A	N	CE1-06	N/A	N/A
Frame-based dynamic voltage and frequency scaling for a MPEG decoder	Choi K., Dantu K., Cheng W.-C., Pedram M.	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers	2002	ACM	N/A	N	CE1-05	N/A	N/A
Maximizing the system value while satisfying time and energy constraints	Rusu C., Melhem R., Mosse D.	Proceedings - Real-Time Systems Symposium	2002	IEEE	N/A	N	CE1-06	N/A	N/A
Performance comparison of dynamic voltage scaling algorithms for hard real-time systems	Kim W., Shin D., Yun H.-S., Kim J., Min S.L.	Real-Time Technology and Applications - Proceedings	2002	IEEE	N/A	N	CE1-07	N/A	N/A
Low-energy intra-task voltage scheduling using static timing analysis	Shin D., Kim J., Lee S.	Proceedings - Design Automation Conference	2001	IEEE	S	S	CI1-01	S	CI2-01
Intra-task voltage scheduling for low-energy hard real-time applications	Shin D., Kim J., Lee S.	IEEE Design and Test of Computers	2001	IEEE	S	S	CI1-01	S	CI2-01
A profile-based energy-efficient intra-task voltage scheduling algorithm for hard real-time applications	Shin D., Kim J.	Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers	2001	ACM and IEEE	S	S	CI1-01	S	CI2-01
Compiler-directed dynamic voltage/frequency scheduling for energy reduction in microprocessors	Hsu C.-H., Kremer U., Hsiao M.	Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers	2001	ACM and IEEE	N/A	N	CE1-05	N/A	N/A

Tabela B18: Lista de publicações catalogadas após o 1º e 2º filtros - Parte 14.

Título	Autores	Fonte da Publicação	Ano	Editora	Disp	1F	Crítério	2F	Crítério
Dynamic voltage scaling on a low-power microprocessor	Pouwelse J., Langendoen K., Sips H.	Proceedings of the Annual International Conference on Mobile Computing and Networking, MOBICOM	2001	ACM	N/A	N	CE1-05	N/A	N/A
Dynamic voltage scheduling technique for low-power multimedia applications using buffers	Im C., Kim H., Ha S.	Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers	2001	ACM	N/A	N	CE1-05	N/A	N/A
Hard real-time scheduling for low-energy using stochastic data and DVS processors	Gruian F.	Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers	2001	ACM	S	S	CI1-01	N	CE2-02
Low power system scheduling and synthesis	Jha N.K.	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers	2001	IEEE	N/A	N	CE1-07	N/A	N/A
Voltage scaling for energy minimization with QoS constraints	Manzak A., Chakrabarti C.	Proceedings - IEEE International Conference on Computer Design: VLSI in Computers and Processors	2001	IEEE	N/A	N	CE1-05	N/A	N/A

## Apêndice C Base de Dados da Revisão Sistemática

Todas as informações coletadas e catalogadas após a execução do 2º filtro foram tabeladas em ordem cronológica e agrupada de acordo com os critérios de extração de dados definidos na Seção 3.8. As tabelas a seguir mostram todos os dados extraídos de cada uma das 39 publicações selecionadas no 2º filtro.

Tabela C19: Dados extraído da publicação de [Shin e Kim \(2001\)](#).

<b>ID</b>	Shin_Kim_2001_a
<b>Título</b>	A profile-based energy-efficient intra-task voltage scheduling algorithm for hard real-time applications
<b>Autores</b>	Shin D., Kim J.
<b>Palavras-chave</b>	Algorithms; Decoding; Delay circuits; Energy utilization; Probability; Voltage control; Dynamic voltage scaling; CMOS integrated circuits
<b>Fonte da publicação</b>	International Symposium on Low Electronics and Design (ISLPED'01)
<b>Editora</b>	ACM and IEEE
<b>Ano da publicação</b>	2001
<b>Resumo da publicação</b>	
Os autores foram os precursores no desenvolvimento de ferramentas para análise do WCET intra-tarefa em aplicações de tempo real. A principal finalidade dos algoritmos da ferramenta eram controlar a velocidade de execução da aplicação baseado nos caminhos de execução de caso médio (em inglês, <i>Average-Case Execution Path - ACEP</i> ), que são os caminhos mais frequentemente executados. Com essa abordagem os autores conseguiram provar que o algoritmo proposto é mais eficaz na redução do consumo de energia que o algoritmo original <i>intraVS</i> , chamado pelos autores de <i>(RWEPP)-based IntraVS</i> (em inglês, <i>Remaining Worst-Case Execution Path-based Intra VS</i> ), onde mesmo utilizando as ACEPs é possível satisfazer as restrições temporais da aplicação de tempo real. Esse método se baseia no perfil de comportamento da aplicação, através da análise dos caminhos de execução mais utilizados (ou <i>hot paths</i> ), chamado de <i>(RAEP)-based IntraVS</i> (em inglês, <i>Remaining Average-Case Execution Path-based IntraVS</i> ). Sua principal contribuição está na exploração das probabilidades de cada caminho de execução da aplicação e garantir que as restrições temporais sejam respeitadas mesmo executando o pior caso. Os experimentos mostram que o <i>RAEP-based</i> é 34% mais eficiente energeticamente que o <i>RWEPP-based</i> .	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta <i>Automatic Voltage Scaler</i> (AVS) [Não disponível para Download].  Os autores utilizaram o seguinte <i>benchmark</i> : - MPEG-4 <i>decoder</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia que explora as probabilidades de cada caminho de execução da aplicação, tomando como base os <i>hot paths</i> do caso médio (ACE), e provou que é possível reduzir o consumo de energia e respeitar as restrições temporais de todas as tarefas.. Como ponto negativo, a metodologia não dá suporte a preempções e não mostrou casos de teste para analisar o desempenho da aplicação diante da inserção de muitos pontos de escalonamento de tensão.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não dá suporte a preempções e não mostrou casos de teste para analisar o desempenho da aplicação diante da inserção de muitos pontos de escalonamento de tensão.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C20: Dados extraído da publicação de [Shin et al. \(2001a\)](#).

<b>ID</b>	Shin_Kim_Lee_2001_a
<b>Título</b>	Intra-task voltage scheduling for low-energy hard real-time applications
<b>Autores</b>	Shin D., Kim J., Lee S.
<b>Palavras-chave</b>	Dynamic power consumption; Dynamic voltage scaling technique; Intra-task voltage scheduling; Velocity saturation index; Algorithms; Capacitance; CMOS integrated circuits; Computer software; Performance; Portable equipment; Reliability; Threshold voltage; VLSI circuits; Electric power supplies to apparatus
<b>Fonte da publicação</b>	IEEE Design and Test of Computers
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2001
<b>Resumo da publicação</b>	
<p>Os autores propõem um novo algoritmo de escalonamento de tensão intra-tarefa que controla a tensão de alimentação do processador durante a execução da tarefa, através da exploração dos tempos de folga. Esse método se baseia na análise do tempo de execução estático e na inserção de códigos, dentro do código fonte da aplicação, para a realização dos chaveamentos de tensões e frequências do processador, de forma que o consumo geral de energia seja reduzido. Esses códigos de chaveamento de tensão são definidos para cada um dos blocos de código selecionados a partir do grafo de fluxo de controle da aplicação (CFG). Dessa forma é possível definir as tensões e frequências para cada bloco de código, aproximando assim o tempo de execução ao deadline da tarefa, sempre respeitando as restrições temporais de todas as tarefas em execução. Neste trabalho os autores introduziram uma nova perspectiva para analisar as CFGs, que consiste em mapear os blocos de código por estruturas condicionais (chamado de <i>B-types</i>) e por estruturas de repetição (chamado de <i>L-types</i>), dessa forma é mais fácil analisar e prever os cálculos do WCEC (em inglês, <i>Worst Case Execution Cycle</i>) e RWCEC (em inglês, <i>Remaining Worst Case Execution Cycle</i>). Todas essas análises foram introduzidas na ferramenta AVS (em inglês, <i>Automatic Voltage Scaler</i>), desenvolvida pelos próprios autores. O único ponto negativo no estudo realizado é a falta de métricas para avaliar os reais impactos causados pela inserção de códigos adicionais dentro das aplicações.</p>	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta <i>Automatic Voltage Scaler</i> (AVS) [Não disponível para Download].  Os autores utilizaram o seguinte <i>benchmark</i> : - MPEG4 <i>decoder</i>
<b>Impacto (positivo x negativo)</b>	
<p>O artigo apresentou como ponto positivo uma nova metodologia para a inserção automática de pontos de escalonamento de tensão, de forma que cada bloco de código extraído da aplicação possa ser executado com valores de tensão e frequência ideais. Como ponto negativo, a metodologia não dá suporte a preempções e não mostrou estudos de caso para avaliar o impacto da inserção de muitos pontos de chaveamento de tensão dentro do código fonte da aplicação.</p>	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura.	
<b>Limitações do método</b>	
A metodologia não dá suporte a preempções e não mostrou estudos de caso para avaliar o impacto da inserção de muitos pontos de chaveamento de tensão dentro do código fonte da aplicação.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores pretendem realizar uma comparação quantitativa entre as abordagens intra-tarefa e inter-tarefa.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C21: Dados extraído da publicação de Shin *et al.* (2001b).

<b>ID</b>	Shin_Kim_Lee_2001_b
<b>Título</b>	Low-energy intra-task voltage scheduling using static timing analysis
<b>Autores</b>	Shin D., Kim J., Lee S.
<b>Palavras-chave</b>	Algorithms; Computer aided software engineering; Image coding; VLSI circuits; Voltage scheduling; Real time systems
<b>Fonte da publicação</b>	38th Design Automation Conference; Las Vegas, NV; United States;
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2001
<b>Resumo da publicação</b>	
Os autores propõem uma nova metodologia para análise do WCET (em inglês, <i>Worst Case Execution Time</i> ) em aplicações de tempo real e tomaram com base o trabalho de Shin <i>et al.</i> (2001a). Essa análise é feita em tempo de compilação, de modo <i>offline</i> , utilizando o grafo de fluxo de controle da aplicação, onde o cálculo do WCET é feita para cada nó da CFG, enquanto que no trabalho anterior dos mesmos autores a estimativa do WCET era feita tendo como base o programa inteiro.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta <i>Automatic Voltage Scaler</i> (AVS) [Ferramenta não localizada]  Os autores utilizaram o seguinte <i>benchmark</i> : - MPEG-4 <i>encoder e decoder</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia para realizar análises estáticas dos tempos de execução da aplicação, visando mapear os tempos de folga e, principalmente, identificar as tensões e frequências ideais que devem ser aplicadas no processador para que a tarefa termine de executar o mais próximo possível do seu deadline, economizando energia. Como ponto negativo, a metodologia não dá suporte a preempções.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura.	
<b>Limitações do método</b>	
A metodologia não dá suporte a preempções.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
O autor pretende incluir no método proposto outras informações, em tempo de execução, para melhor o algoritmo de escalonamento e a redução do consumo de energia do processador.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C22: Dados extraído da publicação de Lee *et al.* (2002).

<b>ID</b>	Lee_Yoo_Choi_2002_a
<b>Título</b>	An intra-task dynamic voltage scaling method for SoC design with hierarchical FSM and synchronous dataflow model
<b>Autores</b>	Lee S., Yoo S., Choi K.
<b>Palavras-chave</b>	Dynamic voltage scaling; Finite state machine; Formal model; Low power; Synchronous dataflow; Variable supply voltage
<b>Fonte da publicação</b>	Proceedings of the 2002 International Symposium on Low Power Electronics and Design; Monterey, CA;
<b>Editora</b>	ACM
<b>Ano da publicação</b>	2002
<b>Resumo da publicação</b>	
Os autores propõem um método de escalonamento de tensão para o projeto de SoCs (em inglês, <i>System on a Chips</i> ) com hierarquia FSM (em inglês, <i>Finite State Machine</i> ) e modelo de dados síncrono. Essa técnica foi chamada de modelo HFSM-SDF (em inglês, <i>Hierarchical FSM and Synchronous Dataflow Model</i> ). Essa metodologia calcula o caminho de execução da aplicação em tempo de execução e utiliza muitos dos conceitos definidos por Shin <i>et al.</i> (2001a), para calcular a carga de trabalho restante das tarefas de tempo real e assim aplicar sobre o processador as tensões e frequências ideais para que o consumo de energia seja o menor possível.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta ARMulator [Disponível em: <a href="http://x-y-z.github.io/armulator/">http://x-y-z.github.io/armulator/</a> ].  Os autores utilizaram o seguinte <i>benchmark</i> : - MPEG-4 <i>natural video decoder</i> [Disponível em: <a href="http://www.m4if.org/">http://www.m4if.org/</a> ].
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia online para calcular a carga de trabalho restante da aplicação e as tensões e frequências ideais que devem ser aplicadas no processador. Como ponto negativo, a metodologia não leva em consideração múltiplas tarefas em execução.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relacionados na literatura.	
<b>Limitações do método</b>	
A metodologia não leva em consideração um ambiente com múltiplas tarefas em execução.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Extender o método proposto para um ambiente com multi-tarefas e dar suporte a preempções.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C23: Dados extraído da publicação de AbouGhazaleh *et al.* (2003a).

<b>ID</b>	Aboughazaleh_2003_a
<b>Título</b>	Energy management for real-time embedded applications with compiler support
<b>Autores</b>	AbouGhazaleh N., Childers B., Mosse D., Melhem R., Craven M.
<b>Palavras-chave</b>	Dynamic voltage scaling; Power management; Real-time
<b>Fonte da publicação</b>	Proceedings of the ACM SIGPLAN Conference on Languages, Compilers, and Tools for Embedded Systems (LCTES)
<b>Editores</b>	ACM
<b>Ano da publicação</b>	2003
<b>Resumo da publicação</b>	
Os autores propõem uma técnica que explora as variações dos tempos de execução em diferentes caminhos de execução da aplicação. Esta é uma abordagem híbrida que depende do compilador e do sistema operacional para melhor gerenciar o desempenho e a redução do consumo de energia do processador. O compilador então insere os chamados PMHs (em inglês, <i>Power Management Hints</i> ), que são trechos de código responsáveis por fornecer e coletar informações em tempo de execução da aplicação para o sistema operacional, além de estimar o desempenho da aplicação no pior caso. Dessa forma, o sistema operacional invoca os PMPs (em inglês, <i>Power Management Points</i> ) para realizar o chaveamento de tensão e frequência do processador com base nas informações passadas pelos PMHs.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta SimpleScalar Micro-architecture Toolkit [Disponível em: <a href="http://www.simplescalar.com/">http://www.simplescalar.com/</a> ].  Os autores utilizaram os seguintes <i>benchmarks</i> : - MPEG-2 <i>decoder</i> [Disponível em: <a href="http://www.mpeg.org/">http://www.mpeg.org/</a> ]. - <i>Automatic Target Recognition (ATR) Application</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia que visa integrar o compilador e o sistema operacional para trabalharem em conjunto na redução do consumo de energia do processador. Como ponto negativo, a metodologia foi modelada apenas para tarefas não preemptivas e durante a etapa de experimentações constatou-se que o desempenho da aplicação pode ser prejudicado dependendo da quantidade de instruções inseridas pelo compilador.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não dá suporte a preemptões e pode prejudicar o desempenho das aplicações dependendo da quantidade de instruções inseridas pelo compilador.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
O autor pretende incluir no seu método a extração de informações inter-tarefas.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preemptões.	

Tabela C24: Dados extraído da publicação de Buss *et al.* (2003).

<b>ID</b>	Buss_Givargis_Dutt_2003_a
<b>Título</b>	Exploring efficient operating points for voltage scaled embedded processor cores
<b>Autores</b>	Buss M., Givargis T., Dutt N.
<b>Palavras-chave</b>	Algorithms; CMOS integrated circuits; Electric potential; Multimedia systems; Personal digital assistants; Reduced instruction set computing; Scheduling; Dynamic voltage scaled processors; Instruction-set tailoring; Register file sizing; Voltage scaled embedded processor cores; Embedded systems
<b>Fonte da publicação</b>	24th IEEE International Real-Time Systems Symposium RTSS 2003
<b>Editora</b>	ACM and IEEE
<b>Ano da publicação</b>	2003
<b>Resumo da publicação</b>	
Os autores propõem a exploração e seleção de potenciais pontos de escalonamento de tensão que possam atuar na diminuição eficiente do consumo de energia em aplicações de tempo real não críticos. A problemática desse método está em selecionar esses pontos de controle para atuar em conjunto com a técnica DVS intra-tarefa, proporcionando uma redução do consumo de energia do processador. Esse método se baseia basicamente em três passos, são eles: (1) fazer a análise estática da aplicação e atribuir um fator de desaceleração ideal para cada bloco; (2) computar as frequências de operação com base na análise da aplicação inteira; (3) reatribuir os fatores de aceleração para cada bloco, com base nas frequências de operação válidas e computadas no passo 2. Essa abordagem é muito semelhante a técnica dos coreanos (Shin <i>et al.</i> , 2001a), onde a principal diferença esta na metodologia de definição dos fatores de desaceleração.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta WARTS / EEL ( <i>Executable Editing Library</i> ) [Disponível em: <a href="http://pages.cs.wisc.edu/~larus/eel.html">http://pages.cs.wisc.edu/~larus/eel.html</a> ].  Os autores utilizaram os seguintes <i>benchmarks</i> : - MiBench [Disponível em: <a href="http://www.eecs.umich.edu/mibench/">http://www.eecs.umich.edu/mibench/</a> ] - Powerstone - MediaBench [Disponível em: <a href="http://cares.icsl.ucla.edu/MediaBench">http://cares.icsl.ucla.edu/MediaBench</a> ] - lame (MP3 <i>encoding engine</i> ) - jpeg ( <i>Image compression and decompression</i> ) - compress ( <i>Data compression tool</i> ) - engine ( <i>Engine controller</i> ) - mpeg ( <i>Video encoder</i> ) - madplay (MPEG <i>audio decoder</i> ) - tiff2ps ( <i>Tiff to postscript conversion</i> ) - gsm ( <i>Speech transcoding</i> ) - basicmath ( <i>Basic math operations</i> ) - adpcm ( <i>Voice encoder</i> ) - dijkstra ( <i>Shortest path algorithm</i> )
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia para realizar a análise e classificação de blocos de código quanto ao seu fator de desaceleração, que permite ter um controle mais refinado sobre as tensões e frequências ideais que devem ser aplicadas sobre o processador. Como ponto negativo, a metodologia não deixa claro se dar suporte há algumas estruturas de dados como <i>loops</i> ocultos e recursões.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura.	
<b>Limitações do método</b>	
A metodologia não deixa claro se dar suporte há algumas estruturas de dados como <i>loops</i> ocultos e recursões.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores pretendem incluir os custos de tempo e energia para melhorar a eficiência do seu método, tornando assim a metodologia mais realista e preciso.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C25: Dados extraído da publicação de [AbouGhazaleh et al. \(2003b\)](#).

<b>ID</b>	Aboughazaleh_2003_b
<b>Título</b>	Collaborative operating system and compiler power management for real-time applications
<b>Autores</b>	Aboughazaleh N., Mosse D., Childers B., Melhem R., Craven M.
<b>Palavras-chave</b>	Collaborative approach; Dynamic power consumption; Dynamic voltage scaling; Embedded application; Power management points; Real-time application; Reduce energy consumption; Temporal information
<b>Fonte da publicação</b>	9th IEEE Real-Time and Embedded Technology and Applications Symposium, RTAS 2003
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2003
<b>Resumo da publicação</b>	
Os autores tomaram como base o trabalho de <a href="#">AbouGhazaleh et al. (2003a)</a> , onde o foco principal da metodologia passou a ser a colaboração entre o compilador e o sistema operacional. O principal contribuição em relação ao trabalho anterior está no sistema operacional, que passa a monitorar periodicamente os chaveamentos de tensões e frequências do processador baseado nas informações providas pelos <i>PMHs</i> .	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta Sim-Outorder Simulator from SimpleScalar [Disponível em: <a href="http://www.simplescalar.com/">http://www.simplescalar.com/</a> ].  Os autores utilizaram os seguintes <i>benchmarks</i> : - MPEG2 <i>decoder</i> [Disponível em: <a href="http://www.mpeg.org/">http://www.mpeg.org/</a> ] - <i>Automated Target Recognition (ATR)</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia cuja finalidade é criar um canal de comunicação entre o compilador e o sistema operacional, permitindo que ambos possam trabalhar em conjunto para a diminuição do consumo de energia do processador. Além disso, a metodologia utilizada dá suporte a preempções. Como ponto negativo, a metodologia insere uma quantidade excessiva de <i>overheads</i> dentro da aplicação.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia insere uma quantidade excessiva de <i>overheads</i> dentro da aplicação.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia dá suporte a preempções, através da chamada de interrupções do sistema operacional para adaptar as tensões e frequências do processador. Quanto aos recursos compartilhados, a metodologia proposta não dá suporte.	

Tabela C26: Dados extraído da publicação de Seo *et al.* (2004).

<b>ID</b>	Seo_Kim_Chung_2004_a
<b>Título</b>	Profile-based optimal intra-task voltage scheduling for hard real-time applications
<b>Autores</b>	Seo J., Kim T., Chung K.-S.
<b>Palavras-chave</b>	DVS; Intra-task voltage scheduling; Low energy design
<b>Fonte da publicação</b>	DAC '04 Proceedings of the 41st annual Design Automation Conference
<b>Editora</b>	ACM and IEEE
<b>Ano da publicação</b>	2004
<b>Resumo da publicação</b>	
Os autores propõem uma metodologia baseada no perfil de execução da tarefa, onde os níveis de tensão são definidos para cada bloco de código. Esse método tem como objetivo gerenciar melhor os <i>overheads</i> de transição, que são totalmente ou parcialmente ignorados nos outros trabalhos presentes na literatura, e obter melhores níveis de redução do consumo de energia do processador. Essa técnica é chamada de "ROEP-based technique" (ROEP - <i>Remaining Optimal-Case Execution Path</i> ), que é uma melhoria da metodologia <i>RAEP-based</i> proposta por (Shin e Kim, 2001), cujo principal foco está relacionado com desperdícios de energia, com as trocas excessivas de tensão e frequência do processador e com a diminuição dos <i>overheads</i> inseridos dentro das aplicações. Seguindo a escala cronológica dos trabalhos catalogados nesta revisão sistemática, esta foi uma das primeiras abordagens a otimizar estes parâmetros.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores não especificaram nenhuma ferramenta para a realização dos experimentos, mas relataram o uso dos seguintes <i>benchmarks</i> : amotsa, dawson, gcf, gser, gsimp, hypser, igray, realft, rtnewt, trsec, sncndn e trapzd (OBS.: estes são <i>benchmarks</i> retirados do livro " <i>Numerical Recipes in C</i> ").
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia para gerenciar melhor os <i>overheads</i> de transição, que são totalmente ou parcialmente ignorados nos trabalhos presentes na literatura. Como ponto negativo, a metodologia não deixa claro se dar suporte há alguns tipos de estruturas como <i>loops</i> ocultos e recursões.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não deixa claro se dar suporte há alguns tipos de estruturas como <i>loops</i> ocultos e recursões.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores pretendem verificar os impactos da metodologia proposta quando aplicado em um contexto de escalonamento inter-tarefas.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C27: Dados extraído da publicação de [Shin e Kim \(2005a\)](#).

<b>ID</b>	Shin_Kim_2005_a
<b>Título</b>	Intra-task voltage scheduling on DVS-enabled hard real-time systems
<b>Autores</b>	Shin D., Kim J.
<b>Palavras-chave</b>	Dynamic voltage scaling; Low-power design; Power management; Real-time systems; Variable-voltage processor
<b>Fonte da publicação</b>	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores melhoraram a eficiência do método <i>RAEP-based</i> proposto por eles mesmo em <a href="#">Shin e Kim (2001)</a> . Nesta nova abordagem, a principal diferença está nas otimizações de <i>overheads</i> para a realização das transições de tensão, que antes era feita de forma <i>offline</i> e agora o método de atribuição de tensões passou a ser <i>online</i> e mais eficiente. Os autores utilizaram os mesmos casos de teste para realização dos experimentos e fizeram alterações na ferramenta AVS para adaptá-la a nova abordagem. Um fato interessante a ser relatado é que os autores começaram a introduzir o conceito de ciclos salvos ou ciclos economizados (em inglês, <i>Saved Cycles ou C<sub>saved</sub></i> ), ou seja, são trechos de código que deixaram de ser executados dentro da aplicação. Esse conceito será melhor amadurecida em <a href="#">Shin e Kim (2005b)</a> .	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta AVS ( <i>Automatic Voltage Scaler</i> - Não disponível para download) e o MPEG-4 <i>encoder / decoder</i> como <i>benchmarks</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que analisa e cria perfis de consumo de energia baseados nos caminhos de execução da aplicação, procurando minimizar os <i>overheads</i> introduzidos no código fonte da aplicação. Como ponto negativo, a metodologia não deixa claro se dar suporte a recursões e <i>loops</i> ocultos.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramenta e <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não deixa claro se dar suporte a alguns tipos de estruturas como: <i>loops</i> ocultos e recursões.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
O autor pretende incluir informações em tempo de execução, como por exemplo <i>cache hit</i> e <i>miss</i> , para melhorar a eficiência energética do método proposto.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C28: Dados extraído da publicação de Yi *et al.* (2005).

<b>ID</b>	Yi_Yang_Chen_2005_a
<b>Título</b>	The optimal profile-guided greedy dynamic voltage scaling in real-time applications
<b>Autores</b>	Yi H., Yang X., Chen J.
<b>Palavras-chave</b>	Computer simulation; Energy utilization; Frequencies; Mathematical models; Program compilers; Real time systems; Scheduling; Dock frequency; Dynamic voltage scaling (DVS); Optimal real-time voltage scheduling; Voltage adjustment; Voltage measurement
<b>Fonte da publicação</b>	ICISS'05 Proceedings of the Second international conference on Embedded Software and Systems
<b>Editora</b>	Springer
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõem um modelo analítico de escalonamento dinâmico de tensão "ganancioso", cujo o objetivo é encontrar as tensões ideais para as aplicações de tempo real, através da análise dos casos de execução mais frequentes, ou também chamados de <i>Hot Path</i> , referenciados em Shin e Kim (2001). Essas análises visam identificar os tempos de folga distribuídos pela aplicação e, em seguida, repassa os ganhos obtidos para o processador, minimizando o consumo do energia. Esse método foi chamado de OPTDVS (em inglês, <i>Optimal Dinamic Voltage Scheduling</i> ). Em outras palavras, esse método é um mecanismo de ajuste de tensão ganancioso guiado por perfil (ou <i>profile-guided</i> ) que se baseia nos <i>hot paths</i> para definir o melhor perfil de consumo de energia para uma dada aplicação de tempo real.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores não mencionam o uso de ferramentas e / ou <i>benchmarks</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia que realiza a análise dos <i>hot paths</i> da aplicação e criam perfis de consumo de energia para cada caminho identificado, visando maximizar os ganhos obtidos com o uso da técnica DVFS intra-tarefa, através da identificação de tempos de folga na dentro da aplicação. Como ponto negativo, a metodologia insere muitos pontos de controle dentro da aplicação e não mostra um estudo sobre os impactos ocasionados pelos <i>overheads</i> inseridos.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através de provas matemáticas e comparações de desempenhos com outros trabalhos presentes na literatura.	
<b>Limitações do método</b>	
A metodologia não mostra estudos sobre os impactos dos <i>overheads</i> inseridos estaticamente dentro da aplicação.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C29: Dados extraído da publicação de Mohan *et al.* (2005).

<b>ID</b>	Mohan_Mueller_Root_2005_a
<b>Título</b>	ParaScale: Exploiting parametric timing analysis for real-time schedulers and dynamic voltage scaling
<b>Autores</b>	Mohan S., Mueller F., Hawkins W., Root M., Healy C., Whalley D.
<b>Palavras-chave</b>	Dynamic voltage scaling; Hard real-time systems; Lower-power consumption; Parametric -analysis; Parametric approach; Real-time schedulers; Static timing analysis; Worst-case execution time; Real time systems; Scheduling; Voltage stabilizing circuits
<b>Fonte da publicação</b>	Proceedings - Real-Time Systems Symposium
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõem uma nova técnica chamada <i>ParaScale</i> , que permite fazer análises de tempo paramétrico em conjunto com o escalonamento. Essas análises permitem detectar dinamicamente os limites dos <i>loops</i> e o limite inferior do WCET (em inglês, <i>Worst Case Execution Time</i> ), em tempo real, durante o tempo de execução restante da tarefa. Portanto, o ganho desta metodologia está, principalmente, sobre os tempos de folga obtidos sobre as estruturas de repetição. Dentre os trabalhos catalogados nessa revisão sistemática este foi o primeiro a trabalhar com limites paramétricos de <i>loops</i> , permitindo ter um melhor controle dos tempos de folga dentro de estruturas de repetição.	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta SimpleScalar [Disponível em: <a href="http://www.simplescalar.com/">http://www.simplescalar.com/</a> ].  Os autores utilizaram os <i>benchmarks</i> : - Adpcm ( <i>Adaptive Differential Pulse Code Modulation</i> ) - Cnt ( <i>Sum and count of positive and negative numbers in an array</i> ) - Lms ( <i>An LMS adaptive signal enhancement</i> ) - Mm ( <i>Matrix Multiplication</i> )
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia para realizar a detecção dinâmica dos limites inferiores dos <i>loops</i> e do WCET em tempo de execução. Como ponto negativo, a metodologia não mostra um estudo detalhado sobre os <i>overheads</i> inseridos estaticamente nas tarefas.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia proposta não mostra um estudo detalhado sobre os <i>overheads</i> inseridos estaticamente nas tarefas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Integrar ao método um mecanismo de detecção automática dos limites superiores dos <i>loops</i> , pois esses limites são definidos estaticamente no código fonte da aplicação.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C30: Dados extraído da publicação de Yi e Yang (2005).

<b>ID</b>	Yi_Yang_2005_a
<b>Título</b>	Optimizing the configuration of dynamic voltage scaling points in real-time applications
<b>Autores</b>	Yi H., Yang X.
<b>Palavras-chave</b>	Computer simulation; Electric potential; Energy conservation; Energy efficiency; Energy utilization; Real time systems; Dynamic voltage scaling (DVS); Energy models; Real-time applications; Supply voltage; Program compilers
<b>Fonte da publicação</b>	15th International Workshop, PATMOS 2005
<b>Editora</b>	Springer
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõem uma metodologia de configuração baseado em um método que constrói o padrão de execução de uma determinada aplicação, também chamado de <i>Profile-Based Method</i> já relatado na publicação de Yi <i>et al.</i> (2005). O diferencial desta nova abordagem está em diminuir os <i>overheads</i> inseridos pelo compilador no código fonte das aplicações. Esse processo é feito da seguinte forma: primeiro o compilador insere os pontos de escalonamento sem levar em consideração os <i>overheads</i> ; em seguida, todos os pontos de escalonamento são listados, já levando em consideração os <i>overheads</i> ; e por fim, os pontos que possuem maiores <i>overheads</i> e / ou não trazem redução do consumo de energia para aplicação são excluídos.	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	Os autores não especificaram o uso de ferramentas e / ou <i>benchmarks</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia para realizar a análise e aplicação de pontos de escalonamento de tensão (VSPs) em aplicações de tempo real. Como ponto negativo, a metodologia não deixa claro se dá suporte a alguns tipos de estruturas como <i>loops</i> ocultos e recursões.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através de casos de teste criados pelos próprios autores.	
<b>Limitações do método</b>	
A metodologia proposta não deixa claro quais são os tipos de estruturas suportadas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Fornecer suporte a <i>loops</i> ocultos e recursões.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C31: Dados extraído da publicação de Shin e Kim (2005b).

<b>ID</b>	Shin_Kim_2005_b
<b>Título</b>	Optimizing intra-task voltage scheduling using data flow analysis
<b>Autores</b>	Shin D., Kim J.
<b>Palavras-chave</b>	Control flows; Data flow; Data-flow information; Low power application; Optimization techniques; Slack time; Supply voltages; Voltage scheduling; Voltage-scaling; Algorithms; Computer aided design; Data flow analysis; Data transfer; Energy efficiency; Energy utilization; Motion Picture Experts Group standards; Scheduling; Optimization
<b>Fonte da publicação</b>	Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõem uma otimização na técnica intraDVS usando informações de fluxo de dados da aplicação de tempo real. A metodologia visa melhorar a eficiência energética antecipando os pontos de escalonamento de tensão (em inglês, <i>Voltage Scaling Points</i> - VSPs), baseadas nos resultados de análises do fluxo de dados da aplicação. Essa técnica foi chamada de <i>LaIntraDVS</i> (em inglês, Look Ahead IntraDVS). Em outras palavras, o método proposto antecipa os pontos de controle para maximizar os ganhos de energia da técnica intraDVS, como por exemplo: analisar uma estrutura de repetição e prever quantas interações serão necessárias e aplicar as tensões e frequências ideais para esse bloco de código antes que ele seja realmente executado.	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	Os autores não especificam a ferramenta utilizada nos experimentos. Os autores utilizaram os seguintes <i>benchmarks</i> : - MPEG-4 <i>video encoder</i> - MPEG-4 <i>video decoder</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia para antecipar (ou prever) os pontos de escalonamento de tensão (VSPs) visando maximizar os ganhos da técnica intraDVS. Como ponto negativo, a metodologia fornece ganhos mais efetivos apenas quando as distâncias entre os pontos de escalonamento de tensão são grandes.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramentas e <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia fornece ganhos mais efetivos apenas quando as distâncias entre os pontos de escalonamento de tensão são grandes.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Fornecer suporte a outros tipos de estruturas, como: <i>loops</i> ocultos e recursões.	
<b>Comentários</b>	
- Este é um dos primeiros trabalhos a antecipar (ou prever) pontos de escalonamento de tensão (VSPs). - A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C32: Dados extraído da publicação de Seo *et al.* (2005).

<b>ID</b>	Seo_Kim_Dutt_2005_a
<b>Título</b>	Optimal integration of inter-task and intra-task dynamic voltage scaling techniques for hard real-time applications
<b>Autores</b>	Seo J., Kim T., Dutt N.D.
<b>Palavras-chave</b>	Dynamic voltage scaling (DVS); Energy minimization; Polynomial time; Computation theory; Energy efficiency; Energy utilization; Optimal systems; Optimization; Polynomial approximation; Problem solving; Real time systems; Voltage control
<b>Fonte da publicação</b>	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõe uma nova técnica DVS que combinam as técnicas DVS intra-tarefa e inter-tarefa, chamada de <i>DVS-intgr</i> . Essa metodologia examina os limites inferiores de consumo de energia baseado na técnica DVS intra-tarefa (parte dessa metodologia foi inspirada no trabalho de Shin <i>et al.</i> (2001a)) e com essas propriedades foram definidos os tempos de execução ideais de cada tarefa. Em seguida, as tarefas são divididas em vários grupos de trabalho de tal forma que cada tarefa possa ser executada dentro do limite preestabelecido para cada grupo, através da utilização da técnica DVS inter-tarefa melhorada para produzir o melhor escalonamento entre elas de forma que haja a redução no consumo de energia e garantindo que nenhum premissa temporal seja violada.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task;
<b>Ferramenta(s)</b>	os autores utilizaram a ferramenta TGFF v3.0.
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia para realizar a integração das técnicas DVS intra-tarefa com a inter-tarefa e introduziu o conceito de grupo de tarefas, com características semelhantes, a fim de facilitar o gerenciamento e ao mesmo tempo maximizando os resultados obtidos com o uso da técnica DVFS. Como ponto negativo, a metodologia não apresenta um estudo detalhado sobre os <i>overheads</i> inseridos na aplicação.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de ferramenta relatada na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não mostra os impactos dos <i>overheads</i> inseridos na aplicação (tanto intra-tarefa quanto inter-tarefa).	
<b>Integração de métodos</b>	
Integrou as técnica DVFS intra-tarefa com a técnica DVFS inter-tarefa	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Mostrar um estudo mais detalhado sobre os <i>overheads</i> introduzidos pela metodologia.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C33: Dados extraído da publicação de [Cassandras e Zhuang \(2005\)](#).

<b>ID</b>	Cassandras_Zhuang_2005_a
<b>Título</b>	Optimal dynamic voltage scaling for wireless sensor nodes with real-time constraints
<b>Autores</b>	Cassandras C.G., Zhuang S.
<b>Palavras-chave</b>	Product monitoring; Scalability; Voltage scaling; Computer simulation; Control equipment; Inventory control; Nonlinear programming; Real time systems; Sensors; Voltage control
<b>Fonte da publicação</b>	Proc. SPIE 5999, Intelligent Systems in Design and Manufacturing VI
<b>Editora</b>	SPIE - Digital Library
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõe um controle intra-tarefa para minimizar o consumo de energia dentro do contexto de rede de sensores sem fio, processando tarefas de tempo real críticas. As variáveis de controle são basicamente os tempos de processamento das tarefas de tempo real, onde cada um desses tempos estão associados a diferentes níveis de tensão. O controle intra-tarefa é baseado na exploração das propriedades dos caminhos de execução ideais. Além disso os autores mostram em seus experimentos que soluções intra-tarefa minimizam mais energia que as soluções inter-tarefa.	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	Os autores não mencionam o uso de nenhuma ferramenta e nenhum <i>benchmark</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia baseada na técnica DVFS intra-tarefa aplicada no contexto de redes de sensores sem fio, processando tarefas com restrições temporais. Como ponto negativo, a metodologia não mostra estudos sobre os impactos dos <i>overheads</i> inseridos nas tarefas.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através de casos de teste criados pelos próprios autores. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não mostra um estudo sobre os <i>overheads</i> inseridos estaticamente dentro das tarefas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Mostrar um estudo mais detalhado sobre os <i>overheads</i> introduzidos pelo metodologia.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C34: Dados extraído da publicação de Kumar e Manimaran (2005).

<b>ID</b>	Kumar_Manimaran_2005_a
<b>Título</b>	An intra-task DVS algorithm exploiting program path locality for real-time embedded systems
<b>Autores</b>	Kumar G.S.A., Manimaran G.
<b>Palavras-chave</b>	Computer simulation; Embedded systems; Energy utilization; Real time systems; Scheduling; Dynamic Voltage Scheduling (DVS); Frequently executed paths; Real-time embedded systems; Algorithms
<b>Fonte da publicação</b>	12th International Conference on High Performance Computing, HiPC 2005;
<b>Editora</b>	Springer
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõem um novo algoritmo DVS intra-tarefa de consumo de energia consciente cujo o objetivo central é explorar os caminhos mais comuns e frequentemente executados dentro de uma aplicação de tempo real. Esse algoritmo foi chamado de CHP (em inglês, <i>Common Hot Path</i> ). Essa metodologia considera todos os caminhos mais executados (ou <i>hot-paths</i> ), princípio também utilizado nos trabalhos de Shin e Kim (2001), Seo <i>et al.</i> (2004), Yi <i>et al.</i> (2005) e Shin e Kim (2005a), e para cada um deles são atribuídas probabilidades que irão indicar os caminhos mais utilizados. Dessa forma, a metodologia consegue combinar todos os <i>hot paths</i> em um único caminho base que é comum em comprimento com a maioria dos <i>hot paths</i> , assim é possível descobrir qual o caminho que leva a melhores taxas de minimização do consumo de energia, pois nem sempre o caminho mais curto é o mais eficaz para minimização do consumo de energia.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores não mencionam o uso de nenhuma ferramenta.  Os autores utilizam o seguinte <i>benchmark</i> : - MPEG-4 <i>video decoder &amp; encoder</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia que obtém os caminhos de execução com menores consumo de energia, através do uso de probabilidade e caminhos mais executados (ou <i>hot paths</i> ). Como ponto negativo, a metodologia tem dificuldades para lidar com alguns tipos de estruturas, como <i>loops</i> sem profundidade.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia tem dificuldades para lidar com alguns tipos de estruturas, como por exemplo: <i>loops</i> sem profundidade.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores pretendem mostrar que utilizando informações <i>offline</i> , como por exemplo a quantidade de interações de um <i>loop</i> , é possível minimizar o consumo de energia.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C35: Dados extraído da publicação de Gheorghita *et al.* (2005).

<b>ID</b>	Gheorghita_2005_a
<b>Título</b>	Intra-task scenario-aware voltage scheduling
<b>Autores</b>	Gheorghita S.V., Basten T., Corporaal H.
<b>Palavras-chave</b>	Dynamic Voltage Scheduling; Real-Time; Scenarios; WCET
<b>Fonte da publicação</b>	CASES 2005: International Conference on Compilers, Architecture, and Synthesis for Embedded Systems
<b>Editora</b>	ACM
<b>Ano da publicação</b>	2005
<b>Resumo da publicação</b>	
Os autores propõem uma abordagem proativa que visa melhorar a performance do algoritmo de escalonamento intra-tarefa, explorando os tempos de folga que aparecem em tempo de execução, em seguida repassa para o processador através trechos de código inseridos na aplicação original, chamados de pontos de escalonamento de tensão ou VSPs (em inglês, <i>Voltage Scaling Points</i> ). Essa abordagem consiste, basicamente, em quatro etapas: (1) identificar os parâmetros que poderiam ter um impacto sobre o tempo de execução da aplicação; (2) calcular o máximo de impacto destes parâmetros sobre o WCET da aplicação; (3) particionar o aplicativo em possíveis cenários, considerando-se esses parâmetros, juntamente com o seu impacto, e selecionando apenas cenários que, isoladamente, reduzir o consumo de energia; por fim, (4) computar o escalonamento DVS para cada cenário selecionado no estágio 3 e combiná-los com o escalonamento global da aplicação de tempo real.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores não mencionaram o uso de nenhuma ferramenta.  Os autores utilizaram os seguintes <i>benchmarks</i> : - MP3 <i>decoder</i> - H.263 <i>decoder</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia de análise de CFGs para explorar os tempos de folga que aparecem durante a execução da tarefa. Como ponto negativo, a metodologia tem dificuldades para lidar com alguns tipos de estruturas (exemplo: <i>loops</i> sem profundidade, <i>loops</i> ocultos e recursões).	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de <i>benchmarks</i> relatados na literatura.	
<b>Limitações do método</b>	
A metodologia não prever alguns tipos de estruturas de dados, como por exemplo: <i>loops</i> sem profundidade, <i>loops</i> ocultos e recursões.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrido	
<b>Perspectivas futuras</b>	
Os autores pretendem introduzir uma abordagem probabilística para tentar prever quais blocos da aplicação serão executados e introduzir a técnica DVFS inter-tarefas para maximizar os ganhos da metodologia proposta neste trabalho.	
<b>Comentários</b>	
- Os autores inserem o conceito de abordagem proativa, ou seja, ela consegue prever para um determinado bloco de código quais serão as tensões e frequências ideais a serem utilizadas, por exemplo: se um <i>loop</i> tem no máximo 50 interações e só executará 20, então será possível ajustar as tensões e frequências do processador antes de entrar no <i>loop</i> , para atender apenas as interações que serão executadas. - A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C36: Dados extraído da publicação de Yi e Yang (2006).

<b>ID</b>	Yi_Yang_2006_a
<b>Título</b>	Toward the optimal configuration of dynamic voltage scaling points in real-time applications
<b>Autores</b>	Yi H.-Z., Yang X.-J.
<b>Palavras-chave</b>	Energy-aware systems; Languages and compilers; Low-power design
<b>Fonte da publicação</b>	Journal of Computer Science and Technology
<b>Editora</b>	Springer
<b>Ano da publicação</b>	2006
<b>Resumo da publicação</b>	
Os autores apresentam uma metodologia de configuração ótima de pontos de escalonamento de tensão dinâmicos sem <i>overheads</i> de escalonamento de tensão, onde tomaram como base os trabalhos de <a href="#">AbouGhazaleh et al. (2003b)</a> e <a href="#">AbouGhazaleh et al. (2003a)</a> . Com essa metodologia os autores conseguiram introduzir a menor quantidade necessária de pontos de escalonamento de tensão para melhor aproveitar os tempos de folga da aplicação e, além disso, provaram teoricamente todos os modelos e teoremas matemáticos definidos na metodologia, sempre visando a otimização ideal de energia.	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	Os autores não especificaram a ferramenta utilizada e nem faz referência ao uso de algum <i>benchmark</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova heurística que visa inserir a menor quantidade de pontos de escalonamento de tensão (VSPs), garantindo que nenhum restrição de tempo real sejam violadas. Como ponto negativo, a metodologia não deixa claro os tipos de estruturas suportadas.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através de provas matemáticas e pelo uso de casos de testes definidos pelos próprios autores.	
<b>Limitações do método</b>	
A metodologia não prever todos os tipos de estruturas de dados, como por exemplo: <i>loops</i> ocultos e recursões.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores propõem realizar estudos mais detalhados quando os <i>overheads</i> de escalonamento de tensão forem muito grandes.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preemptivos.	

Tabela C37: Dados extraído da publicação de Xian e Lu (2006).

<b>ID</b>	Xian_Lu_2006_a
<b>Título</b>	Dynamic voltage scaling for multitasking real-time systems with uncertain execution time
<b>Autores</b>	Xian C., Lu Y.-H.
<b>Palavras-chave</b>	Dynamic voltage scaling; Hard real-time; Low energy; Multitasking; Probability
<b>Fonte da publicação</b>	Proceedings of the ACM Great Lakes Symposium on VLSI, GLSVLSI
<b>Editora</b>	ACM
<b>Ano da publicação</b>	2006
<b>Resumo da publicação</b>	
Os autores propõem uma abordagem que visa integrar as técnicas de escalonamento de tensão intra-tarefa e inter-tarefa. O conceito principal do método proposto é que cada tarefa possa contribuir com informações individuais para que seja possível melhorar o escalonamento individual das demais tarefas em execução, sempre tomando como base as informações globais passadas pelas demais tarefas. Dessa forma, a abordagem é dividida, basicamente, em duas etapas: (1) É calculado estatisticamente o escalonamento de frequência ótimo para múltiplas tarefas periódicas utilizando o escalonamento EDF (em inglês, <i>Earliest Deadline First</i> ) para processadores que conseguem mudar suas frequências de forma contínua; e (2) para processadores que possuem uma faixa limitada de frequências discretas, é apresentado um algoritmo heurístico específico para construção do escalonamento de frequência baseado em informações de distribuição de probabilidade e restrições de escalonabilidade globais.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task;
<b>Ferramenta(s)</b>	Os autores não utilizaram nenhuma ferramenta específica.  Os autores utilizaram os <i>benchmarks</i> : - MPEG <i>video decoder</i> - MP3 <i>audio decoder</i> - H263 <i>video decoder</i> - GSM <i>speech encoder</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que integra as técnicas DVFS intra-tarefa com a técnica DVFS inter-tarefa, dando suporte a preempções. Como ponto negativo, a metodologia não prever os <i>overheads</i> ocasionados em tempo de execução.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não prever os <i>overheads</i> ocasionados em tempo de execução e nem possíveis interferências entre tarefas.	
<b>Integração de métodos</b>	
Integrou as técnicas DVFS intra-tarefa com a técnica DVFS inter-tarefa.	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Os autores propõem realizar análises de sensibilidade sobre os tamanhos das tarefas.	
<b>Comentários</b>	
A metodologia aborda modelo de tarefas preemptivos, mas não deixa claro como é feito esse suporte. Quanto aos recursos compartilhados, a metodologia proposta não dá suporte.	

Tabela C38: Dados extraído da publicação de Hong *et al.* (2006).

<b>ID</b>	Hong_Yoo_Choi_Kong_2006_a
<b>Título</b>	Runtime distribution-aware dynamic voltage scaling
<b>Autores</b>	Hong S., Yoo S., Jin H., Choi K.-M., Kong J.-T., Eo S.-K.
<b>Palavras-chave</b>	Basic blocks; Computer-aided design; Dynamic voltage scaling (DVS); Energy reductions; execution cycles; Experimental results; international conferences; Minimal energy; MPEG-4 decoder; Multimedia software; Performance level (PL); Run time; Software runtime; Worst case execution; Worst case execution cycles; BASIC (programming language); Decoding; Design; Energy policy; Multimedia systems; Voltage stabilizing circuits; Computer software
<b>Fonte da publicação</b>	IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, ICCAD
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2006
<b>Resumo da publicação</b>	
Os autores propõem uma nova técnica de escalonamento de tensão (DVS) intra-tarefa que não visa apenas explorar as distribuições de tempo de execução da aplicação, mas também o fluxo de dados e a arquitetura. Em outras palavras, essa abordagem utiliza os dados da aplicação e da arquitetura para prever o RWCEC e aplicar com antecedência as tensões e frequências ideais no processador. Portanto, com este trabalho os autores introduziram o conceito de perfil estatístico de ciclos de execução dentro da técnica DVS intra-tarefa ao invés de ciclos de execução no pior caso (WCEC).	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	O autor utilizou a ferramenta MaxSimTechnology, ARM Co. Ltd [Não disponível para download ( <a href="http://www.arm.com/products/DevTools/">http://www.arm.com/products/DevTools/</a> )].  O autor utilizou os <i>benchmarks</i> : - H.264 Decoder. - MPEG4 Decoder.
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que cria perfis estatísticos com base nos caminhos de execução da tarefa. Como ponto negativo, os autores não deixam claro quais são as estruturas de dados suportadas em sua metodologia.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de de ferramenta e <i>benchmarks</i> descritos na literatura.	
<b>Limitações do método</b>	
A metodologia não deixa claro quais tipos de estruturas de dados suportadas, como por exemplo: recursões, <i>loops</i> ocultos, invariantes de <i>loops</i> , etc.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores propõem melhorar a eficiência da metodologia proposta através da exploração das correlações entre os blocos de códigos arbitrários.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C39: Dados extraído da publicação de Zhang e QI (2006).

<b>ID</b>	Zhang_2006_a
<b>Título</b>	Energy-efficient task scheduling algorithm for mobile terminal
<b>Autores</b>	Zhang L., Qi D.
<b>Palavras-chave</b>	Dynamic voltage scaling; Embedded system; Energy minimization; Hybrid genetic algorithm; Task scheduling
<b>Fonte da publicação</b>	IET Conference Publications
<b>Editora</b>	IET Digital Library
<b>Ano da publicação</b>	2006
<b>Resumo da publicação</b>	
Os autores propõem um algoritmo de escalonamento de tarefas baseado em otimizações genéticas para diminuir o consumo de energia quando são especificados os deadlines e os ciclos de execução das tarefas. Esse algoritmo genético híbrido integra as técnicas inter e intra tarefas visando mensurar o pWCEC (em inglês, <i>Probabilistic Worst-Case Execution Time</i> ), a fim de encontrar o melhor coeficiente de escalonamento das tarefas de forma que todas as restrições temporais sejam obedecidas e ao mesmo tempo se obtenha uma minimização do consumo de energia do processador.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task;
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta: - Sim-Panalyzer <i>performance / power simulator</i> [Ferramenta não disponível para download - Site fora do ar ( <a href="http://www.eecs.umich.edu/~panalyzer">http://www.eecs.umich.edu/~panalyzer</a> )]  Os autores não utilizaram nenhum <i>benchmark</i> específico.
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que aplica algoritmos genéticos para diminuição do consumo de energia em sistemas de tempo real. Como ponto negativo, a metodologia nem sempre consegue alcançar bons resultados de economia de energia, dependendo dos parâmetros iniciais das tarefas.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de ferramentas e casos de teste definidos pelos próprios autores.	
<b>Limitações do método</b>	
O autor relata que em alguns casos é impossível alcançar frequências ideais no processador, pois o <i>deadline</i> e outras restrições temporais podem ser violadas.	
<b>Integração de métodos</b>	
Integrou as técnicas DVFS intra-task com a técnica DVFS inter-task.	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Os autores propõem que os trabalhos futuros devem introduzir estimadores dinâmicos para a quantidade de ciclos de execução.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C40: Dados extraído da publicação de [Huizhan et al. \(2006\)](#).

<b>ID</b>	Yi_Chen_Yang_2006_a
<b>Título</b>	Static WCET analysis based compiler-directed DVS energy optimization in real-time applications
<b>Autores</b>	Yi H., Chen J., Yang X.
<b>Palavras-chave</b>	Compiler; Low-power; Real-time; WCET
<b>Fonte da publicação</b>	11th Asia-Pacific Conference on Advances in Computer Systems Architecture, ACSAC 2006;
<b>Editora</b>	Springer
<b>Ano da publicação</b>	2006
<b>Resumo da publicação</b>	
Os autores propõem uma ferramenta chamada HEPTANE, cuja função é realizar a análise estática do WCET (em inglês, <i>Worst Case Execution Time</i> ), inserir os códigos da técnica DVFS e definir o perfil de consumo de energia da aplicação. Essa ferramenta trabalha em conjunto com o simulador de energia e performance chamado <i>Sim-Panalyzer</i> , que roda em um ambiente <i>RTLPower</i> (em inglês, <i>Real-Time Low Power</i> ), cuja função é simular o ambiente de experimentação para rodar os casos de teste criados pelos autores. Analisando de forma mais incisiva o trabalho, não ficou claro como a ferramenta HEPTANE trata as invariante de <i>loops</i> , na definição do perfil de consumo de energia da aplicação.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control flow graph (CFG);
<b>Ferramenta(s)</b>	O autor utilizou um ambiente nomeado de <i>RTLPower</i> ( <i>Real-Time Low Power</i> ), que utiliza as seguintes ferramentas: - HEPTANE WCET <i>analysis tool</i> [Enviar e-mail para <a href="mailto:puaut@irisa.fr">puaut@irisa.fr</a> solicitando a ferramenta]. - <i>Sim-Panalyzer performance / power simulator</i> [Ferramenta não disponível para download - Site fora do ar ( <a href="http://www.eecs.umich.edu/~panalyzer">http://www.eecs.umich.edu/~panalyzer</a> )]  Os <i>benchmarks</i> utilizados foram: - <i>SNU-RT benchmark</i> [Disponível em: <a href="http://www.cprover.org/goto-cc/examples/smu.html">http://www.cprover.org/goto-cc/examples/smu.html</a> ] - <i>Fast Fourier Transform</i> (fft1k) - <i>Matrix Multiplication</i> (matmul)
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que realiza a análise estática do WCET ( <i>Worst Case Execution Time</i> ) em aplicações de tempo real, uma vez que a maioria das soluções presentes na literatura leva em consideração o WCEC ( <i>Worst Case Execution Cycle</i> ). Como ponto negativo, a metodologia não deixa claro como são feitas as análises de estruturas como <i>loops</i> e <i>loops</i> ocultos.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de de ferramentas e <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não prever a análise estática de recursões.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preemptivos.	

Tabela C41: Dados extraído da publicação de [Shin e Kim \(2007\)](#).

<b>ID</b>	Shin_Kim_2007_a
<b>Título</b>	Optimizing intratask voltage scheduling using profile and data-flow information
<b>Autores</b>	Shin D., Kim J.
<b>Palavras-chave</b>	Dynamic-voltage scaling; Low-power design; Power management; Real-time systems; Variable-voltage processor
<b>Fonte da publicação</b>	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2007
<b>Resumo da publicação</b>	
Os autores propõem duas melhorias sobre a técnica IntraDVS. A primeira delas é uma melhoria da técnica chamada RAEP-IntraDVS (em inglês, <i>Remaining Average-case Execution Path</i> ), que visa otimizar o escalonamento de tensão através de análises das informações da aplicação, levando em consideração o caminho de execução de caso médio remanescente. A outra melhoria é sobre a técnica LaIntraDVS, citada no trabalho <a href="#">Shin e Kim (2005b)</a> , que leva em consideração as informações do fluxo de dados para gerar otimizações sobre os pontos de chaveamento de tensão (em inglês, <i>Voltage-Scaling Points - VSPs</i> ), principalmente através da predição das VSPs antes de estruturas condicionais e <i>loops</i> .	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control flow graph (CFG);
<b>Ferramenta(s)</b>	Os autores não especificaram a ferramenta utilizada para a realização dos experimentos, mas deixaram claro que utilizaram o MPEG-4 <i>encoder</i> como <i>benchmark</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que reduz os <i>overheads</i> sobre a técnica DVS intra-tarefas através do melhor gerenciamento dos pontos de escalonamento de tensão. Como ponto negativo, a metodologia não claro como ela faz para definir VSPs diante de invariantes de <i>loops</i> .	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de <i>benchmark</i> presente na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia não deixou claro no artigo como faz para lidar com invariantes de <i>loops</i> ao definir as VSPs.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores visam melhorar sua metodologia adicionando características para lidar com energia de fuga ( <i>leakage power</i> ) e energia dinâmica ( <i>dynamic power</i> ) do processador.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C42: Dados extraído da publicação de Neishaburi *et al.* (2007).

<b>ID</b>	Neishaburi_2007_a
<b>Título</b>	System level voltage scheduling technique using UML-RT model
<b>Autores</b>	Neishaburi M.H., Daneshtalab M., Nabi M., Mohammadi S.
<b>Palavras-chave</b>	Intra-task voltage scheduling; JPEG encoder system; System level voltage scheduling; UML-RT model; Data flow analysis; Data transfer; Encoding (symbols); Energy utilization; Voltage control; Scheduling algorithms
<b>Fonte da publicação</b>	2007 IEEE/ACS International Conference on Computer Systems and Applications, AICCSA 2007
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2007
<b>Resumo da publicação</b>	
Os autores apresentam uma otimização sobre o escalonamento de tensões intra-tarefa, através da análise do fluxo de dados e do fluxo de controle da aplicação. A partir dessa análise, a metodologia é capaz de antecipar os pontos de escalonamento de tensão (em inglês, <i>Voltage Scaling Points</i> - VSP), enquanto que a técnica DVFS intra-tarefa tradicional apenas localiza os pontos de controle. Essa metodologia permite adicionar menos <i>overheads</i> no código fonte da aplicação.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control flow graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta UML-RT e o JPEG <i>encoder</i> como <i>benchmark</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia para analisar os grafos de fluxo de controle da aplicação e diminuir os <i>overheads</i> inseridos dentro das tarefas. Como ponto negativo, a metodologia tem dificuldade para lidar com alguns tipos de estruturas, como por exemplo: <i>loops</i> e recursões.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de ferramenta e <i>benchmark</i> presentes na literatura.	
<b>Limitações do método</b>	
A metodologia possui dificuldade para lidar com funções recursivas (profundidade desconhecida), volta de saltos incondicionais ( <i>loops</i> ocultos) e chamadas de funções dinâmicas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores pretendem melhorar a metodologia para lidar melhor com <i>loops</i> e chamadas recursivas.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e/ou preempções.	

Tabela C43: Dados extraído da publicação de [Chen et al. \(2008b\)](#).

<b>ID</b>	Chen_Hsieh_Lai_2008_b
<b>Título</b>	Efficient algorithms for periodic real-time tasks to optimal discrete voltage schedules
<b>Autores</b>	Chen D.-R., Hsieh S.-M., Lai M.-F.
<b>Palavras-chave</b>	Dynamic voltage scaling; Hard real-time systems; Jitter control; Power-aware scheduling
<b>Fonte da publicação</b>	IPDPS Miami 2008 - Proceedings of the 22nd IEEE International Parallel and Distributed Processing Symposium, Program and CD-ROM
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2008
<b>Resumo da publicação</b>	
Os autores propõem uma metodologia que visa minimizar o consumo de energia através da análise do fluxo de dados da aplicação, tanto do ponto de vista inter quanto intra tarefa. Essa abordagem consiste basicamente de três fases: (1) primeiramente é feita a transformação harmônica dos períodos de todas as tarefas, em seguida é feita a validação e compartilhamento dos tempo de folga entre as demais tarefas, utilizando um escalonamento definidos pelos autores de <i>Jitterless Schedule</i> , que são interferências causadas pela chegada de sucessivas instâncias de uma mesma tarefa.; (2) o próximo passo é calcular a utilização total dado os novos parâmetros das tarefas definidos no passo 1; por último (3) é feita a computação das características de cada tarefa, tais como o início e fim relativos, com o objetivo de ajustar as tensões e frequência, evitando que restrições temporais venham ser violadas.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task;
<b>Ferramenta(s)</b>	Os autores não especificaram a ferramenta utilizada para a realização dos experimentos e não utilizaram nenhum <i>benchmark</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que propõe um escalonamento de tarefas com menor <i>jitter</i> . Como ponto negativo, os autores não aplicam nenhum <i>benchmark</i> para avaliação dos reais ganhos da metodologia proposta.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de provas formais e comparações de desempenho de complexidade computacional com outros trabalhos presentes na literatura.	
<b>Limitações do método</b>	
Os autores não deixam claro sobre os <i>overheads</i> ocasionados pelo uso de sua metodologia.	
<b>Integração de métodos</b>	
Integrou as técnicas DVFS intra-tarefa com a técnica DVFS inter-tarefa	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C44: Dados extraído da publicação de Oh *et al.* (2008).

<b>ID</b>	Oh_Kim_Kim_Kyung_2008_a
<b>Título</b>	Task partitioning algorithm for intra-task dynamic voltage scaling
<b>Autores</b>	Oh S., Kim J., Kim S., Kyung C.-M.
<b>Palavras-chave</b>	Dynamic voltage scaling; International symposium; Voltage switching; Axial flow; Boolean functions; Electric load forecasting; Technical presentations; Electric network analysis
<b>Fonte da publicação</b>	Proceedings - IEEE International Symposium on Circuits and Systems
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2008
<b>Resumo da publicação</b>	
Os autores propõem um novo algoritmo de particionamento de tarefas baseado na técnica DVS intra-tarefa, onde o seu principal objetivo é dividir de maneira mais eficiente os blocos de código da aplicação de forma que seja possível diminuir o número de chaveamento de tensões e frequências do processador. Essa abordagem, primeiramente, divide o código fonte da aplicação em um número máximo de seções de código. Em seguida, são calculados os ciclos de execução de cada nó, por meio de simulações estáticas, e as penalidades das predições que falharam. Essas penalidades são utilizadas como uma medida para decidir se determinados nós deverão ser agrupados ou não. Com essa metodologia os autores conseguiram reduzir o número de chaveamentos de tensão e, conseqüentemente, minimizar o consumo de energia do processador.	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	Os autores não especificaram a ferramenta utilizada para a realização dos experimentos, somente o <i>hardware</i> utilizado.  Os autores utilizaram o <i>benchmark</i> : - H.264 <i>Decoder</i>
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia para analisar a divisão eficiente dos blocos de código de uma aplicação. Como ponto negativo, os autores não levam em consideração as preempções durante a realização dos experimentos.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de <i>benchmark</i> presente na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
O metodologia apresentada não leva em consideração preempções.	
<b>Integração de métodos</b>	
Não se aplica.	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C45: Dados extraído da publicação de Zitterell e Scholl (2008).

<b>ID</b>	Zitterell_2008_a
<b>Título</b>	Improving energy-efficient real-time scheduling by exploiting code instrumentation
<b>Autores</b>	Zitterell T., Scholl C.
<b>Palavras-chave</b>	Code instrumentation; Discrete frequencies; Dynamic frequency; Energy efficient; Frequency-scaling; Idle time; Library functions; Light weight; Low frequency; Real time scheduling; Save energy; Simulation framework; Slack time; Task information; Task-scheduling; Voltage-scaling; Computer science; Energy efficiency; Information technology; Program compilers; Response time (computer systems); Scheduling; Real time systems
<b>Fonte da publicação</b>	Proceedings of the International Multiconference on Computer Science and Information Technology, IMCSIT 2008
<b>Editadora</b>	IEEE
<b>Ano da publicação</b>	2008
<b>Resumo da publicação</b>	
Os autores propõem um escalonamento mais eficiente de energia para processadores com frequências discretas, chamado de ItcaEDF (em inglês, <i>Intra-Task Characteristics Aware EDF</i> ). Ela se baseia na integração das técnicas inter e intra tarefas para diminuição dos tempos ociosos do processador e dos tempos de folgas das tarefas. No algoritmo intra-tarefa, os autores focam na quantidade de ciclos economizados e em um contador de ciclos, que possibilita contabilizar os diferentes caminhos dentro de um <i>loop</i> , permitindo diminuir os níveis de frequência do processador de acordo com as invariantes do <i>loop</i> . Quanto ao algoritmo inter-tarefa, os autores implementam um conjunto de bibliotecas que permitem as tarefas compartilhar informações umas com as outras, contribuindo para um melhor escalonamento global e diminuição do tempo ocioso do processador.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores não especificaram a ferramenta utilizada para a realização dos experimentos.
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que explora invariantes de <i>loops</i> para realizar o melhor controle da quantidade de ciclos a serem executados. Como ponto negativo, os autores não deixam claro os reais impactos gerados pelo uso da sua metodologia, principalmente do ponto de vista dos <i>overheads</i> , uma vez que a solução proposta é uma abordagem <i>online</i> .	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de casos de teste gerados pelos próprios autores. Além disso, comparam os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
O método não deixa claro sobre os <i>overheads</i> gerados pelas inclusões das bibliotecas de compartilhamento de dados entre tarefas em execução.	
<b>Integração de métodos</b>	
Integrou a técnica DVFS intra-tarefas com a técnica DVFS inter-tarefa	
<b>Modo de aplicação do método</b>	
Online	
<b>Perspectivas futuras</b>	
Não identificado	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C46: Dados extraído da publicação de Chen (2008).

<b>ID</b>	Chen_2008_a
<b>Título</b>	Expected energy consumption minimization in DVS systems with discrete frequencies
<b>Autores</b>	Chen J.-J.
<b>Palavras-chave</b>	Dynamic voltage scaling; Energy-efficient scheduling; Expected energy consumption minimization; Probability
<b>Fonte da publicação</b>	Proceedings of the ACM Symposium on Applied Computing
<b>Editora</b>	ACM
<b>Ano da publicação</b>	2008
<b>Resumo da publicação</b>	
O autor apresenta uma nova abordagem para minimizar o consumo de energia utilizando funções de densidade de probabilidade com base nas cargas de trabalho das tarefas de tempo real. Para o escalonamento intra-tarefa foi feito um algoritmo eficiente para obter a frequência ideal para uma única tarefa, de modo que o consumo de energia seja minimizado. Enquanto que o algoritmo de escalonamento inter-tarefa, chamado <i>M-Greedy</i> , foi desenvolvido com base em uma abordagem de programação linear cuja finalidade é obter as melhores soluções para as tarefas de tempo real baseada em quadros, visando diminuir os tempos de folga.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task;
<b>Ferramenta(s)</b>	O autor não utilizou nenhuma ferramenta específica. No entanto, utilizou os <i>benchmarks</i> : - mpegplay (MPEG <i>video decoder</i> ) - madplay (MP3 <i>audio decoder</i> ) - tmndec (H.263 <i>video decoder</i> ) - toast (GSM <i>speech encoder</i> )
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que visa minimizar o consumo de energia através da aplicação de funções de densidade de probabilidade com base nas cargas de trabalho das tarefas de tempo real. Como ponto negativo, o autor leva em consideração uma única tarefa na aplicação da sua metodologia offline.	
<b>Validação do método</b>	
A validação da metodologia ocorreu através do uso de <i>benchmarks</i> relatados na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia proposta leva em consideração apenas uma única tarefa.	
<b>Integração de métodos</b>	
Integrou a técnica DVFS intra-tarefa com a técnica DVFS inter-tarefa	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
O autor pretende expandir a metodologia proposta para outros dispositivos periféricos.	
<b>Comentários</b>	
A artigo comenta que as tarefas podem ser preemptadas por outras de maior prioridade, mas não deixa claro como é feito esse tratamento. Quanto aos recursos compartilhados, a metodologia não dá suporte.	

Tabela C47: Dados extraído da publicação de [Chen et al. \(2008a\)](#).

<b>ID</b>	Chen_Hsieh_Lai_2008_a
<b>Título</b>	Efficient algorithms for jitterless real-time tasks to DVS schedules
<b>Autores</b>	Chen D.-R., Hsieh S.-M., Lai M.-F.
<b>Palavras-chave</b>	Canonical schedules; Dvs algorithms; DVS schedules; Efficient algorithms; Finish times; Minimum energies; Periodic tasks; Real-time tasks; Variable voltages; Voltage stabilizing circuits
<b>Fonte da publicação</b>	Parallel and Distributed Computing, Applications and Technologies, PDCAT Proceedings
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2008
<b>Resumo da publicação</b>	
Os autores propõem um algoritmo intra-tarefa e um inter-tarefa para diminuir o consumo de energia durante o escalonamento das tarefas. Essa metodologia tem como finalidade diminuir os <i>overheads</i> e os tempos de folga entre as tarefas, dando mais previsibilidade e otimizações <i>offline</i> para o escalonamento. Para facilitar a geração do escalonamento, as tarefas com períodos arbitrários são transformados em períodos harmônicos para que os tempos de preempção, início e término de cada tarefa possam ser facilmente derivados, principalmente para tratar o que o autor chama de <i>Jitterless Schedule</i> . Essa abordagem foi desenvolvida a partir do trabalho de <a href="#">Chen et al. (2008b)</a> .	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task;
<b>Ferramenta(s)</b>	Os autores não utilizaram nenhuma ferramenta ou benchmark.
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia para lidar com preempções e interferências entre tarefas. Como ponto negativo, os autores não utilizaram nenhum <i>benchmark</i> para a realização dos seus experimentos.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de casos de testes gerados pelos próprios autores. Além disso, comparam os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
Os autores apresentaram apenas comparações de complexidade em relação aos trabalhos presentes na literatura, faltou mostrar o real ganho da metodologia proposta em níveis de consumo de energia.	
<b>Integração de métodos</b>	
Integrou a técnica DVFS intra-tarefa com a técnica DVFS inter-tarefa	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C48: Dados extraído da publicação de He *et al.* (2008).

<b>ID</b>	He_2008_a
<b>Título</b>	Stochastic voltage scheduling of fixed-priority tasks with preemption thresholds
<b>Autores</b>	He X., Jia Y., Wa H.
<b>Palavras-chave</b>	Embedded systems; Energy management; Energy policy; Integrated circuits; Mobile computing; Scheduling; Voltage stabilizing circuits; Wireless networks; Wireless telecommunication systems; Clock speeds; Dynamic voltage scaling; Energy consumptions; Energy gains; Power managements; Preemption thresholds; Priority tasks; Responsiveness.; Scarce resources; Scheduling policies; Stochastic datums; Supply voltages; Variable execution times; Voltage scheduling; Real time systems
<b>Fonte da publicação</b>	2008 International Conference on Wireless Communications, Networking and Mobile Computing, WiCOM 2008
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2008
<b>Resumo da publicação</b>	
Os autores exploram os tempos de execução variáveis de tarefas, dentro da política de escalonamento FPPT (em inglês, <i>Fixed-Priority scheduling with Preemption Threshold</i> - Escalonamento com Prioridade Fixa com Limite de Preempção). Essa política de escalonamento, executando em um processador com tensão variável, permite reduzir os custos com preempções desnecessárias das tarefas. Então, os autores desenvolveram um algoritmo para analisar todas as possibilidades de carga de trabalho para cada tarefa. Em seguida, utilizou esses dados estocásticos para definir as tensões e frequências do processador de acordo com o tamanho da tarefa e sua distribuição de probabilidade, com o intuito de minimizar o consumo de energia no caso médio.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; FPPT scheduling policy;
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta SPAK-0.3 (Disponível em: <a href="http://www.cs.utah.edu/~regehr/spak/">http://www.cs.utah.edu/~regehr/spak/</a> ).
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que visa otimizar custos com preempções. Como ponto negativo, os autores não deixam muito claro no artigo como são feitos os tratamentos de preempção entre as tarefas em execução.	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de ferramentas de simulação e de casos de testes gerados pelos próprios autores.	
<b>Limitações do método</b>	
A metodologia proposta não deixa muito claro como são feitos os tratamentos de preempção entre as tarefas em execução.	
<b>Integração de métodos</b>	
Integrou a política de escalonamento FPPT com a técnica DVFS intra-tarefa;	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores pretendem aplicar essa metodologia em algum RTOS (em inglês, <i>Real Time Operating System</i> ).	
<b>Comentários</b>	
A metodologia proposta mostra indícios de que dá suporte a preempções, mas não ficou muito claro no artigo como é feito. Quanto aos recursos compartilhados, a metodologia não dá suporte.	

Tabela C49: Dados extraído da publicação de [Yang et al. \(2009\)](#).

<b>ID</b>	Yang_2009_a
<b>Título</b>	Energy efficient intra-task dynamic voltage scaling for realistic CPUs of mobile devices
<b>Autores</b>	Yang C.-C., Wang K., Lin M.-H., Lin P.
<b>Palavras-chave</b>	CPU; Dynamic voltage scaling; Energy efficient; Intra-task; Mobile device; Real time
<b>Fonte da publicação</b>	Journal of Information Science and Engineering
<b>Editora</b>	Scopus (Elsevier)
<b>Ano da publicação</b>	2009
<b>Resumo da publicação</b>	
Os autores propõem dois algoritmos de escalonamento dinâmico de tensão (DVS) intra-tarefa para CPU's. O algoritmo OSRC (em inglês, <i>Optimal Schedule for Realistic CPUs</i> ) tem por objetivo aplicar conceitos de programação dinâmica dentro da CFG da aplicação para identificar os caminhos ideais com menor consumo de energia, tendo como referência a especificação de uma CPU realista, que são processadores que possuem um conjunto limitado de níveis de tensão e frequência ( <a href="#">Yang et al., 2009</a> ). O segundo algoritmo, chamado LO-OSRC (em inglês, <i>Low Overhead Optimal Schedule for Realistic CPUs</i> ), já leva em consideração o potencial de computação das tarefas e os <i>overheads</i> de transição, permitindo apenas uma mudança de tensão de frequência da CPU por tarefa. Dessa forma, os autores mostram em seus experimentos que seus algoritmos conseguem obter ganhos acima de 10% em comparação com outros trabalhos presentes na literatura.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG); Stochastic Method;
<b>Ferramenta(s)</b>	Os autores especificam os <i>hardwares</i> utilizados, mas não deixaram claro as ferramentas ou softwares utilizados no experimentos e nem fazem referências quanto ao uso de algum <i>benchmark</i> ;
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo a integração de métodos estocásticos a técnica DVFS intra-tarefa. Como ponto negativo, os autores utilizaram somente dois modelos de tarefas para validar o seu método, onde o correto deveria ser utilizar várias modelos de tarefas diferentes visto que sua metodologia se basea em processos não determinísticos (métodos estocásticos).	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de casos de testes gerados pelos próprios autores e, além disso, compararam os resultados experimentais obtidos com outras abordagens presentes na literatura.	
<b>Limitações do método</b>	
Os autores levaram em consideração apenas dois modelos de tarefas, criados por eles mesmo, para validar uma abordagem baseada em modelos estocásticos.	
<b>Integração de métodos</b>	
Integrou métodos estocásticos com a técnica DVFS intra-tarefa;	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Não identificada	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C50: Dados extraído da publicação de Ishihara (2009).

<b>ID</b>	Ishihara_2009_a
<b>Título</b>	Real-time power management for a multi-performance processor
<b>Autores</b>	Ishihara T.
<b>Palavras-chave</b>	Embedded systems; Low-power design; Microprocessor; Real-time systems
<b>Fonte da publicação</b>	2009 International SoC Design Conference, ISOC 2009
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2009
<b>Resumo da publicação</b>	
<p>O autor propõe uma metodologia baseada em uma nova arquitetura contendo vários núcleos de processamento, chamada <i>Architecture of Multi-Performance Processor</i>, onde cada núcleo trabalha em uma frequência e tensão específica. Dessa forma, o processador não perde tempo chaveando tensões e frequência, que são em média na casa das centenas de microsegundos. Essa arquitetura quando integrada a técnica DVFS intra-tarefa permite maximizar os ganhos de economia de energia, através da diminuição dos <i>overheads</i> da técnica DVFS, permitindo fazer chaveamentos de tensão e frequência na casa dos 1.5 microsegundos e dissipando apenas 10 nano-joules. Essa metodologia, reduziu cerca de 25% de energia em comparação com a técnica DVS convencional do processador.</p>	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	<p>O autor utilizou a ferramenta RTL Simulation.</p> <p>O autor utilizou os Benchmarks:</p> <ul style="list-style-type: none"> <li>- Adpcm decoder (<i>Adaptive Differential Pulse Code Modulation</i>)</li> <li>- JPEG encoder</li> <li>- MPEG2 encoder</li> </ul>
<b>Impacto (positivo x negativo)</b>	
<p>O artigo apresentou como ponto positivo uma nova proposta de arquitetura contendo vários processadores trabalhando em tensões e frequências diferentes entre si, com o intuito de reduzir os <i>overheads</i> da técnica DVFS. Como pontos negativos, temos nesta proposta uma arquitetura mais cara, pois necessita de mais componentes como memórias secundárias, caches para cada núcleo de processamento e de um software mais específico e robusto para realizar todo esse gerenciamento.</p>	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de ferramentas de simulação e <i>benchmarks</i> presentes na literatura.	
<b>Limitações do método</b>	
Não mostrou nenhum resultado envolvendo várias tarefas e nem levou em consideração preempções.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Offline	
<b>Perspectivas futuras</b>	
Os autores visam melhorar o sistema de cache da arquitetura proposta, pois hoje não está prevendo cache de dados, somente cache de instruções.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C51: Dados extraído da publicação de Mohan *et al.* (2010).

<b>ID</b>	Mohan_2010_a
<b>Título</b>	Parametric timing analysis and its application to dynamic voltage scaling
<b>Autores</b>	Mohan S., Mueller F., Root M., Hawkins W., Healy C., Whalley D., Vivancos E.
<b>Palavras-chave</b>	Dynamic voltage scaling; Real-time systems; Timing analysis; Worst-case execution time
<b>Fonte da publicação</b>	Transactions on Embedded Computing Systems
<b>Editora</b>	ACM
<b>Ano da publicação</b>	2010
<b>Resumo da publicação</b>	
Os autores propõem um metodologia que remove as restrições sobre as invariantes de <i>loops</i> através de análises paramétricas, com o objetivo de maximizar a identificação dos tempos de folga das tarefas e minimizar o consumo de energia do processador. Dessa forma, os ganhos dessa abordagem está diretamente relacionado com a redução do número de interações dos <i>loops</i> mapeados dentro das aplicações.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task; Control Flow Graph (CFG); Loop-Invariant;
<b>Ferramenta(s)</b>	Os autores utilizaram as ferramentas: - SimpleScalar processor simulator - Preprocesses gcc-generated PISA assembly - FAST framework (Apenas citada pelos autores) - VISA framework (Apenas citada pelos autores)  Os autores utilizaram os <i>benchmarks</i> (todos eles pertencem ao C Benchmark): - adpcm ( <i>Adaptive Differential Pulse Code Modulation</i> ) - cnt ( <i>Sum and count of positive and negative numbers in an array</i> ) - lms ( <i>An LMS adaptive signal enhancement</i> ) - mm ( <i>Matrix Multiplication</i> )
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que mostra como aplicar técnicas de invariante de <i>loop</i> no contexto de sistemas de tempo real para diminuir o consumo de energia. Como ponto negativo, os autores relatam que precisa melhorar sua metodologia para lidar com casos especiais que tenha um número menor de iterações dentro dos <i>loops</i> .	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de ferramentas de simulação e <i>benchmarks</i> presentes na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
A metodologia proposta tem dificuldades para lhe dar, em alguns casos, com um número menor de iterações dentro dos <i>loops</i> .	
<b>Integração de métodos</b>	
Foram integradas as técnicas: <i>inter-task</i> , <i>intra-task</i> e <i>loop-invariant</i>	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Os autores visam melhorar seu método para lidar com um número menor de iterações dentro dos <i>loops</i> .	
<b>Comentários</b>	
A metodologia mostra indícios de que dá suporte a preempções entre tarefas, mas não deixa claro como é feito. Quanto aos recursos compartilhados, a metodologia não dá suporte.	

Tabela C52: Dados extraído da publicação de [Tatematsu et al. \(2011\)](#).

<b>ID</b>	Tatematsu_2011_a
<b>Título</b>	Checkpoint extraction using execution traces for intra-task DVFS in embedded systems
<b>Autores</b>	Tatematsu T., Takase H., Zeng G., Tomiyama H., Takada H.
<b>Palavras-chave</b>	DVFS; Embedded system; Execution trace; Low energy
<b>Fonte da publicação</b>	Proceedings - 2011 6th IEEE International Symposium on Electronic Design, Test and Application, DELTA 2011
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2011
<b>Resumo da publicação</b>	
Os autores propõem uma metodologia que analisa o código fonte da aplicação e lista todos os possíveis locais para a inserção de pontos de controle (também chamado pelos autores de <i>checkpoints</i> ). Em seguida, todos esses pontos são analisado e os que não trazem ganhos energéticos são removidos. Por fim, a metodologia compara essa listagem de pontos de controle com uma tabela RWCEC (em inglês, <i>Remaining Worst Case Execution Cycles</i> ), também extraída da aplicação, para então calcular as tensões e frequências que deverão ser utilizadas no processador.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores utilizaram a ferramenta SimpleScalarARM (Disponível em: <a href="http://www.simplescalar.com/">http://www.simplescalar.com/</a> ) e o benchmark MediaBench (Disponível em: <a href="http://dl.acm.org/citation.cfm?id=266800.266832">http://dl.acm.org/citation.cfm?id=266800.266832</a> ).
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia que visa maximizar os ganhos energéticos da inserção de <i>checkpoints</i> , através da análise e remoção dos pontos que não trazem ganhos energéticos para a aplicação. Como ponto negativo, a metodologia mostrou, durante a fase de experimentação, que a inserção de alguns <i>checkpoints</i> na aplicação podem ocasionar a perda de <i>deadlines</i> .	
<b>Validação do método</b>	
A validação da metodologia ocorreu pelo uso de <i>benchmarks</i> presentes na literatura.	
<b>Limitações do método</b>	
Os resultados experimentais mostram que a metodologia proposta pode ocasionar a violação das restrições temporais da tarefas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
<i>Offline</i>	
<b>Perspectivas futuras</b>	
Os autores visam integrar métodos para lidar com as perdas de <i>deadlines</i> e melhorar a eficiência do algoritmo de extração de <i>checkpoints</i> .	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C53: Dados extraído da publicação de Takase *et al.* (2011).

<b>ID</b>	Takase_2011_a
<b>Título</b>	An integrated optimization framework for reducing the energy consumption of embedded real-time applications
<b>Autores</b>	Takase H., Zeng G., Gauthier L., Kawashima H., Atsumi N., Tatematsu T., Kobayashi Y., Kohara S., Koshiro T., Ishihara T., Tomiyama H., Takada H.
<b>Palavras-chave</b>	development environment; embedded application; energy optimization
<b>Fonte da publicação</b>	Proceedings of the International Symposium on Low Power Electronics and Design
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2011
<b>Resumo da publicação</b>	
Os autores desenvolvem um <i>framework</i> com o objetivo de melhor realizar o chaveamento entre performance e consumo de energia do processador. As configurações ótimas do processador são definidas de acordo com cada etapa de execução da tarefa. Além disso, esse <i>framework</i> aplica técnicas de otimização sobre a alocação de memória da aplicação, visando diminuir <i>overheads</i> de IO (em inglês, <i>Input and Output</i> ). Dessa forma, todas as características e comportamento da aplicação são analisados tando do ponto de vista inter quanto intra tarefa. Os resultados dessa análise, resultam na otimização de energia em tempo de execução de acordo com o comportamento da aplicação. Os resultados experimentais utilizando um sistema de vídeo conferencia conseguiram reduzir em média o consumo de energia em 44.9% em comparação com outros estudos de caso criados pelo próprio autor.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; DVFS Inter-Task; Control Flow Graph (CFG);
<b>Ferramenta(s)</b>	Os autores implementaram um <i>framework</i> , mas não deixa claro o nome da ferramenta criada.  Lista dos <i>benchmarks</i> utilizados: - Xvid MPEG-4 video codec - FFmpeg library
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que visa realizar o melhor gerenciamento entre performance e consumo de energia do processador, além disso aplica técnicas de otimização para melhorar o processo de alocação de memória da aplicação. Como pontos negativos, os autores não mostraram nenhum estudo sobre os <i>overheads</i> inseridos pelo <i>framework</i> .	
<b>Validação do método</b>	
A validação da abordagem ocorreu por meio do uso de casos de testes criados pelos próprios autores.	
<b>Limitações do método</b>	
A metodologia não mostra estudos detalhados sobre os <i>overheads</i> gerados dentro das tarefas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Os autores pretendem estender o <i>framework</i> para ambientes com mais de um processador.	
<b>Comentários</b>	
O artigo mostra indícios de que dá suporte a preempções, mas não deixa claro no artigo como é feito, e não dá suporte a recursos compartilhados.	

Tabela C54: Dados extraído da publicação de Yuan *et al.* (2011).

<b>ID</b>	Yuan_2011_a
<b>Título</b>	TALk: A temperature-aware leakage minimization technique for real-time systems
<b>Autores</b>	Yuan L., Leventhal S.R., Gu J., Qu G.
<b>Palavras-chave</b>	Dynamic voltage scaling; low power; real-time systems; temperature-aware design
<b>Fonte da publicação</b>	IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2011
<b>Resumo da publicação</b>	
Os autores propõem um algoritmo de escalonamento intra-tarefa que visa diminuir a temperatura do processador e minimizar o consumo de energia em sistema de tempo real. Essa técnica foi chamada de <i>TALk</i> (em inglês, <i>Temperature-Aware Leakage</i> ). A ideia básica do algoritmo é aumentar a frequência quando a temperatura do chip estiver baixa ou quando a carga de trabalho for alta e colocar o processador em baixo consumo de energia quando a temperatura do chip estiver alta ou com carga de trabalho leve. Para fazer isso, o algoritmo <i>TALk</i> foi dividida em duas partes: (1) A <i>Offline</i> , que usa métodos de programação dinâmica para alcançar os melhores níveis de economia de energia e de temperatura; (2) O <i>Online</i> tem como objetivo determinar o modo de operação do processador com base na sua temperatura corrente e na quantidade de ciclos remanescentes das tarefas em execução. Com esse algoritmo os autores conseguiram melhorar a economia de energia em cerca de 18% em comparação com a técnica DVS tradicional.	
<b>Método(s) utilizados</b>	DVFS Intra-Task;
<b>Ferramenta(s)</b>	Os autores não mencionaram nenhuma ferramenta específica, mas utilizaram 4 <i>benchmarks</i> para geração dos 11 casos de teste utilizados para realização dos experimentos.  Lista dos <i>benchmarks</i> utilizados pelos autores: - MPEG4 <i>media encoding</i> (Disponível em: <a href="http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=914596">http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=914596</a> ) - <i>Hartstone suite</i> (Disponível em: <a href="http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=766516">http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=766516</a> ) - <i>ADSL standard's initialization sequences</i> (Disponível em: <a href="http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=953271">http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=953271</a> ) - Os outros foram gerados artificialmente pelos autores.
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma metodologia que visa diminuir o consumo de energia do processador e ao mesmo tempo controlar a sua temperatura. Como ponto negativo, os autores falam que para alguns <i>benchmarks</i> o algoritmo <i>offline</i> pode violar as restrições temporais de algumas tarefas.	
<b>Validação do método</b>	
A validação da abordagem ocorreu por meio do uso de <i>benchmarks</i> presentes na literatura. Além disso, compara os resultados experimentais com outros trabalhos de referência na área de baixo consumo de energia.	
<b>Limitações do método</b>	
Os autores mencionam que o algoritmo <i>offline</i> pode violar as restrições temporais de algumas tarefas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Híbrida	
<b>Perspectivas futuras</b>	
Os autores pretendem melhorar o algoritmo <i>offline</i> para resolver o problema de violação de restrições temporais de algumas tarefas.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C55: Dados extraído da publicação de Cohen *et al.* (2012).

<b>ID</b>	Cohen_2012_a
<b>Título</b>	A Car Racing Based Strategy for the Dynamic Voltage and Frequency Scaling Technique
<b>Autores</b>	David Cohen, Eduardo Valentin, Raimundo Barreto, Horácio Oliveira, and Lucas Cordeiro
<b>Palavras-chave</b>	Dynamic voltage and frequency scaling; Energy consumption optimization; Low energy consumption; Real-time application; Real-time tasks; Worst-case execution; Buffer storage; Energy utilization; Industrial electronics
<b>Fonte da publicação</b>	IEEE International Symposium on Industrial Electronics
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2012
<b>Resumo da publicação</b>	
Os autores apresentam uma nova política de escalonamento de tarefas de tempo real, que leva em consideração preempções. Esse nova metodologia consegue economizar energia mesmo executando as tarefas no seu pior caso. Em resumo, o autor faz uma analogia entre escalonador e suas tarefas, com uma corrida de carros, onde o objetivo da corrida é que todos os carros (uma analogia as tarefas) cheguem juntos no final, utilizando as menores velocidades (uma analogia a tensões e frequências do processador) sem que nenhuma premissa temporal seja violada. Essa nova política de escalonamento foi experimentada apenas em ambiente simulado e utilizando casos de teste gerados pelos próprios autores.	
<b>Método(s) utilizados</b>	DVFS Intra-Task; Control flow graph (CFG);
<b>Ferramenta(s)</b>	O autor não utilizou nenhuma ferramenta, mas nas referências é citada a ferramenta COPPER Framework.
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova política de escalonamento para aplicações de tempo real, dando suporte a preempções. Como impacto negativo, a metodologia foi valida apenas com simulações, não foi utilizado nenhum <i>benchmark</i> ou casos de testes reais para validação do método proposto.	
<b>Validação do método</b>	
A validação da abordagem ocorreu por meio de exemplos propostos pelos próprios autores, onde estes exemplos exploraram várias tarefas em execução e preempções.	
<b>Limitações do método</b>	
O método proposto foi aplicado apenas em ambiente simulado. Talvez seja necessário fazer um estudo mais detalhado para saber o real impacto dos <i>overheads</i> gerados pelo uso da metodologia.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Online	
<b>Perspectivas futuras</b>	
Os autores pretendem realizar experimentos com estudos de casos reais da industria e implementar o método proposto em uma plataforma real, através da inclusão de uma nova camada entre a aplicação e o sistema operacional.	
<b>Comentários</b>	
A metodologia deixa clara que dá suporte a preempções. Quanto aos recursos compartilhados, eles são previstos apenas no teste de escalabilidade. No entanto, não mostram nos resultados experimentos modelos de tarefas que compartilhem recursos entre si.	

Tabela C56: Dados extraído da publicação de Seo *et al.* (2012).

<b>ID</b>	Seo_Seo_Kim_2012_a
<b>Título</b>	Algorithms for combined inter- and intra-task dynamic voltage scaling
<b>Autores</b>	Seo H., Seo J., Kim T.
<b>Palavras-chave</b>	dynamic voltage scaling (DVS); embedded systems; power saving
<b>Fonte da publicação</b>	Computer Journal
<b>Editora</b>	Oxford University Press on behalf of The British Computer Society
<b>Ano da publicação</b>	2012
<b>Resumo da publicação</b>	
Os autores apresentam uma técnica de baixo consumo de energia que se baseia na combinação simultânea entre inter-tarefa e intra-tarefa, também chamada DVS combinado (em inglês, <i>Combined DVS - CDVS</i> ). Essa nova abordagem leva em consideração o estado do sistema dormindo (em inglês, <i>Sleep State - CDVS-S</i> ) e não dormindo (em inglês, <i>No Sleep State - CDVS-NS</i> ). Ela consiste basicamente de 4 etapas: (1) Aplicar a técnica CDVS-NS para determinar os intervalos de execução das tarefas de modo que o consumo total de energia seja minimizado, sem estados de dormindo ( <i>sleep state</i> ); (2) Realizar a análise estática dos blocos de código da tarefa, a fim de identificar os tempos ociosos e as tensões e frequências que deverão ser utilizadas; (3) Combinar os intervalos de tempo salvos na segunda etapa com o maior tempo possível no qual o sistema possa estar no estado ocioso ( <i>idle state</i> ) de forma eficiente; e por último (4) Monitorar dinamicamente todas as instâncias das tarefas em execução que concluam sua execução antes do prazo final e, em seguida, irá decidir se coloca a tarefa em estado ociosa ( <i>idle state</i> ) ou em estado de dormindo ( <i>sleep state</i> ), dependendo do que for mais econômico energeticamente. Em geral, essa metodologia conseguiu reduzir o consumo de energia em média de 7% com a técnica CDVS-S e de 12% com a técnica CDVS-NS em comparação com outros trabalhos presentes na literatura.	
<b>Método(s) utilizados</b>	DVFS <i>Intra-Task</i> ; DVFS <i>Inter-Task</i> ;
<b>Ferramenta(s)</b>	Os autores utilizaram as ferramentas TGFF v 3.0 (usando C++ e suas bibliotecas padrões) e MiBench <i>benchmarks</i> .
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como ponto positivo uma nova metodologia que combina as técnicas inter e intra tarefas para melhor gerenciar os estados de dormindo ( <i>Sleep State</i> ) e não dormindo ( <i>No Sleep State</i> ) do sistema. Como ponto negativo, os autores não mostraram estudos para avaliar os <i>overheads</i> ocasionados para realizar a troca de contexto entre o modo dormindo e não dormindo.	
<b>Validação do método</b>	
A validação da metodologia ocorreu por meio de <i>benchmarks</i> , provas matemáticas e comparações dos resultados com outros trabalhos presentes na literatura.	
<b>Limitações do método</b>	
Os autores não mostraram um estudo para avaliar os <i>overheads</i> ocasionados para realizar a troca de contexto entre o sistema no modo dormindo e não dormindo.	
<b>Integração de métodos</b>	
Foi realizado a integração das técnicas DVFS inter e intra tarefas.	
<b>Modo de aplicação do método</b>	
Híbrido.	
<b>Perspectivas futuras</b>	
Os autores pretendem criar um modelo de economia de energia que leve em consideração outros componentes do sistema com as memórias, interfaces e comportamento das tarefas.	
<b>Comentários</b>	
A metodologia proposta não mostra evidências, no artigo, de que fornece suporte para recursos compartilhados e / ou preempções.	

Tabela C57: Dados extraído da publicação de [Awan e Petters \(2012\)](#).

<b>ID</b>	Awan_Petters_2012_a
<b>Título</b>	Online Intra-Task Device Scheduling for Hard Real-Time Systems
<b>Autores</b>	Muhammad Ali Awan, Stefan M. Petters
<b>Palavras-chave</b>	Battery life; Device scheduling; Energy gain; Hard real-time systems; I/O Device; Large parts; Power saving mechanism; Schedulability; Technology enhancements; Embedded systems; Energy resources; Energy utilization; Interactive computer systems; Scheduling algorithms; Real time systems
<b>Fonte da publicação</b>	7th IEEE International Symposium on Industrial Embedded Systems, SIES 2012 - Conference Proceedings
<b>Editora</b>	IEEE
<b>Ano da publicação</b>	2012
<b>Resumo da publicação</b>	
Os autores propõem um algoritmo (online) de escalonamento intra-tarefa, cuja principal funcionalidade é ligar e desligar dispositivos do hardware, permitindo que eles sejam utilizados somente quando necessário. Essa metodologia se aplica a sistemas de tempo real crítico e funciona basicamente explorando os tempos de folga entre as execuções das tarefas, a fim de realizar o melhor gerenciamento dos acionamentos e desligamento dos dispositivos, melhorando assim a performance de economia de energia do sistema. Os experimentos mostram um ganho de economia de energia acima dos 90% em comparação com outras técnicas presentes na literatura.	
<b>Método(s) utilizados</b>	DVFS <i>Intra-Task</i> ;
<b>Ferramenta(s)</b>	Os autores utilizaram o simulador SPARTS V 2.0 ( <i>Simulator for Power Aware and Real-Time System</i> ).
<b>Impacto (positivo x negativo)</b>	
O artigo apresentou como impacto positivo uma metodologia para realizar o melhor gerenciamento dos dispositivos do sistema sobre demanda, permitindo assim acioná-los somente quando necessário. No entanto, o impacto negativo dessa abordagem está nos <i>overheads</i> adicionados nas premissas temporais de cada tarefa.	
<b>Validação do método</b>	
A validação da abordagem ocorreu por meio de exemplos propostos pelos próprios autores.	
<b>Limitações do método</b>	
O método proposto foi aplicado apenas em ambiente simulado, prevê o uso de um único dispositivo e não leva em consideração o compartilhamento de dispositivos entre tarefas.	
<b>Integração de métodos</b>	
Não se aplica	
<b>Modo de aplicação do método</b>	
Online	
<b>Perspectivas futuras</b>	
Os autores pretendem melhorar a aplicabilidade deste método em sistemas mais versáteis, permitindo que seja possível compartilhar dispositivos entre tarefas.	
<b>Comentários</b>	
A metodologia proposta dá suporte a recursos compartilhados e em relação ao suporte a preempções, o artigo mostra algumas deduções formais, mas não deixa claro se dá suporte.	