

## Application Note

## MCU への絶縁型変調器のデジタル インターフェイスによるクロック エッジ遅延補償



Gizem Yucece, Alex Smith, Martin Staebler

## 概要

高速デジタル インターフェイスを搭載した **AMC1306M25** などの絶縁型デルタ シグマ変調器は、サーボドライブやロボットのアプリケーションで、高精度、低レイテンシ、高ノイズ耐性のシャント ベース位相電流センシングに一般的に使用されています。特にクロック周波数が高い場合、信頼性の高い動作を実現するためには、適切な配線と終端、および対応する MCU のセットアップ タイミングとホールド タイミングへの準拠が不可欠です。MCU のタイミング要件を満たすために一般的に使用される方法である妥協案は、変調器のクロック周波数を低くすることですが、これによりデータ出力レートも低くなります。このアプリケーション ノートでは、変調器の最大クロック レートまでセットアップおよびホールド タイミング要件を満たすための、クロック エッジ補償方法の設計について詳しく説明します。これにより、システムは最大データレートで動作可能になります。このアプリケーション ノートでは、クロック エッジ補償のオプションの概要を説明し、**C2000™** および **Sitara™** MCU に接続されたテキサス・インスツルメンツの絶縁型変調器 **AMC130x** を使った測定例を示します。さらに、デジタル インターフェイスのタイミングを検証するための計算ツールも用意されています。

## 目次

1 はじめに.....	3
2 デジタル インターフェイスのタイミング仕様に関する設計上の課題.....	4
3 クロック エッジ遅延補償を使用した設計アプローチ.....	7
3.1 ソフトウェアで設定可能な位相遅延によるクロック信号補償.....	7
3.2 ハードウェアで構成可能な位相遅延によるクロック信号補償.....	8
3.3 クロック復帰によるクロック信号補償.....	8
3.4 MCU におけるクロック反転によるクロック信号補償.....	9
4 テストと検証.....	11
4.1 試験装置とソフトウェア.....	11
4.2 ソフトウェアで設定可能な位相遅延によるクロック信号補償のテスト.....	11
4.3 MCU におけるクロック反転によるクロック信号補償のテスト.....	14
4.4 計算ツールによるデジタル インターフェイス タイミングの検証.....	16
5 まとめ.....	18
6 参考資料.....	20
7 Revision History.....	20

## 図の一覧

図 1-1. MCU から絶縁型変調器へのデジタル インターフェイスを備えた三相インバータの概略ブロック図.....	3
図 2-1. TMS320F28379D への AMC1306M25 のデジタル インターフェイスの概略.....	4
図 2-2. AMC1306x のデジタル インターフェイスのタイミング.....	5
図 2-3. TMS320F28379D SDFM タイミング図 - モード 0.....	5
図 2-4. TMS320F28379D への AMC1305L25 のデジタル インターフェイス.....	6
図 2-5. TMS320F28379D への AMC1303M2520 の 3.3V CMOS デジタル インターフェイス.....	6
図 3-1. ソフトウェアで設定可能なクロック位相遅延付き AMC1306M25 - AM243x MCU インターフェイス.....	7
図 3-2. SD0_CLK (GPIO1_1) で 30ns 位相シフト クロック信号入力を使用した AM243x SDFM のタイミング.....	8
図 3-3. MCU への AMC1306M25 デジタル インターフェイス、ハードウェアで構成可能な位相遅延による補償付き.....	8
図 3-4. MCU へのクロック復帰による補償付き AMC1306M25 デジタル インターフェイス.....	9
図 3-5. TMS320F28379D SDFM/GPIO のブロック図.....	9
図 3-6. GPIO123 での反転クロックの TMS320F28379D SDFM のタイミング.....	10

図 4-1. AMC1306EVM と C2000 TMS320F28379D LaunchPad を使用した、ソフトウェアでの位相遅延によるクロック信号補償のテスト構成.....	12
図 4-2. AMC1306EVM と Sitara AM243x LaunchPad を使用した、ソフトウェアで構成可能な位相遅延によるクロック信号補償のテスト構成.....	12
図 4-3. ソフトウェアで構成可能な位相遅延によるクロック信号補償を使用した AMC1306EVM と TMS320F28379D のデジタルインターフェイス タイミングの測定結果.....	13
図 4-4. ソフトウェアで構成可能な位相遅延によるクロック信号補償を使用した AMC1306EVM と AM243x のデジタル インターフェイス タイミングの測定結果.....	13
図 4-5. デジタル インターフェイスのタイミング検証のテスト構成.....	14
図 4-6. CCS のクロックおよびデータ入力テスト信号 (非反転 GPIO123) および Sinc3 OSR 64 フィルタ出力.....	15
図 4-7. CCS のクロックおよびデータ入力テスト信号 (非反転 GPIO123) および Sinc3 OSR 64 フィルタ出力.....	16
図 4-8. ソフトウェアで設定可能な位相遅延によるクロック エッジ補償あり、クロック周波数 20MHz でのデータシートの一般的な仕様に対する AMC1305L25 への C2000 デジタル インターフェイスのタイミング図.....	17

## 表の一覧

表 4-1. 試験装置一覧.....	11
表 4-2. AMC1305L25 を 20MHz のクロック周波数で使用した C2000 MCU TMS320F28379D デジタル インターフェイスのタイミングの結果.....	16
表 4-3. 17MHz クロックで AMC1305L25 を使用した TMS320F28379D デジタル インターフェイスのタイミング.....	17
表 4-4. ソフトウェアで位相遅延を設定可能な、クロック 20MHz での AMC1305L25 への TMS320F28379D デジタル インターフェイスのタイミング.....	18
表 5-1. クロック エッジ補償方式の比較.....	18
表 5-2. 内部または外部クロックを使用する変調器に推奨されるクロック エッジ補償方法.....	19

## 商標

C2000™, Sitara™, OSR™, and Code Composer Studio™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 1 はじめに

高精度で低レイテンシの絶縁型位相電流センシングが 3 相インバータの性能に大きな影響を及ぼすため、サーボドライブやロボットアプリケーションでは一般的に、絶縁型デルタシグマ変調器がシャントベースの位相電流センシングに使用されます。デルタシグマ変調器は、LVDS または CMOS インターフェイスを使用して MCU にデジタルビットストリームを供給し、優れたノイズ耐性、高精度、低レイテンシの位相電流測定を実現します。絶縁型変調器の詳細については、アプリケーションノート『[絶縁型アンプと絶縁型変調器の比較](#)』を参照してください。

多くの場合、シャントと絶縁型デルタシグマ変調器は電力段階プリント基板 (PCB) に配置し、MCU は図 1 に示すように別の制御基板 PCB に配置します。デジタルシグナルインテグリティを実現するには、PCB とインターフェイスコネクタの適切な配線方法が不可欠です。クロックおよびデータラインの配線と終端のベストプラクティスについては、『[絶縁型デルタシグマ変調器を使用したシグナルインテグリティの向上](#)』で説明しています。『[モーター駆動における変調器 \(ti.com\)](#)』アプリケーションレポート。

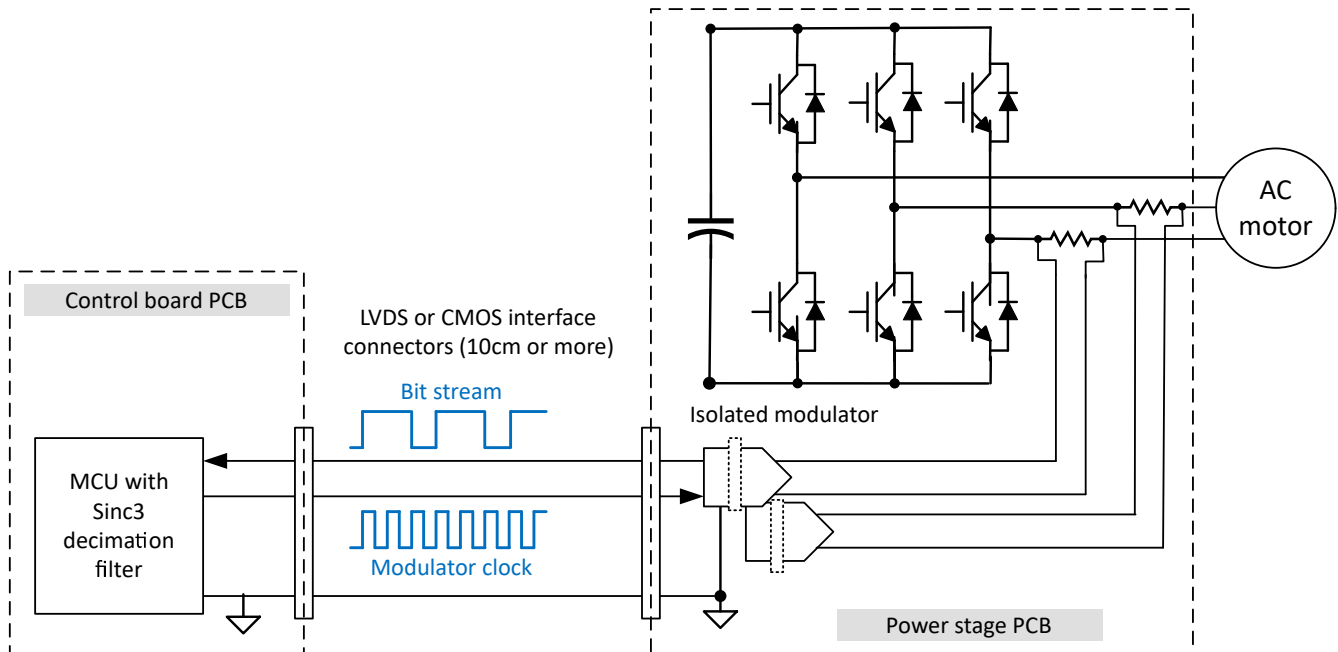


図 1-1. MCU から絶縁型変調器へのデジタルインターフェイスを備えた三相インバータの概略ブロック図

変調器のクロックエッジとデジタルビットストリーム間のタイミングを合わせることは、特に信号パターンが非常に長く追加のバッファやレベルシフタが使用される場合、さらなる設計上の課題となる可能性があります。変調器のクロックとビットストリーム信号の伝搬遅延が長くなると、MCU でのクロックエッジとビットストリームデータの間のタイミングを合わせるために、設計者は変調器のクロックを最大の 21MHz (AMC1306) から例えば 15MHz に減らす必要が生じます。このため、相電流の総合的な測定レイテンシは、選択した変調クロックに反比例して増加します。たとえば、一般的に使用されるオーバーサンプリングレートが 64 の Sinc3 デシメーションフィルタでは、20MHz 変調クロックでの測定レイテンシ (伝搬遅延) は 4.8us ですが、15MHz 変調クロックのみが使用可能な場合、レイテンシは 6.4us に増加します。

この資料の以下のセクションでは、この設計上の課題を克服するためのデジタルタイミング補償方法の概要を紹介し、絶縁型変調器を使用する設計が最高精度の測定だけでなく非常に簡単な測定も実現できることを示します。

## 2 デジタル インターフェイスのタイミング仕様に関する設計上の課題

絶縁型 デルタ シグマ 変調器は、外部生成と内部生成の両方のクロック信号に対して、CMOS インターフェイスまたは LVDS インターフェイスのいずれかを使用するインターフェイス オプションを提供します。CMOS インターフェイスを搭載した [AMC1306M25](#) や LVDS インターフェイスを搭載した [AMC1305L25](#) など、外部から供給されたクロック ソースを持つデバイスの場合、クロック信号は MCU からデルタ シグマ変調器のクロック入力にルーティングされます。一方、[AMC1303M2520](#) など、内部にクロック ソースを搭載したデバイスの場合、出力ビットストリームは内部で生成されたクロックに同期します。[AMC1306E25](#) のように、1 線式のデータおよびクロック転送をサポートする、マンチェスター符号化された出力ビット ストリームを持つ絶縁型デルタ シグマ変調デバイスもあります。すべての絶縁型デルタ シグマ変調器について、変調器のデータ出力はデジタルの 1 と 0 のビット ストリームを提供し、クロック エッジに同期してシフトアウトされます。

図 2-1 に、絶縁型デルタ シグマ変調器 [AMC1306M25](#) と [C2000 MCU TMS320F28379D](#) の間の 3.3V I/O を備えた CMOS インターフェイスの概略例を示します。[AMC1306M25](#) には外部のクロック ソースが必要なため、クロック信号は MCU [TMS320F28379D](#) によって生成され、デルタ シグマ変調器のクロック入力 `CLKIN` に供給されます。並行して、生成されたクロック信号も MCU のシグマ デルタ フィルタ モジュール (SDFM) `SD1_C1 (GPIO123)` へのクロック入力にルーティングされます。システム設計によっては、MCU と絶縁型デルタ シグマ変調器の間のクロック インターフェイスにクロック バッファを搭載することができます。デルタ シグマ変調器の絶縁型データ出力 `DOUT` は、MCU のシグマ デルタ フィルタ モジュール (SDFM) データ入力 `SD1_D1 (GPIO122)` に直接接続されています。

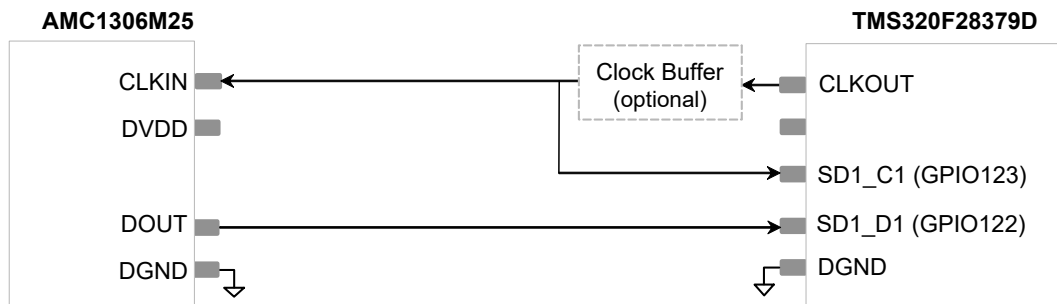


図 2-1. TMS320F28379D への AMC1306M25 のデジタル インターフェイスの概略

絶縁型デルタ シグマ変調器と MCU の間の有効な通信は、該当するデバイスのデータシートに、セットアップおよびホールドのタイミング要件により記載されます。セットアップ時間とは、MCU 内のデータ信号をキャプチャするため、クロック信号が遷移する前に、データ信号が有効で安定している必要がある時間の長さです。ホールド時間は、クロック信号の遷移が発生した後、信号が有効で安定して保持されなければならない時間です。違反すると誤ったデータがキャプチャされる可能性があるため、MCU のセットアップ時間とホールド時間の要件を満たすことが不可欠です。絶縁型デルタ シグマ変調器と MCU のデジタル インターフェイスのセットアップおよびホールド タイミング要件に互換性がない場合、設計上の課題が発生する可能性があります。

図 2-2 に、データ ホールド時間  $t_h(\text{MIN}) = 3.5\text{ns}$ 、データ遅延時間  $t_d(\text{MAX}) = 15\text{ns}$  で、5MHz から 21MHz の推奨クロック周波数 (`CLKIN`) をサポートする [AMC1306x](#) のセットアップおよびホールド時間のデジタル インターフェイスのタイミングの概要を示します。

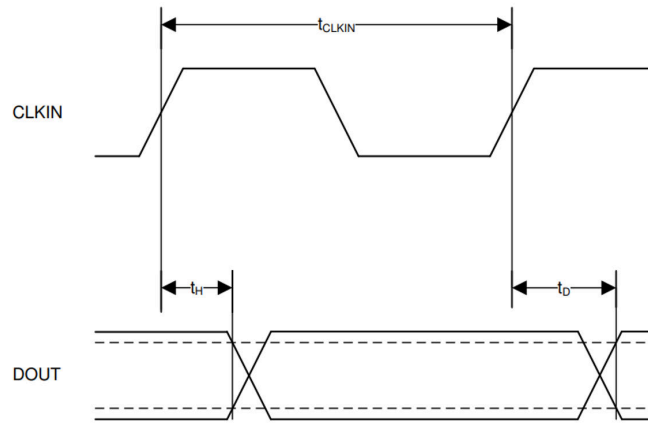


図 2-2. AMC1306x のデジタル インターフェイスのタイミング

図 2-3 に、TMS320F28379D シグマ デルタ フィルタ モジュール (SDFM) のモード 0 のタイミング図の概要を示します。SDx\_Dy のデータ入力は、SDFM モジュールの SDx\_Cy 信号の立ち上がりクロック エッジを基準として、最小セットアップ時間  $t_{su(SDDV-SDCH)M0}$  および最小ホールド時間  $t_h(SDCH-SDD)M0$  を満たす必要があります。

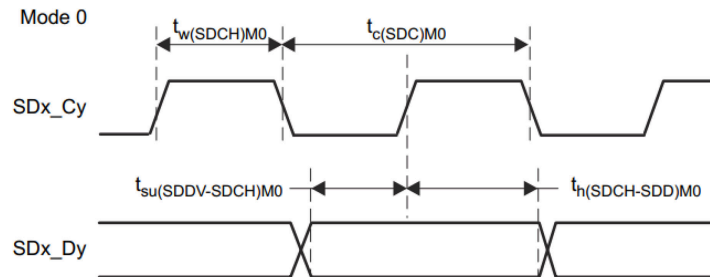


図 2-3. TMS320F28379D SDFM タイミング図 - モード 0

モード 0 の TMS320F28379D SDFM モジュールでは、検定済み GPIO (3 サンプル ウィンドウ) で SDFM 動作を使用することを推奨します。このモードでは、入力クロック信号 (SDx\_Cy) とデータ入力 (SDx\_Dy) のランダム ノイズ グリッチ に対する保護が提供され、コンパレータの過電流の誤トリップと Sinc フィルタの誤出力を防止できます。TMS320F28379D を使用した 200MHz システム クロックの最小セットアップ時間およびホールド時間は、両方とも 10ns です ( $t_{su(SDDV-SDCH)M0}(\text{MIN}) = 10\text{ns}$  および  $t_h(SDCH-SDD)M0(\text{MIN}) = 10\text{ns}$ )。

AMC1306M25 の最小ホールド時間  $t_h(\text{MIN})$  は 3.5ns であるため、設計上の課題が生じますが、SDx\_Cy 信号の立ち上がりクロック エッジを基準として、データ入力 SDx\_Dy での正しいデータ取得を維持するには SDFM モジュールで 10ns が必要です。

付加的な課題は、クロック バッファのようなデジタル インターフェイスを使用するシグナル チェーン内の付加的な部品の伝搬遅延や、PCB 上のパターン長によって生じるクロック信号とデータ信号の伝搬遅延が、SDx\_Cy と SDx\_Dy 入力間のタイミングに影響を及ぼし、データ入力の正しいアクイジション タイミングが複雑になります。

AMC1305L25 など、LVDS インターフェイスを採用したデルタ シグマ 変調器にも、同じことが当てはまります。CMOS インターフェイス タイプの AMC1306M25 デルタ シグマ 変調器との唯一の違いは、CMOS インターフェイスを搭載した MCU へのデジタル信号チェーンに LVDS ドライバやレシーバのような追加部品が必要なことで、その結果、伝搬遅延がさらに長くなります。図 2-4 に、LVDS インターフェイスを備えた絶縁型デルタ シグマ 変調器 AMC1305L25 と、CMOS インターフェイスを備えた MCU TMS320F28379D の間のデジタル インターフェイスの概略を示します。

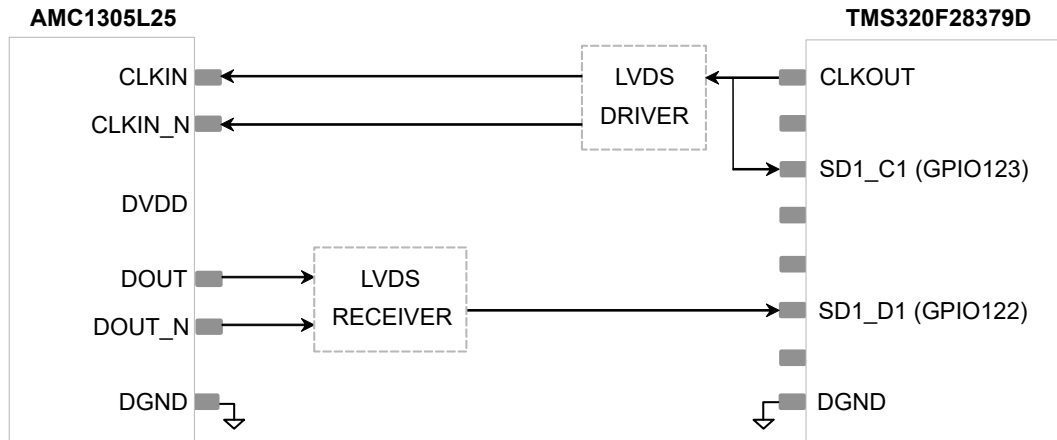


図 2-4. TMS320F28379D への AMC1305L25 のデジタル インターフェイス

図 2-5 に、内部で生成されたクロックソース AMC1303Mx と、CMOS インターフェイス付きの絶縁型デルタシグマ変調器と CMOS インターフェイス付きの TMS320F28379D とのデジタル インターフェイスの概略を示します。AMC1303Mx の内部生成されたクロック信号 CLKOUT は、MCU のシグマデルタフィルタモジュール (SDFM) SD1\_C1 (GPIO123) に入力されます。デルタシグマ変調器の絶縁型データ出力 DOUT は、SDFM の MCU データ入力 SD1\_D1 (GPIO122) に直接接続されています。

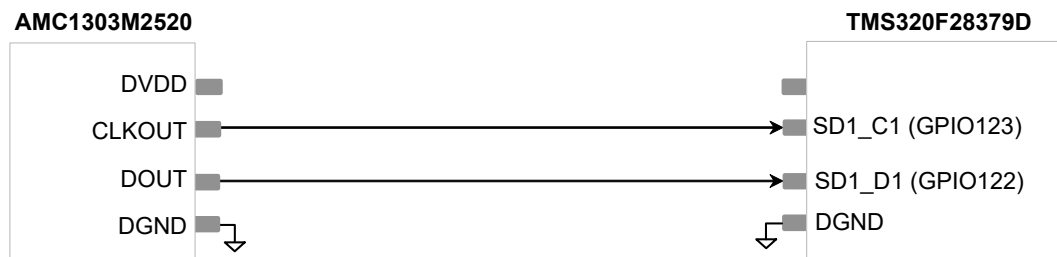


図 2-5. TMS320F28379D への AMC1303M2520 の 3.3V CMOS デジタル インターフェイス

絶縁型変調器を内部クロックとともに使用する場合、デジタル インターフェイスの課題は、絶縁型デルタシグマ変調器のさまざまなタイミング仕様と MCU のセットアップ時間およびホールド時間に限定されます。クロック信号とデータ信号が同じ長さで配線されている場合、PCB 上のパターン長によって生じるクロック信号とデータ信号の伝搬遅延は無視できます。通常、変調器は MCU に直接インターフェイスされているので、伝搬遅延の増加をもたらすバッファやレベル シフタは不要です。

10MHz および 20MHz クロック バージョンでは、AMC1303Mx のホールド時間  $t_h$  (MIN) は 7ns、遅延時間  $t_d$  (MAX) は 15ns です。課題は、AMC1303Mx の最小ホールド  $t_h$  (MIN) が 7ns なのに、セットアップ時間やホールド時間の違反なしに、SDx\_Dy でデータ入力を正しく取得するには、SDFM モジュールで 10ns が必要となることです。

AMC1306E25 など、マンチェスター エンコードされたビットストリーム出力を持つ絶縁型デルタシグマ変調器の場合、データとクロックは 1 線式を使用して転送されます。そのため、受信デバイスのセットアップ時間とホールド時間の要件と変調器のクロックとの関係を考慮する必要はありません。

MCU のセットアップ時間とホールド時間の要件を満たすために一般的に使用される方法と妥協案は、クロック周波数の低減です。ただし、クロック周波数を低くすると、絶縁型デルタシグマ変調器のデータ出力レートも低下し、電流測定のレイテンシが増加します。より適切な方法は、クロック エッジ遅延補償を使用することで、これにより、セットアップおよびホールドのタイミング要件を満たすために、クロック信号のクロック エッジをデータ信号の理想的なサンプルポイントに移動できます。この方法を使用すると、クロック周波数の制限がなくなり、絶縁型デルタシグマ変調器とシステムが最高の性能で動作できるようになります。

### 3 クロック エッジ遅延補償を使用した設計アプローチ

信頼性の高いデータ アクイジションを実現するため、MCU をセットアップおよびホールド タイミング要件を満たし、さらに最適化するには、クロック エッジ遅延補償を推奨します。クロック エッジ遅延補償は次のセクションで詳しく説明するように、さまざまな方法で実装できます。その概要は次のとおりです。

1. ソフトウェアで位相遅延を設定可能な追加のクロック信号
2. ハードウェアで位相遅延を構成可能なクロック信号
3. クロック復帰
4. MCU でのクロック反転

#### 3.1 ソフトウェアで設定可能な位相遅延によるクロック信号補償

ソフトウェアで設定可能な位相遅延を持つ追加の位相ロック クロック信号を使用する最初の補償方法を、[図 3-1](#) に示します。この補償方法では、位相シフトされたクロック信号 CLKOUT\_delay が、シグマ デルタ フィルタ モジュール (SDFM) の SD0\_CLK へのクロック入力として使用されます。C2000 MCU など、他の種類のデルタ シグマ変調器や MCU の補償方法も同じ原理に従います。

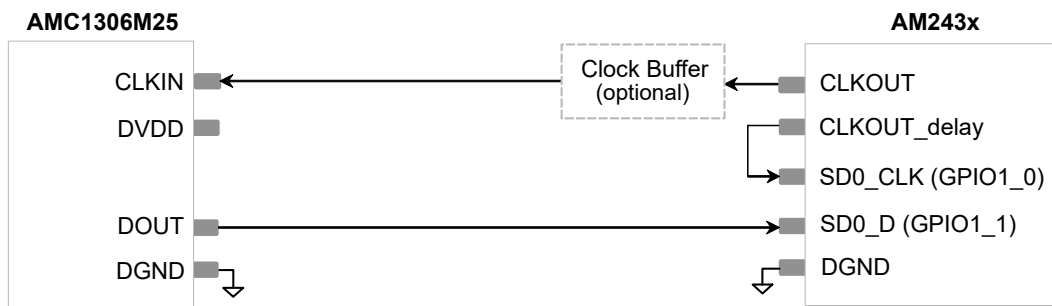


図 3-1. ソフトウェアで設定可能なクロック位相遅延付き AMC1306M25 - AM243x MCU インターフェイス

2 番目の位相シフトされたクロック信号を実装することで、最高の自由度とユーザーによる構成変更が可能になります。これは、ソフトウェアで単に位相シフトの値を変更するだけで、各種絶縁型変調器の最小ホールド時間  $t_h(\text{MIN})$  のさまざまな値を補償できることを意味します。[図 3-2](#) に示すように、SD0\_CLK 入力でのクロック信号の立ち上がりエッジは、クロック信号が SDFM のデータ サンプリング ポイントに適合するように位相シフトされます。[AM243x PRU\\_ICSSG PRU のシグマ デルタ モードでのタイミング要件](#) は、最小セットアップ時間  $t_{su}(\text{SD}_D\text{-SD\_CLK}) (\text{MIN}) = 10\text{ns}$  に対して  $10\text{ns}$ 、最小ホールド時間  $t_h(\text{SD\_CLK-SD}_D) (\text{MIN}) = 5\text{ns}$  に対して  $5\text{ns}$  です。AMC1306M25 の最小ホールド時間  $t_h(\text{MIN})$  は  $3.5\text{ns}$  であるため、SDx\_CLK 信号の立ち上がりクロック エッジを基準として、データ入力 SDx\_D での正しいアクイジションを維持するために補償が必要になりますが、 $5\text{ns}$  が必要になることもあります。この補償方法を適用した後、AM243x PRU\_ICSSG PRU のシグマ デルタ モードの  $10\text{ns}$  の最小セットアップ タイミングおよび  $5\text{ns}$  のホールド タイミング要件を満足します。[図 3-2](#) を参照してください。

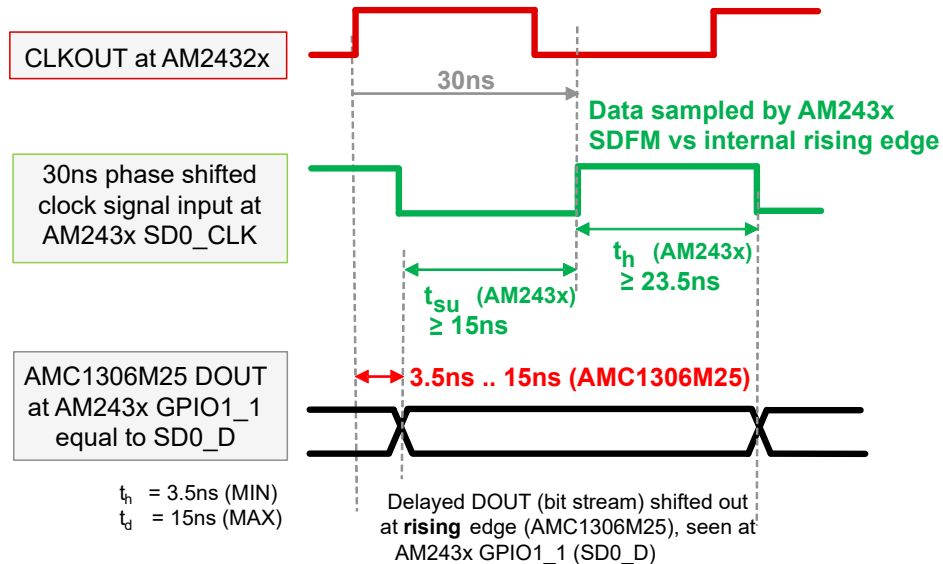


図 3-2. SD0\_CLK (GPIO1\_1) で 30ns 位相シフト クロック信号入力を使用した AM243x SDFM のタイミング

### 3.2 ハードウェアで構成可能な位相遅延によるクロック信号補償

AMC1306M25 と MCU の間のデジタル インターフェイスのハードウェアで構成可能な位相遅延によるクロック信号補償を 図 3-3 に示します。この補償方法では、ハードウェアの位相遅延によって位相シフトされたクロック信号を、MCU の SDFM モジュールのクロック入力 SDFM\_CLKIN に接続します。このタイプの補償は、シグマデルタフィルタ モジュールを搭載したすべての MCU で機能しますが、推奨されるのは、外部クロックソースと CMOS インターフェイスを搭載した絶縁型デルタシグマ変調器のみです。

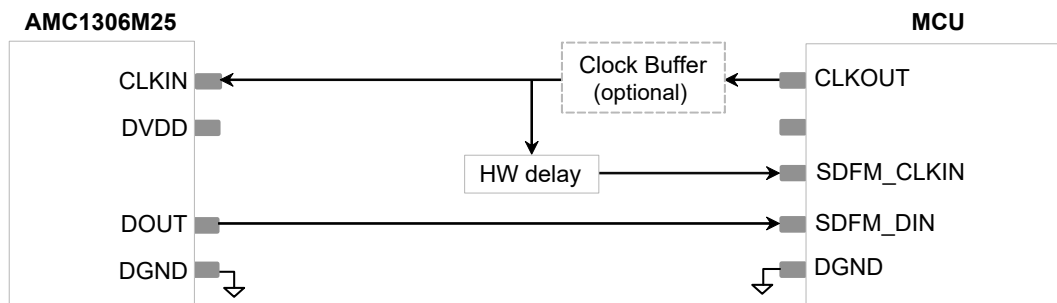


図 3-3. MCU への AMC1306M25 デジタル インターフェイス、ハードウェアで構成可能な位相遅延による補償付き

ハードウェアに位相遅延を実装するために、論理ゲートまたはバッファを使用してクロック信号に伝搬遅延を導入できます。ただし、ハードウェアに遅延を実装する場合、遅延の値はハードウェア ブロックの伝搬遅延に大きく依存し、自由度とユーザーによる構成可能性を制限します。ハードウェアで位相遅延を構成可能なクロック信号による補償の動作原理は、セクション 3.1 で説明するのと同じ原理に従います。

### 3.3 クロック復帰によるクロック信号補償

図 3-4 に、クロック復帰によるクロック信号補償を示します。この補償方法により、AMC1306M25 のクロック入力 CLKIN に供給されるクロック信号は、AMC1306M25 の CLKIN ピンから MCU の SDFM クロック入力 SDFM\_CLKIN に戻されます。



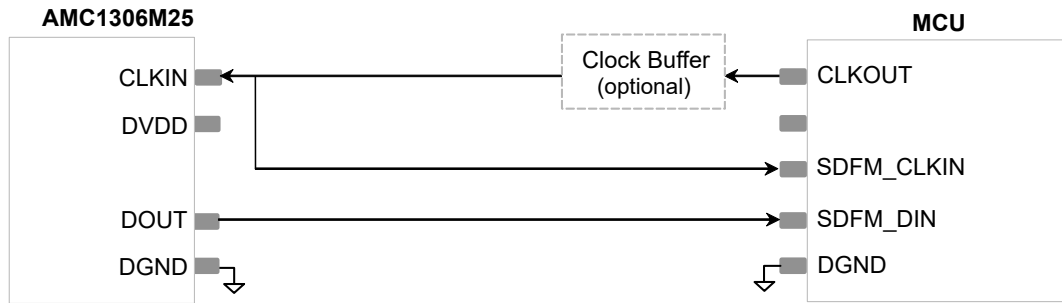


図 3-4. MCU へのクロック復帰による補償付き AMC1306M25 デジタル インターフェイス

この方法を使用することで、クロック バッファによる伝搬遅延と、PCB パターン長による伝搬遅延が、クロックおよびデータ信号に対して同じになります。したがって、クロック信号とデータ信号のこれらの遅延は互いに打ち消し合います。

ただし、AMC1306M25 デジタル インターフェイスのデータ ホールド時間  $t_H(\text{MIN}) = 3.5\text{ns}$  およびデータ遅延時間  $t_d(\text{MAX}) = 15\text{ns}$  のタイミングは、引き続き維持されます。つまり、PCB を構築した後で、SDFM の MCU のセットアップおよびホールド タイミング要件が満たされていることを検証する必要があります。このタイプの補償方法は、外部クロックソースと CMOS インターフェイスを備えた絶縁型デルタ シグマ変調器にのみ推奨されます。

### 3.4 MCU におけるクロック反転によるクロック信号補償

クロック信号補償の最後の方法は、MCU でのクロック反転です。この方法は、外部クロックソースと内部クロックソースを組み合わせたデルタ シグマ変調器で動作します。この場合、選択する MCU は GPIO 入力を反転できる必要があります。SDFM (シグマ デルタ フィルタ モジュール) より前の TMS320F28379D GPIO 入力は、図 3-5 に示すように、任意の GPIO で入力信号を反転するように設定できます。たとえば、クロック入力信号が GPIO123 で反転されるため、SD1\_C1 クロック信号が AMC1303Mx のクロック信号に対して反転します。その結果、SDFM は図 3-6 に示すように、GPIO123 の入力における外部クロック信号の立ち下がりエッジに対して入力データ SD1\_D1 をサンプリングします。

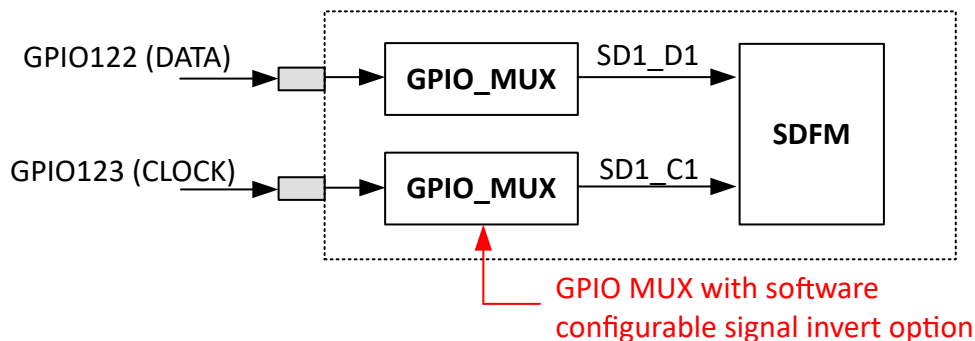


図 3-5. TMS320F28379D SDFM/GPIO のブロック図

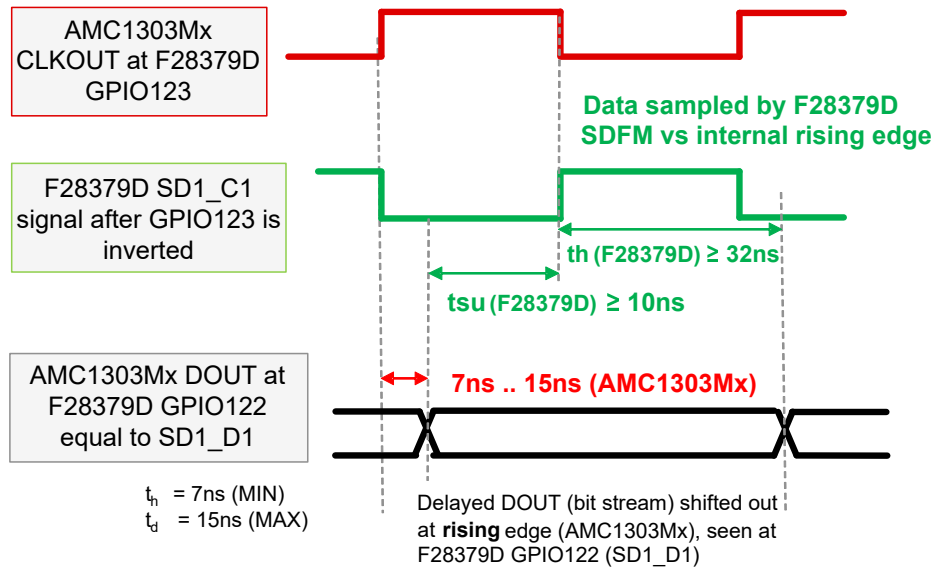


図 3-6. GPIO123 での反転クロックの TMS320F28379D SDFM のタイミング

GPIO を使用してクロック入力信号を反転すると、クロック信号にクロック周期の半分の固定遅延が追加されます。システム設定のタイミング仕様と伝搬遅延に応じて、この追加の遅延は SDFM 認定 GPIO (3 サンプル) モード 0 の最小 10ns の TMS320F28379D のセットアップおよびホールド タイミングを満たすのに十分です。ただし、このクロック信号補償方法の追加の遅延時間は固定されており変更できないため、結果として得られる SDFM 認定 GPIO (3 サンプル) モード 0 の MCU のセットアップとホールドのタイミングが満たされていることを、システム設計ごとに確認する必要があります。

この補償方法は、Sitara MCU にも適用できます。Sitara MCU では、外部クロック信号の立ち上がりエッジと立ち下がりエッジの両方を、ソフトウェアでデータ収集ポイントとして設定できます。

## 4 テストと検証

以下のセクションでは、[セクション 3.1](#) で説明しているソフトウェアによる位相遅延を持つ追加のクロック信号を使用したクロック エッジ補償と、[セクション 3.4](#) で説明しているクロック反転を使用したクロック エッジ補償のテスト結果を示します。最初に試験装置とソフトウェアについて説明し、次にクロック信号補償方法の試験構成と測定やテストの結果について説明します。

### 4.1 試験装置とソフトウェア

この測定の主な試験装置を [表 4-1](#) に示します。

**表 4-1. 試験装置一覧**

説明	部品番号
AMC1306 強化絶縁型変調器の評価基板	AMC1306EVM
C2000™ Delfino™ MCU 向け F28379D LaunchPad™ 開発キット	LAUNCHXL-F28379D
Arm® ベース MCU 向け、AM243x 汎用 LaunchPad™ 開発キット	LP-AM243
高速オシロスコープ	Tektronix MSO 4104
シングルエンドプローブ	Tektronix P6139A

ソフトウェアの開発とデバッグは、[Code Composer Studio™ \(CCS\) バージョン 12.4.0](#) で実行されます。CCS は統合開発環境 (IDE) で、テキサス・インスツルメンツのマイコン (MCU) と組み込みプロセッサ ポートフォリオをサポートしています。[C2000 マイコン用の C2000WARE - C2000Ware](#) をベースとする TMS320F28379D では、テキサス・インスツルメンツの社内テスト ソフトウェアを使用しました。Sitara AM243x Launchpad では、Sitara™ マイコン [MCU-Plus-SDK-AM243X バージョン 09.00.00.35](#) 用の AM243x ソフトウェア開発キット (SDK) をベースとするテキサス・インスツルメンツ社内テスト ソフトウェアを使用しました。C2000 と Sitara の具体的な実装とソフトウェア サポートについては、[テキサス・インスツルメンツ E2E サポート フォーラム](#) をご覧ください。

### 4.2 ソフトウェアで設定可能な位相遅延によるクロック信号補償のテスト

この測定は、ソフトウェアで設定可能な位相遅延を持つ追加のクロック信号を使用して、セットアップおよびホールド タイミング要件がクロック信号補償で満たされることを検証するものです。テストは、C2000 TMS320F28379D Launchpad と Sitara AM243x Launchpad の両方を使用して実行および検証されました。

#### 4.2.1 テスト構成

AMC1306EVM と C2000 TMS320F28379D Launchpad を使用した、ソフトウェアで構成可能な位相遅延測定による、追加のクロック信号でのクロック信号補償のテスト構成を [図 4-1](#) に示します。この測定を行うには、シングルエンド プローブを使用して AMC1306EVM のクロック入力 CLKIN でのクロック信号と、SDFM の MCU データ入力 SD1\_D1 (GPIO122) で測定されたデルタ シグマ変調器のデータ出力 DOUT を測定します。位相遅延をソフトウェアでプログラム可能なクロック信号は、MCU のシグマ デルタフィルタ モジュール (SDFM) SD1\_C1 (GPIO123) のクロック入力に測定されます。AMC1306EVM の入力ピン AINP と AINN は互いに短絡してグランドに接続されているため、50/50 の 1 と 0 の密度が出力されます。アナログ電源 AVDD は、評価基板上の絶縁型トランス回路を使用して生成します。絶縁型変調器のデジタル電源である DVDD (3.3V) は、C2000 TMS320F28379D Launchpad から電力を供給されます。

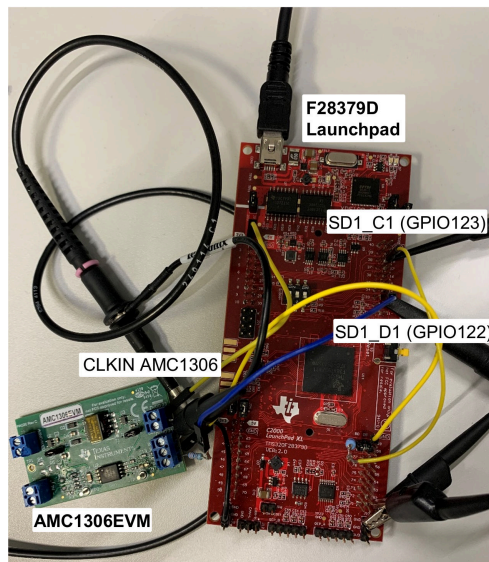


図 4-1. AMC1306EVM と C2000 TMS320F28379D LaunchPad を使用した、ソフトウェアでの位相遅延によるクロック信号補償のテスト構成

図 4-2 に、Sitara AM243x LaunchPad を使用した同じ測定構成と、対応する測定ポイントを示します。

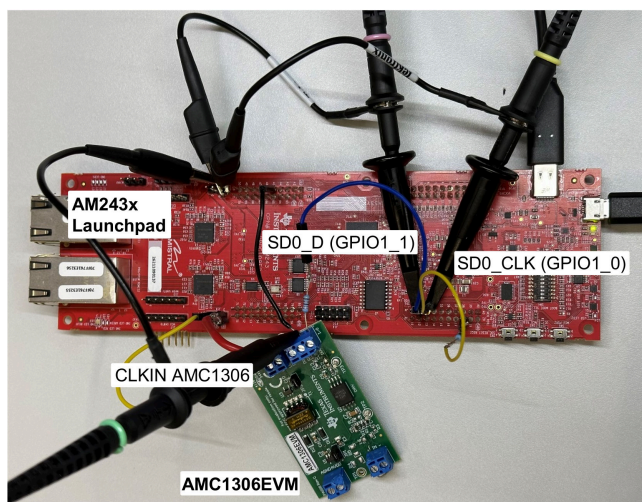


図 4-2. AMC1306EVM と Sitara AM243x LaunchPad を使用した、ソフトウェアで構成可能な位相遅延によるクロック信号補償のテスト構成

#### 4.2.2 テスト測定結果

TMS320F28379D では、内部のテキサス・インスツルメンツ SDFM ソフトウェア プロジェクトを実行しており、2 つの GPIO である GPIO122 と GPIO123 を SDFM モードに設定しています。SDFM データフィルタは、オーバーサンプリング率 64 (OSR64) で Sinc3 用に構成されます。このテストを実行するには、ePWM4 モジュールを使用してデューティサイクル 50% の 20MHz クロック信号を生成し、AMC1306EVM の CLKIN ピンに供給します。ePWM5 モジュールは、50% のデューティサイクルと 30ns の位相シフトで、フェーズロックされた 20MHz クロック信号を出力するように設定されています。この信号は SD1\_C1 (GPIO123) に供給されます。AMC1306EVM の DOUT データビットストリームは立ち上がりクロックエッジでのみ変化するため、AMC1306 データシートのセクション 7.11「スイッチング特性」に記載されているように、クロックサイクルごとに 1 回であることを注意してください。

図 4-3 に、オシロスコープ測定とインターフェイス図を示します。AMC1306EVM の CLKIN ピンに入力されるクロック信号は、チャンネル 3 の緑色の波形で表現されています。AMC1306EVM から出力されるデータ信号は、チャンネル 2 の赤色で示した SD1\_D1 (GPIO122) 信号です。SD1\_C1 (GPIO123) に入力される位相シフトされたクロック信号は、チャンネル 1

で測定された青色の波形です。SDFM モジュールは、位相シフトされたクロック信号 SD1\_C1 (GPIO123) の立ち上がりエッジに対してデータ信号をサンプリングするため、セットアップ時間は約 18ns、ホールド時間は約 24ns になります。これにより、SDFM 認定 GPIO (3 サンプル) モード 0 の最小 10ns の TMS320F28379D のセットアップおよびホールドタイミングが満たされます。さらに、この設計は、システムの伝搬遅延の変化 (正または負) を許容できるように、最適なマージンを提供します。

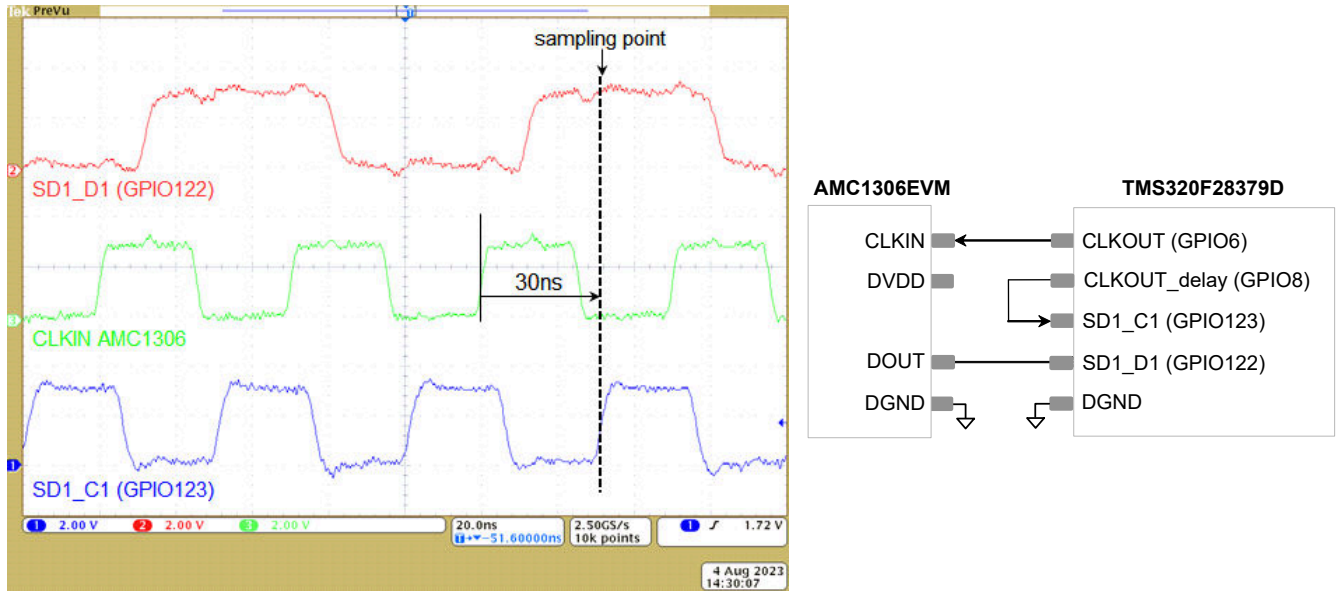


図 4-3. ソフトウェアで構成可能な位相遅延によるクロック信号補償を使用した AMC1306EVM と TMS320F28379D のデジタル インターフェイス タイミングの測定結果

図 4-4 に、Sitara AM243x LaunchPad を使用して実行した同様のテストの測定結果を示します。結論として、ソフトウェアで構成可能な位相遅延を持つ追加のクロック信号を使用したクロック信号の補償は、MCU のセットアップおよびホールドのタイミング要件を満たすことが認められた方法です。この方法は位相シフトの値を構成できる上に、位相シフトしたクロック信号実装のために GPIO ピンを追加するだけでよいので、広い範囲の MCU で使用でき、最高の自由度を提供します。

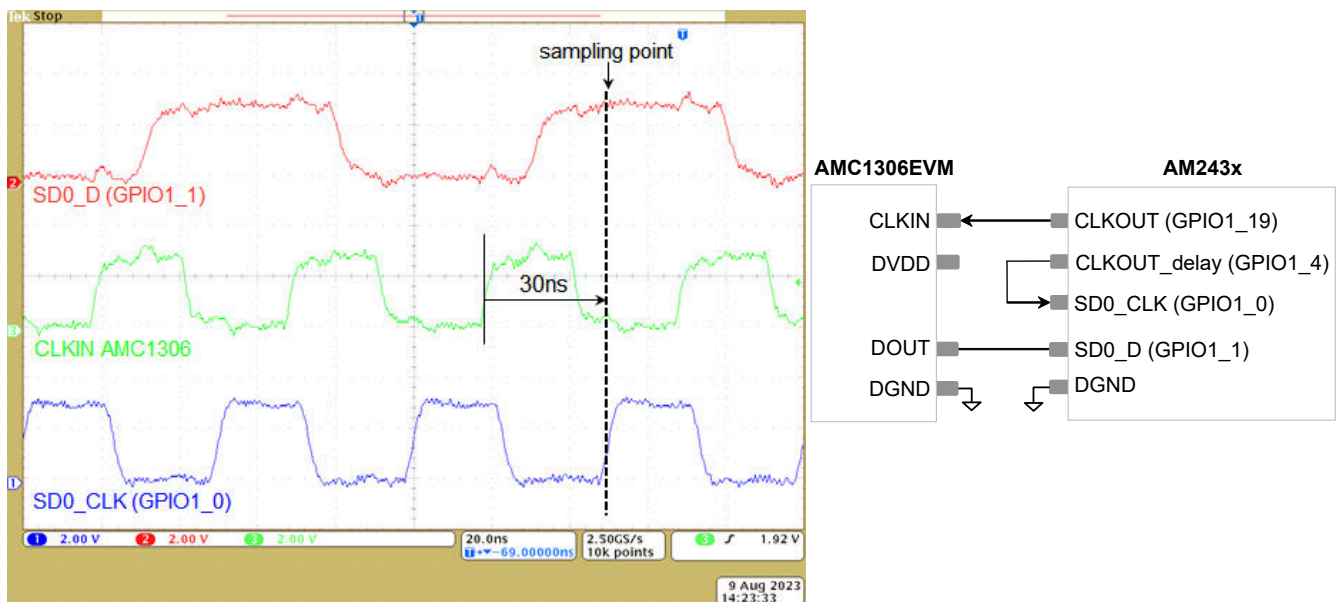


図 4-4. ソフトウェアで構成可能な位相遅延によるクロック信号補償を使用した AMC1306EVM と AM243x のデジタル インターフェイス タイミングの測定結果

### 4.3 MCU におけるクロック反転によるクロック信号補償のテスト

この構成は C2000 TMS320F28379D Launchpad を用いてテストおよび検証を行っています。

#### 4.3.1 テスト構成

C2000 TMS320F28379D Launchpad を使用した MCU でのクロック反転によるクロック信号補償のテスト構成を [図 4-5](#) に示します。この測定では、MCU によって 2 つのテスト信号が生成されます。一方の信号は MCU SDFM のクロック入力 SD1\_C1 (GPIO123) に接続され、もう一方の信号は SDFM のデータ入力 SD1\_D1 (GPIO122) に接続されます。

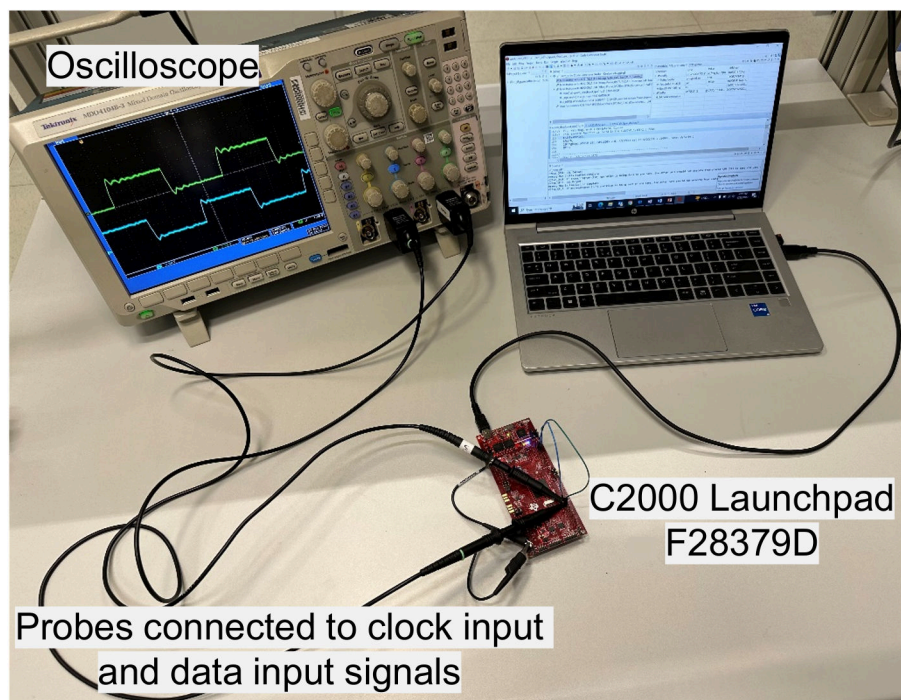


図 4-5. デジタル インターフェイスのタイミング検証のテスト構成

#### 4.3.2 テスト測定結果

TMS320F28379D では、内部のテキサス・インスツルメンツ SDFM ソフトウェア プロジェクトを実行しており、2 つの GPIO である GPIO122 と GPIO123 を SDFM モードに設定しています。SDFM フィルタは、Sinc3 および OSR™ 64 フィルタ用に構成されます。Sinc3 OSR64 フィルタは、16 ビットの 2 の補数整数を出力し、最大フルスケール範囲は +16384~-16384 です。

このテストを実行するには、デューティ サイクル 50% の 90 度位相シフトされた 10MHz クロック信号 2 つを、それぞれ GPIO123 (SD1\_C1) および GPIO122 (SD1\_D1) に供給します。AMC1306EVM の DOUT データビットストリームは、クロックの立ち上がりエッジでのみ変化するため、クロック サイクルごとに 1 回変化することに注意してください。このテストでは、SD1\_D1 データは半クロック サイクルごとに 0 と 1 の間で切り替わります。これは、クロック サイクルごとに変化する AMC1306EVM の DOUT データ信号とは異なります。

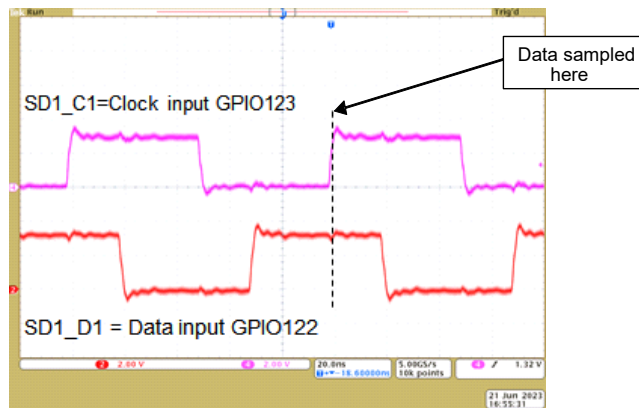
この特定のテスト信号が印加されるため、GPIO122 (SD1\_D1) の入力データは GPIO123 の立ち上がりクロック エッジで常にロジック「1」になり、立ち下がりエッジでは常にロジック「0」になります。したがって、OSR 64 フィルタ付きの Sinc3 フィルタの出力は、テスト データを SDFM でサンプリングするクロック エッジによって異なり、Sinc3 OSR 64 フィルタの出力は GPIO123 でクロック反転がなければ 16384 (常にサンプリングは「1」) で、GPIO123 でクロック反転が発生している場合は -16384 (常にサンプリングは「0」) となります。

#### 4.3.2.1 テスト結果 – GPIO123 でのクロック入力の反転なし

図 4-6 に、GPIO123 への入力であるクロック信号 SD1\_C1 と、GPIO122 への入力である位相シフト データ信号 SD1\_D1 のオシロスコープ測定を示します。この測定では、以下に示すように、ソフトウェアによる GPIO123 の反転は行いません。

```
// Set 3-sample qualifier for GPIO122 and GPIO123 and do not invert GPIO123
GPIO_SetupPinOptions(122, GPIO_INPUT, GPIO_QUAL3); // GPIO123 not inverted
GPIO_SetupPinMux(122,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_D1
GPIO_SetupPinMux(123,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_C1
```

データ SD1\_D1 は、SD1\_C1 の立ち上がりエッジで TMS320F28379D SDFM によってサンプリングされます。これは、GPIO123 の非反転クロック信号の立ち上がりエッジに対応します。TMS320F28379D がサンプリングしたデータは常にロジック「1」であり、以下に示すように Code Composer Studio™ (CCS) の Sinc3 OSR64 フィルタ +16384 の出力によって検証されました。



Expression	Type	Value	Address
GpioCtrlRegs.GPDINV.bit.GPIO123	unsigned int : 1	0	0x00007CD1@Data bit 11
SD1_D1_SincOSR64	int	16384	0x00014147@Data

図 4-6. CCS のクロックおよびデータ入力テスト信号 (非反転 GPIO123) および Sinc3 OSR 64 フィルタ出力

#### 4.3.2.2 テスト結果 – GPIO123 でのクロック入力のクロック反転

図 4-7 に、GPIO123 への入力であるクロック信号 SD1\_C1 と、GPIO122 への入力である位相シフト データ信号 SD1\_D1 を示します。このテスト構成では、以下に示すように、ソフトウェアによって GPIO123 を反転します。

```
// Set 3-sample qualifier for GPIO122 and GPIO123 and do not invert GPIO123
GPIO_SetupPinOptions(123, GPIO_INPUT, GPIO_INVERT | GPIO_QUAL3);
GPIO_SetupPinMux(122,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_D1
GPIO_SetupPinMux(123,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_C1
```

データ SD1\_D1 は、SD1\_C1 の立ち下がりエッジで F28379D SDFM によってサンプリングされるようになり、これは、GPIO123 入力の反転クロック信号の立ち上がりエッジに対応します。F28379D によってサンプリングされたデータは常にロジック「0」であり、以下に示すように、Code Composer Studio の Sinc3 OSR64 フィルタ -16384 の出力を通じて検証されました。

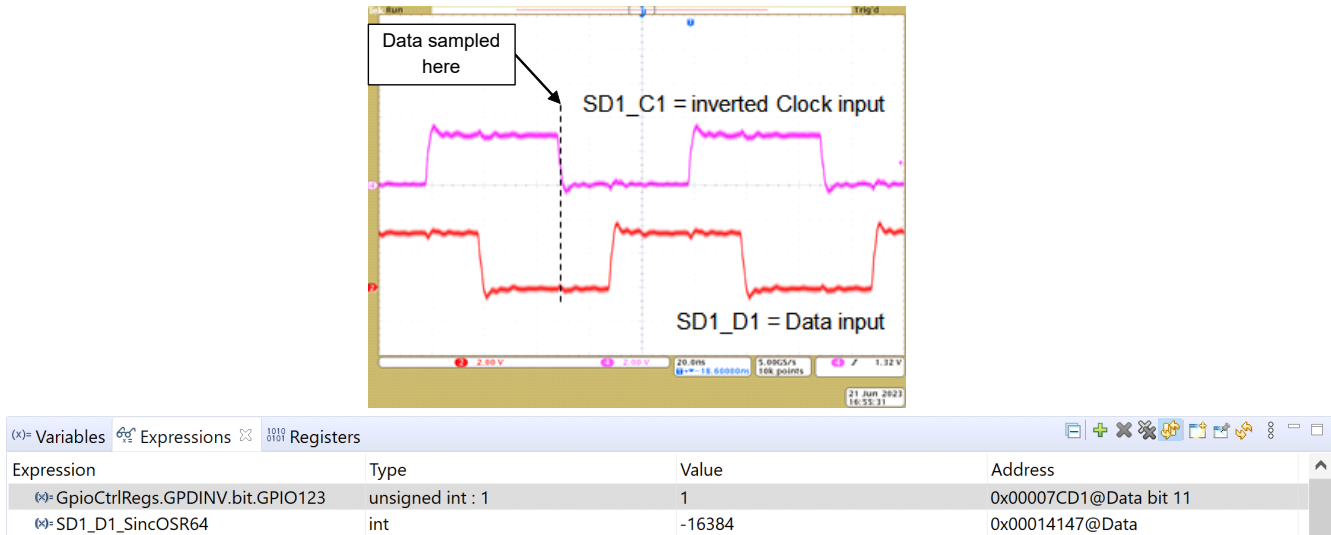


図 4-7. CCS のクロックおよびデータ入力テスト信号 (非反転 GPIO123) および Sinc3 OSR 64 フィルタ出力

最後に、ソフトウェアで GPIO 入力のクロック入力を反転してクロック信号を補償する方法を検証しました。クロックを反転することで、クロック信号にクロック周期の半分の固定遅延が追加されます。これは、SDFM 認定 GPIO (3 サンプル) モード 0 の TMS320F28379D のセットアップおよび最小タイミング 10ns のホールドを満たすのに十分です。ただし、結果として得られる SDFM 認定 GPIO (3 サンプル) モード 0 の MCU のセットアップおよびホールド タイミングを満足できるか、各システム設計を個別にチェックする必要があります。

#### 4.4 計算ツールによるデジタル インターフェイス タイミングの検証

MCU と絶縁型デルタ シグマ変調器の間のデジタル インターフェイス タイミングのシミュレーションと検証を目的として、[計算ツール](#)を開発しました。最も一般的に使用されている絶縁型デルタ シグマ変調器 [AMC1306M25](#) と [AMC1305L25](#) を、デジタル インターフェイスのタイミング分析用に選択しました。[AMC1305L25](#) は LVDS インターフェイス タイプを採用しており、CMOS インターフェイスで MCU を接続する場合、LVDS ドライバと LVDS レシーバが必要です。計算ツールにはセットアップ時間とホールド時間の要件のみが入力されるため、MCU はユーザーが個別に選択できます。以下では、[AMC1305L25](#) と C2000 MCU [TMS320F28379D](#) の間のデジタル インターフェイス タイミングを最適化するための計算ツールの使用方法をステップごとに示しています。

##### 4.4.1 補償方法のないデジタル インターフェイス

C2000 MCU [TMS320F28379D](#) は、200MHz システム クロックのモード 0 で SDFM GPIO 入力認定 (3 サンプル ウィンドウ) オプションで動作します。最小セットアップ時間とホールド時間は両方とも 10ns なので、 $t_{su}(SDDV-SDCH)_{M0}(MIN) = 10ns$ 、 $t_h(SDCH-SDD)_{M0}(MIN) = 10ns$  を計算ツールに入力します。さらに、基準として LVDS ドライバ [DSLVD51047](#) と LVDS レシーバ [DSLVD51048](#) の伝搬遅延を入力します。データシートに規定されている最大クロック周波数である、絶縁型デルタ シグマ変調器のクロック入力の 20MHz のクロック信号では、[AMC1305L25](#) のデータ遅延時間  $t_D$  が、表 2 に示すデータシートに規定されている最小仕様、 $t_D(MIN) = 0ns$  と等しくなると、MCU のセットアップ時間の要件に違反します。

表 4-2. AMC1305L25 を 20MHz のクロック周波数で使用した C2000 MCU TMS320F28379D デジタル インターフェイスのタイミングの結果

MCU での最小セットアップ時間	5.6 ns
MCU での最大セットアップ時間	23.3 ns
MCU での最小ホールド時間	26.7 ns
MCU での最大ホールド時間	44.4 ns



#### 4.4.2 一般的に使用される方法 - クロック周波数の低減

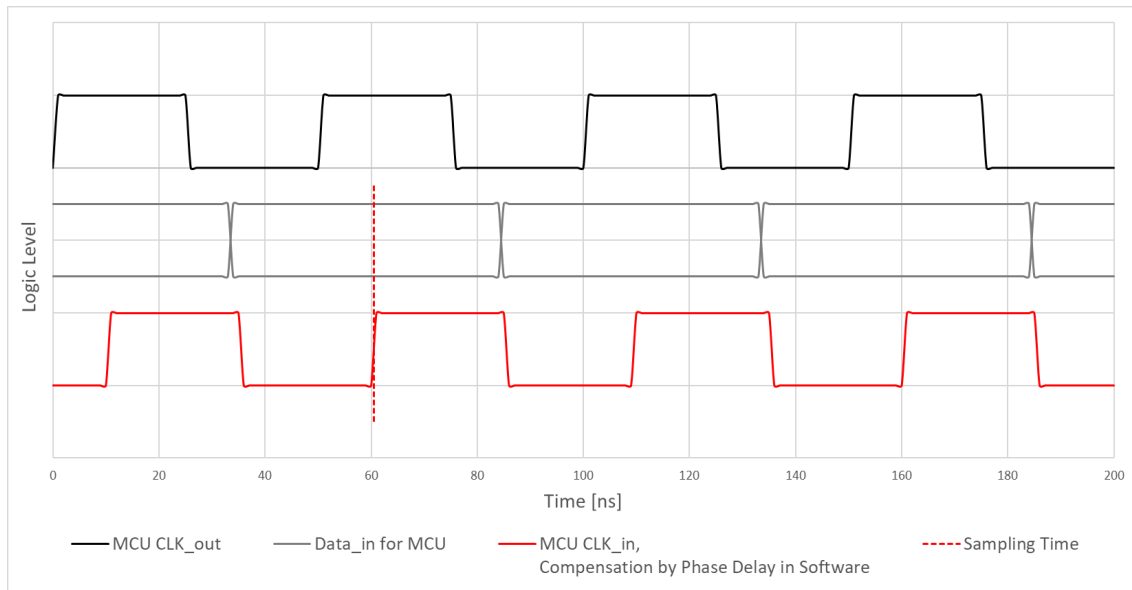
MCU のタイミング要件を満たすための妥協案は、変調器のクロック周波数を下げることです。この例では、17MHz クロック周波数により、MCU のセットアップおよびホールド タイミング要件を満たすことができます。17MHz のクロック周波数での最小値と最大値を含むセットアップ時間とホールド時間の計算値を [表 4-3](#) に示します。MCU セットアップ時間要件に対する最小セットアップ時間のマージンは 0ns です。これは、システム内の許容誤差が原因で、データが誤って取得される可能性があることを意味します。クロック周波数をさらに下げることによって、システムの許容誤差のマージンを大きくすることもできますが、これはシステム性能に悪影響を及ぼします。

**表 4-3. 17MHz クロックで AMC1305L25 を使用した TMS320F28379D デジタル インターフェイスのタイミング**

MCU での最小セットアップ時間	10.0 ns
MCU での最大セットアップ時間	27.7 ns
MCU での最小ホールド時間	31.1 ns
MCU での最大ホールド時間	48.8 ns

#### 4.4.3 ソフトウェアで設定可能な位相遅延によるクロック エッジ補償

[図 4-8](#) に、ソフトウェアで位相遅延を設定可能なクロック エッジ補償付きのデジタル インターフェイスを示します。このタイミング図はクロック周波数 20MHz を持つクロック信号を示しており、絶縁型デルタ シグマ変調器に最初の信号として供給されるクロック信号を表しています。タイミング図にプロットした 2 番目の信号は、データシートに記載されている一般的な仕様に対応する絶縁型デルタ シグマ変調器のデータ出力を表しています。3 番目の信号は、MCU SDFM のクロック入力に供給される最初の信号を基準として、20MHz のクロック信号が 10ns 位相シフトされたことを表します。



**図 4-8. ソフトウェアで設定可能な位相遅延によるクロック エッジ補償あり、クロック周波数 20MHz でのデータシートの一般的な仕様に対する AMC1305L25 への C2000 デジタル インターフェイスのタイミング図**

最小値と最大値を含むセットアップ時間とホールド時間の計算値を [表 4-4](#) に示します。位相遅延はソフトウェアで設定可能なため、データ収集タイミングがデータ信号の中心になるように位相遅延の値を選択できます。これにより、セットアップおよびホールド タイミングに可能な限り最大のマージンを利用できるため、システムの許容誤差がデータ収集に影響を与えません。この計算ツールは、システムの許容誤差を理解するのに役立つデジタル タイミング インターフェイスのマージンを提供します。選択した位相遅延が 10ns の場合、最小セットアップ時間は 15.6ns であり、MCU セットアップ時間の要件である 10ns を減算して、マージンは 5.6ns になります。最小ホールド時間のマージンはそれに応じて計算され、値は 6.7ns です。

**表 4-4. ソフトウェアで位相遅延を設定可能な、クロック 20MHz での AMC1305L25 への TMS320F28379D デジタル インターフェイスのタイミング**

位相遅延	推奨位相遅延		選択された位相遅延
	最小値	4.4 ns	
	最大値	16.7 ns	10.0 ns
MCU での最小セットアップ時間			15.6 ns
MCU での最大セットアップ時間			33.3 ns
MCU での最小ホールド時間			16.7 ns
MCU での最大ホールド時間			34.4 ns

## 5 まとめ

クロック エッジ遅延補償により、変調器のクロック周波数を下げることなく、絶縁型デルタ シグマ変調器と MCU のデジタル インターフェイスのセットアップ時間とホールド時間の要件を満たすことができます。これにより、システムは最大性能で動作できます。

クロック エッジ遅延補償は、以下のようなさまざまな方法で実装できます。

- ソフトウェアで位相遅延を設定可能な追加クロック信号
- ハードウェアで位相遅延を構成可能なクロック信号
- クロック復帰
- MCU でのクロック反転

ソフトウェアで位相遅延を設定可能な追加のクロック信号や MCU におけるクロック反転などの補償方法を、最も一般的に使用される絶縁型デルタ シグマ変調器のバリエーションについて詳細に分析し、MCU として選択した AMC1306EVM 評価基板、C2000 TMS320F28379D LaunchPad、Sitara AM243x LaunchPad を使用して検証しました。このテスト結果は、CMOS インターフェイスと SDFM を搭載した MCU や、PRU を使用した場合 SDFM を搭載していない Sitara MCU にも当てはまります。

表 5-1 に、各クロック信号補償方式の利点と欠点を示します。以下では、SW 位相遅延および HW 位相遅延という略語を、ソフトウェアで設定可能な位相遅延およびハードウェアで設定可能な位相遅延による補償に使用します。

**表 5-1. クロック エッジ補償方式の比較**

方法	利点	欠点
SW 位相遅延	<ul style="list-style-type: none"> <li>• あらゆる伝搬遅延の補償</li> <li>• 最大クロック周波数の使用が可能で、最も信頼できる通信を実現</li> <li>• 高精度位相遅延の実装</li> <li>• ランタイム中の変更が可能</li> <li>• 追加の BoM コストなし</li> </ul>	<ul style="list-style-type: none"> <li>• 追加の MCU GPIO 1 個と内部フェーズ ロック クロック ソースが必要</li> <li>• その他の MCU ソフトウェア</li> </ul>
HW 位相遅延	<ul style="list-style-type: none"> <li>• MCU ソフトウェアの変更なし</li> <li>• 追加の MCU GPIO は不要</li> </ul>	<ul style="list-style-type: none"> <li>• 補償は実装されているハードウェア遅延に依存</li> <li>• ハードウェア部品による位相遅延の精度に対する許容誤差</li> <li>• ランタイム中の変更は不可能</li> <li>• BoM コストの追加</li> </ul>
クロック復帰	<ul style="list-style-type: none"> <li>• ソフトウェアやハードウェアの作業が不要</li> </ul>	<ul style="list-style-type: none"> <li>• すべての構成で機能するわけではありません</li> <li>• レイアウトの適合</li> <li>• より長いクロック信号は、過渡ノイズの影響を受けやすくなります</li> </ul>

**表 5-1. クロック エッジ補償方式の比較 (続き)**

方法	利点	欠点
クロック反転	<ul style="list-style-type: none"> <li>クロック周期の 1/2 による補償でタイミング差を解決できる場合、実装はシンプル</li> </ul>	<ul style="list-style-type: none"> <li>すべての構成で機能するわけではありません</li> <li>クロック周期の半分のみによる固定補償</li> <li>MCU は GPIO 入力でクロック信号を反転できる必要があります。</li> </ul>

外部または内部のクロックソースと CMOS または LVDS インターフェイスによって区別されるデルタ シグマ変調器のタイプに応じて、異なるクロック信号補償方式が他の方式より優れている場合があります。表 5-2 に、一般的に使用される各デルタ シグマ変調器の推奨補償方法を比較します。

**表 5-2. 内部または外部クロックを使用する変調器に推奨されるクロック エッジ補償方法**

方法	AMC1306M25 外部クロック (CMOS)	AMC1305L25 外部クロック (LVDS)	AMC1303M2520/10 内部クロック (CMOS)
ソフトウェア位相遅延	+	+	N/A
ハードウェア位相遅延	o	o	o
クロック復帰	o	-	N/A
クロック反転	o	o	+

外部クロックを必要とする変調器では、ソフトウェアで設定可能な位相遅延によるクロック信号補償が最高の性能を実現し、クロック サイクルの 1/2 固定が要件を満たす場合は MCU でのクロック反転がその次となります。これらのクロック信号補償方法はどちらも、特に変調器クロック周波数が高い場合に、MCU のセットアップおよびホールド タイミング要件を満たすのに役立ちます。デルタ シグマ変調器 AMC1306M25 と AMC1305L25 を使用する場合、以下の計算ツールを使用して MCU のセットアップおよびホールド タイミング要件を検証できます。

## 6 参考資料

- テキサス・インスツルメンツ、『[モータードライブにおける絶縁型デルタ シグマ変調器によるシグナル インテグリティの向上](#)』アプリケーション レポート
- テキサス・インスツルメンツ、『[高電圧システム用の高性能絶縁型 ADC](#)』概要
- テキサス・インスツルメンツ、『[絶縁型アンプと絶縁型変調器の比較](#)』ホワイト ペーパー
- テキサス・インスツルメンツ、『[AMC1306x 高 CMTI、小型、高精度の強化絶縁型デルタ-シグマ変調器](#)』データシート
- テキサス・インスツルメンツ、『[AMC1305x 高精度、強化絶縁型デルタ シグマ変調器](#)』データシート
- テキサス・インスツルメンツ、『[AMC1303x 内部クロック搭載、小型、高精度強化絶縁型デルタ-シグマ変調器](#)』データシート
- テキサス・インスツルメンツ、『[TMS320F2837xD デュアル コア マイクロコントローラ](#)』データシート
- テキサス・インスツルメンツ、『[TMS320F2837xD デュアル コア マイクロコントローラ](#)』テクニカル リファレンス マニュアル
- テキサス・インスツルメンツ、『[AM243x Sitara™ マイクロコントローラ](#)』データシート
- テキサス・インスツルメンツ、『[MCU-PLUS-SDK-AM243X ソフトウェア開発キット \(SDK\) ツール](#)』

## 7 Revision History

### Changes from Revision \* (December 2023) to Revision A (January 2024)

Page

- |                                      |    |
|--------------------------------------|----|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1  |
| • 計算ツールのハイパーリンクを更新.....              | 16 |

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated

## IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated