



Arithmétique du Bull Gamma 3

Alain Guyot¹



Le calculateur Bull Gamma 3 a été conçu au début des années 50 par une petite équipe d'électroniciens récemment constituée chez Bull, pour se substituer aux calculateurs électromécaniques, comme par exemple la tabulatrice Bull BS 120 et surtout pour répliquer au calculateur IBM 604 commercialisé dès 1948. Le calculateur Gamma 3 n'est devenu un ordina-

teur qu'avec l'extension tambour (1956) qui permettait la fonctionnalité de programme enregistré. Jusque-là ce n'était qu'un calculateur programmable (ce qui était déjà beaucoup!). Il est possible de manipuler un modèle 3D de cet ordinateur sur Internet². Cliquer un organe de ce modèle fait apparaître une fenêtre d'explication du fonctionnement de l'organe. Cet article entreprend d'expliquer les opérations arithmétiques et les mémorisations du Bull Gamma 3.

En ce temps-là, la technologie disponible était le tube à vide (parfois appelé lampe à cause de son enveloppe en verre), inventé en 1906 et perfectionné depuis. Cependant, ce composant avait une durée de vie moyenne assez faible (moins d'une dizaine de milliers d'heures, soit un à deux ans), avec une dispersion importante. La disponibilité entre deux pannes devenait préoccupante ; plus les tubes étaient nombreux, plus

1. Association ACONIT, <https://www.aconit.org>.

2. <https://www.aconit.org/histoire/Gamma-3/Simulateur%203D>.

les pannes étaient fréquentes³. Le choix technique des électroniciens de Bull fut de réduire le nombre de tubes en basant l'essentiel des circuits logiques sur des diodes à pointe et les lignes à retard. Ce choix distingue nettement Bull de ses concurrents, notamment d'IBM, pour la technologie électronique de « première génération ». Outre minimiser le nombre de tubes, il fallait aussi améliorer l'accessibilité aux composants pour remplacer les tubes en panne.

Maintenance préventive

Les tubes sont embrochés et donc faciles à remplacer. Avec le temps, les caractéristiques électroniques du tube se dégradent (*graceful degradation*) par empoisonnement de la couche émissive de la cathode. Plutôt que d'attendre la panne, on va repérer les tubes dont les caractéristiques sont dégradées et les remplacer par des neufs. Pour cela, on diminue la tension d'alimentation de la machine ce qui dégrade les caractéristiques de tous les tubes, les plus chétifs provoquant alors des pannes, ce qui permet de les repérer.

Ordinateur « 1-bit »

Les ordinateurs « 1-bit » ou « en série » ont des chemins de données et surtout une unité arithmétique qui traite un bit à la fois, et donc utilise peu de tubes. L'ingénieur Bruno Leclerc a vérifié que, pour la mémorisation en série, on peut utiliser des lignes à retard « inductance- capacité » qui mémorisent des impulsions codant des bits.

Ces impulsions ont besoin d'être échantillonnées puis remises en forme par des *pulse shaper*. Ces régénérateurs d'impulsion sont pratiquement les seuls éléments actifs du Gamma 3. Après régénération, la ligne à retard est rebouclée.

Mémoires du Gamma 3

Les 15 mémoires de travail de 48 bits du Gamma 3 (total 720 bits soit 90 octets) sont des lignes à retard LC, inductance-capacité, ou encore self-condensateur (cf. figure 1). Les instructions sont dans une mémoire différente.

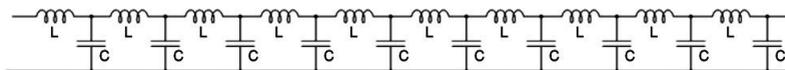


FIGURE 1. Mémoire à ligne à retard

Le temps de parcours d'une ligne à retard est de $172 \mu\text{s}$, soit 48 périodes p de l'« horloge bit » à 280 KHz. De cette horloge bit, on déduit par division une « horloge

3. L'IBM 604 comportait 1 250 tubes à vide, le Gamma 3 seulement 400 (et l'ENIAC, énorme machine décimale contenait 17 468 tubes)

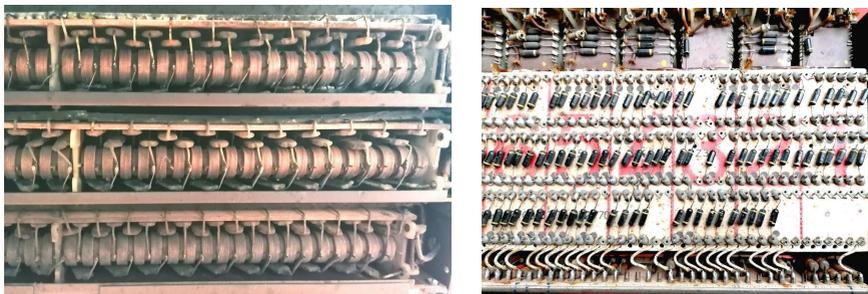


FIGURE 2. a. Bobines et condensateurs — b. Logique à diodes

chiffre » de 70 KHz (on a affaire à du décimal codé binaire, DCB, chaque chiffre décimal étant codé sur 4 bits) et une « horloge nombre ». Sur la figure 4a, on distingue les inductances bobinées et les condensateurs plats d'une ligne à retard. Il y a environ 200 bobines par mémoire, série divisée en 10 blocs de 20 par *pulse shaper*.

Logique du Gamma 3

Les portes logiques du Gamma 3 (cf. figure 3) utilisent un réseau de diodes à pointe au germanium et des résistances. Les diodes évitent la rétropropagation du signal d'une entrée de porte vers une autre entrée. La sortie de la porte se repère par une résistance au milieu des diodes. La résistance donne la valeur par défaut de la porte, c'est la valeur quand aucune diode ne conduit. Cependant le « ET logique » et le « OU logique » ne sont pas suffisant pour constituer une algèbre ; il manque le NOT (inverseur).

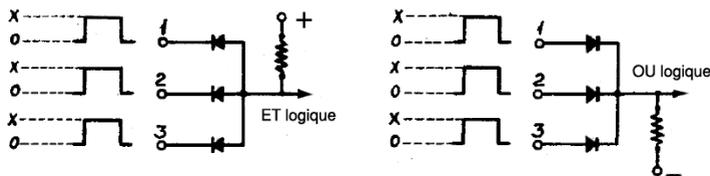


FIGURE 3. Porte ET (\wedge) et porte OU (\vee)

Les diodes au germanium du Gamma 3 sont soudées une à une à la main [11]. Ce travail, qui s'ajoute au câblage de la machine et au montage, également manuel, des autres composants, fait du Gamma 3 un produit très consommateur de main d'œuvre, comme ses concurrents de l'époque. Les diodes subissaient une sévère sélection préalable pour optimiser la fiabilité.

Instructions arithmétiques

Les instructions de l'ordinateur Bull Gamma 3 sont codées sur 4 champs de 4 bits, donc avec 4 valeurs de 0 à 15 : un type d'opération (TO), une adresse de mémoire (AD), un ordre début (OD), un ordre fin (OF).

Valeur de TO	10	11	12	13	14	15
Mnémonique	AN	SN	MR	DR	MC	DC
Opération	+	−	×	÷	×	÷

Le champ AD est l'adresse d'une des 15 mémoires générales M1 à M15 et les deux autres champs OD et OF un complément d'adresse. Pour mémoire voici les temps d'exécution de ces 4 opérations arithmétiques :

- addition (AN) : 17,9 à 23,4 μ s ;
- soustraction (SN) : 20,4 à 26 μ s ;
- multiplication (MR & MC) : 19,6 à 33,2 μ s ;
- division (DR & DC) : 21 à 34,7 μ s.

La mémoire M1 est débanalisée et sert d'accumulateur, la mémoire M2 est son extension. Les instructions $TO = 1, AD = 10$ et $TO = 1, AD = 15$ permettent de passer au mode de calcul binaire ou décimal.

Représentation des entiers

Les entiers sont représentés par des impulsions qui recirculent en permanence dans les lignes à retard. Chaque impulsion représente un bit par sa présence (1) ou son absence (0). Les bits sont de poids 1 2 4 8 10 20 40 80 100 200 400 800 1000... La valeur du nombre $A = a_0a_1a_2a_3a_4\dots a_{47}$ est $\sum_{n=0}^{11} (\sum_{i=0}^3 a_{i+4n} \times 2^i) \times 10^n$ (c'est l'expression d'un entier représenté en DCB sur 12 chiffres décimaux, soit 48 bits).

Addition en série

L'algorithme d'addition en série, chiffre à chiffre, en base 10, est celui qu'apprennent les écoliers en classe préparatoire (CP) vers 5 ou 6 ans.

Additionneur binaire série AO

Sur la figure 4, les bits successifs des deux nombres binaires vont vers E_a et E_b , s est un bit de la somme, E_c est la retenue entrante, r la retenue sortante. Les équations logiques de AO sont $r = \text{majorité}(E_a, E_b, E_c) = (E_a \wedge E_b) \vee (E_a \wedge E_c) \vee (E_b \wedge E_c)$ et $s = E_a \oplus E_b \oplus E_c = (E_a \wedge E_b \wedge E_c) \vee r \wedge (E_a \vee E_b \vee E_c)$. Les deux boîtes hachurées sont des régénérateurs d'impulsion (*pulse shaper*) et T l'horloge bit. Le délai de l'additionneur est de demi-période p environ, auquel s'ajoute le délai du régénérateur contrôlé par l'horloge bit T pour donner un délai de très exactement une période.

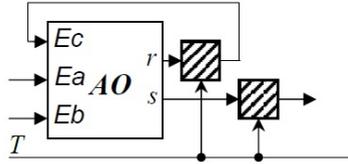


FIGURE 4. Additionneur binaire série

Additionneur décimal série

En « décimal codé binaire », les bits sont regroupés par paquets de quatre pour coder des chiffres décimaux appartenant à l'intervalle [0, 9]. Soit s_1, s_2, s_4 et s_8 le paquet de quatre bits de la somme de deux chiffres décimaux, r est la retenue sortante. En base 2, la somme S de deux chiffres vaut $s_1 + 2s_2 + 4s_4 + 8s_8 + 16r$. En base 10, on veut que $S = s'_1 + 2s'_2 + 4s'_4 + 8s'_8 + 10r'$, c'est à dire que la retenue sortante r' soit de poids 10 (au lieu de 16 en binaire). La retenue r' vaut 1 si la somme S est supérieure à 9. L'additionneur décimal est calqué sur l'additionneur série (cf. figure 4) auquel on ajoute le calcul du signal $d = (S > 9)$ et la correction de la somme S de l'addition binaire si d vaut 1.

Calcul du signal $d = (S > 9)$

$S = s_1 + 2s_2 + 4s_4 + 8s_8 + 16r$ est plus grand que 9 si $d = r \vee (s_8 \wedge (s_2 \vee s_4))$ est vrai qui est calculé dans la boîte D de la figure 6. Or s_1, s_2, s_4, s_8 et r sont des impulsions générées séquentiellement (la sortie s de la figure 4) suivant une période p . Pour les utiliser simultanément, on va en décaler certaines dans le temps grâce à de petites lignes LC de retard p ou multiple de p montées en série, puis échantillonner le résultat grâce à l'horloge chiffre.

Correction de l'addition binaire

Le poids de la retenue sortante r est 16 en hexadécimal et 10 en décimal, la différence est 6. Pour conserver la même valeur de S , il faut ajouter 6 à $s_1s_2s_4s_8$ sortant de l'additionneur binaire si d , autrement dit $s'_1s'_2s'_4s'_8 = s_1s_2s_4s_8 + 6$. Cela demande un deuxième additionneur, noté $A0'$, semblable au premier.

Exemple d'addition binaire avec correction décimale

Lors du calcul de $15 + 17$, avant correction, cela vaut $2C$; ce qui est mathématiquement correct car C est en hexadécimal. Pour le rendre décimal, il faut lui retirer 10 et propager une retenue.

Décimal		Binaire			
1	5	0001	0101	Accumulateur 15	
+	1	7	0001	0111	Ajout de 17
=	2	C	0010	1100	$(C)_{16} = (12)_{10}$
+	0	6	0000	0110	Ajout de 6 modulo 16 $(6-16)=-10$
=	3	2	0011	0010	Somme en décimal

Schéma de principe de l'additionneur décimal

Par commodité, les régénérateurs de la figure 4 (carrés hachurés) sont incluses dans les additionneur A0 et A0' (d'où les entrées ET et ET' de l'horloge bit T) de la figure 5. La boîte D reçoit la somme S et la retenue R de A0. Elle reçoit T'' qui est l'horloge chiffre. Elle calcule la nouvelle retenue R'' (qui diffère de R si S > 9), réinjectée dans A0 (avec une porte OU câblée). Elle calcule également S'' qui vaut 6 si R'' vaut 1 et zéro autrement. S'' va vers l'additionneur A0'. G inhibe la retenue à chaque nouveau chiffre. Les boîtes r1, r2 et r3 de la figure 5 sont de petites lignes à retard. L'additionneur introduit un retard de quatre périodes p de l'« horloge bit ». Le dispositif marqué G est destiné à mettre à 0 la première retenue d'un chiffre en inhibant l'horloge bit T avec l'horloge chiffre T'' au début des chiffres.

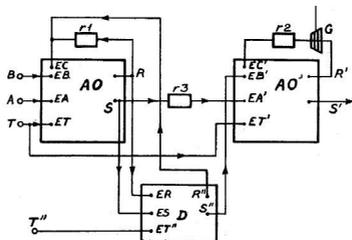


FIGURE 5. Schéma de principe

Schéma détaillé de la boîte D

Avec un peu d'attention, on repère sur la figure 6 les trois portes logiques du calcul de d par les résistances ①, ② et ③. L'horloge chiffre T'' retardée permet de générer l'impulsion du résultat du calcul $s_8 \wedge (s_2 \vee s_4)$ à la fin du calcul de cette expression.

Soustraction décimale série

Le soustracteur décimal est semblable à l'additionneur décimal (cf. figure 5), où on a remplacé les additionneurs binaires A0 et A0' par des soustracteurs binaires. Dans la soustraction décimale, la retenue a un poids négatif et donne le signe

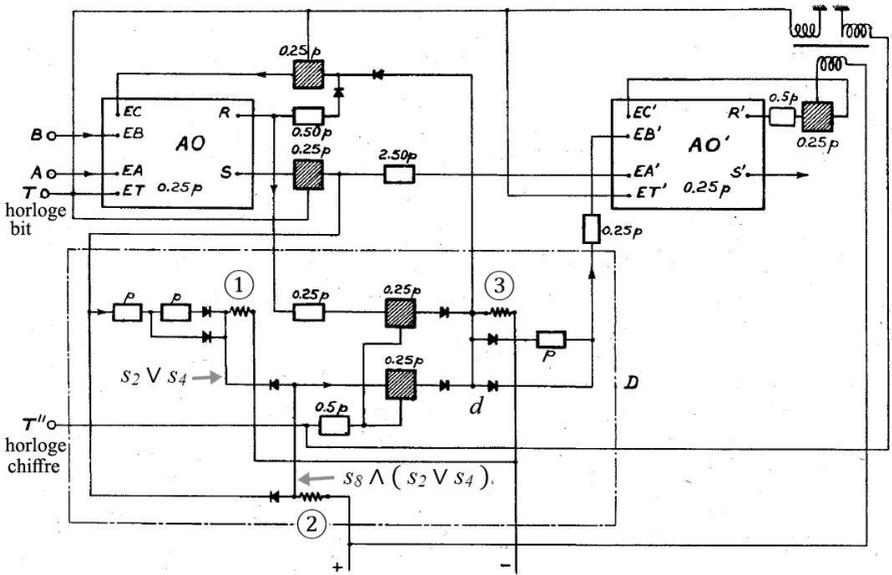


FIGURE 6. Détail de la boîte D

du chiffre décimal en sortie. Ici, on note un chiffre négatif $-x$ par \bar{x} pour ne pas confondre le signe et la soustraction.

Lors du calcul de $25 - 17$, avant correction, cela vaut $1\bar{2}$; ce qui est mathématiquement correct car $1\bar{2} = 8$ mais $\bar{2}$ n'est pas un chiffre décimal car il n'appartient pas à $[0, 9]$. Il faut pour cela lui retirer 6 modulo 16 et propager une retenue $2 - 6 + 16 = 8$.

	Décimal	Binaire		
	2	0010	0101	Accumulateur 25
-	1	0001	0111	Soustraction de 17
=	1	0001	1110	$1110 = -2$ modulo 16
-	1	0000	0110	Soustraction de 6 modulo 16
=	0	0000	1000	Somme en décimal

Représentation signe/valeur-absolue

Les entiers du Gamma 3 sont représentés en signe/valeur-absolue. Le choix de l'opération addition ou soustraction dépend de la différence des signes des opérands. Cependant la valeur du résultat d'une opération peut ne pas être sa valeur

absolue. Si le résultat de l'opération est négatif, un second passage dans le soustracteur va le corriger.

$$\begin{array}{r}
 000000001270 \\
 - 00000000453 \\
 \hline
 = 00000000817 \\
 \text{Soustraction correcte (résultat positif)} \\
 00000000453 \\
 - 000000001270 \\
 \hline
 = 99999999183 \\
 \text{Soustraction à corriger (résultat négatif, commençant par 9)} \\
 000000000000 \\
 - 99999999183 \\
 \hline
 = 00000000817 \\
 \text{Changement de signe du résultat négatif}
 \end{array}$$

Schéma de l'additionneur/soustracteur binaire A0

Les régénérateurs d'impulsion (boîtes hachurées sur la figure 7) fournissent le signal d'entrée resynchronisé et son complément (sortie en haut). Ce schéma d'additionneur/soustracteur comporte neuf portes logiques encadrées par des rectangles pointillés. Pour l'analyser, on va lui appliquer les huit combinaisons des trois entrées E_a , E_b et E_c , sous forme de trois vecteurs de 8 bits, et calculer tous les signaux intermédiaires et finalement les sorties S et R sous forme de vecteurs.

Quand $ES = 0$, l'additionneur/soustracteur effectue une addition. Les vecteurs de 8 bits des entrées E_a , E_b , E_c et des sorties S et R sont rangés verticalement dans la table de vérité de la figure 8(a). L'additionneur matérialise l'égalité arithmétique $\Sigma = E_a + E_b + E_c = S + 2R$. C'est un réducteur 3 vers 2.

Quand $ES = 1$, l'additionneur/soustracteur effectue une soustraction (cf. figure 8(b)). Le soustracteur matérialise l'égalité arithmétique $\Sigma = E_a - E_b - E_c = S - 2R$. On observe que la sortie S est la même pour l'addition et pour la soustraction, seule la sortie R est différente.

Chronogramme de l'addition décimale $A + B$

Le tableau ci-dessous note le déroulement dans le temps (de gauche à droite) de l'addition de deux nombres, plus précisément de 1 chiffre de chacun de ces deux nombres. Chaque case dure une période bit p . Seules les informations concernant ces deux chiffres A et B sont notées, les cases laissées vides dans le tableau concernent d'autres chiffres de ces mêmes nombres dans le pipeline. Le bit d est calculé en permanence mais n'est échantillonné qu'une fois par chiffre, quand sa valeur est

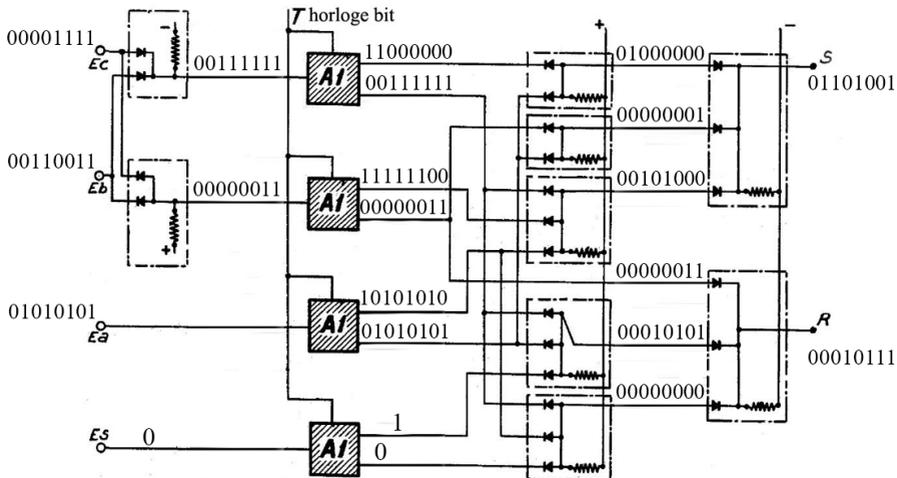


FIGURE 7. Analyse du schéma de l'additionneur/soustracteur binaire A0

E_a	E_b	E_c	Σ	S	R
0	0	0	0	0	0
1	0	0	1	1	0
0	1	0	1	1	0
1	1	0	2	0	1
0	0	1	1	1	0
1	0	1	2	0	1
0	1	1	2	0	1
1	1	1	3	1	1

(a)

E_a	E_b	E_c	Σ	S	R
0	0	0	0	0	0
1	0	0	1	1	0
0	1	0	-1	1	1
1	1	0	0	0	0
0	0	1	-1	1	1
1	0	1	0	0	0
0	1	1	-2	0	1
1	1	1	-1	1	1

(b)

FIGURE 8. Tables de vérité de l'additionneur (a) et du soustracteur (b)

pertinente, instant marqué par un trait gras, donné par l'horloge chiffre T'' retardée de une période p , d' est une copie de d retardé de p .

Entrée en série de A
 Entrée en série de B
 Addition binaire $S = A + B$
 Retenue sortante de l'addition r
 S retardée de $3p$ pour la 2^e addition
 Échantillonnage $d = r \vee (s_8 \wedge (s_2 \vee s_4))$
 Sortie de la somme $S' = A + B$

a_1	a_2	a_4	a_8						
b_1	b_2	b_4	b_8						
	s_1	s_2	s_4	s_8					
					r				
				s_1	s_2	s_4	s_8		
0			0	0	d	d'	0	0	
					s'_1	s'_2	s'_4	s'_8	

Mémorisation et addition/soustraction

Pour mémoriser, les lignes à retard de 12 chiffres sont rebouclées (cf. figure 9). Une prise avant le dernier chiffre de chacune des lignes à retard permet d'extraire les chiffres A et B (4 bits). En cas d'addition (respectivement soustraction), le chiffre $A + B$ (respectivement $A - B$), sortant de l'opérateur d'addition/soustraction, prend la place du chiffre A avec le décalage. L'addition ou soustraction commence quand A est le chiffre unité et se termine après le calcul de 12 chiffres (cycle nombre).

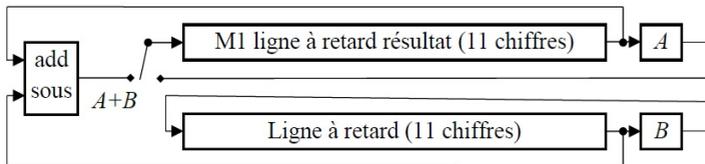


FIGURE 9. Addition ou soustraction de 12 chiffres décimaux

Conclusion

Cet article ne détaille qu'une petite partie du Gamma 3 : l'unité arithmétique, et encore, seule l'addition-soustraction est précisée au niveau composant (il existait également des instructions de multiplication et de division, qui ne sont pas détaillées ici). Mais expliquer l'arithmétique est probablement ce qu'il y a de plus simple.

L'économie de moyens du Gamma 3 est tout à fait remarquable. Cette machine de 900 kilos utilise environ 400 tubes. Le fonctionnement d'un tube est très comparable à celui d'un transistor à effet de champ FET. C'est d'ailleurs par cette similitude qu'est dénommé « grille » l'électrode de commande du transistor FET, bien que les électrons ne passent aucunement entre les barreaux d'une grille comme dans un tube. Le premier microprocesseur, l'Intel 4004, comptait 2300 FET (des MOS canal P), soit environ 6 fois plus d'éléments actifs que le Gamma 3, et encore il n'avait pas la multiplication ni la division.

Le Gamma 3 exécutait environ 5000 instructions par seconde, ce qui était trois ordres de grandeur la performance des tabulatrices électromécaniques qu'il remplaçait, mais deux fois plus lent que le 4004. Au début, le Gamma 3 se comparait très favorablement à ses concurrents directs, l'IBM 604 puis l'IBM 700, cependant dès 1960, IBM sorti son 1401 petit car transistorisé, simple d'utilisation, et de performances comparables au Gamma 3.

Remerciements

L'auteur remercie chaleureusement Pierre Mounier-Kuhn pour ses suggestions.

Références

- [1] US2722375, *Multiplying devices for accounting machines* (Multiplication de tabulatrice), 25/05/1951.
- [2] US2861740, *Electronic adding device* (Addition BCD du Gamma 3), 25/09/1951.
- [3] US2781968, *Addition and subtraction operating device for electric calculating machine* (Addition binaire et BCD du Bull Gamma 3), 05/04/1952.
- [4] US2863604, *Electronic calculator for multiplication and division* (Multiplication et division BCD du Bull Gamma 3), 23/09/1952.
- [5] GB764522A, *Improvements in or relating to electronic computers* (Tableau d'instructions du Bull Gamma 3), 02/06/1953.
- [6] US2795378 *Apparatus for subtracting numbers represented by coded pulses* (Soustraction BCD du Bull Gamma 3), 03/05/1954.
- [7] FR1030308A, Dispositif de multiplication (Multiplication du Gamma 3), 11/03/1953.
- [8] H. Boucher, Masson et Cie, organisation et fonctionnement des machines arithmétiques, 1960.
- [9] Émulateur de l'ordinateur Bull Gamma ET, <https://www.aconit.org/histoire/Gamma-3/Simulateur>, 1952.
- [10] Maurice Geynet, destin d'objets scientifiques et techniques : L'aventure du Gamma 3, <https://www.echosciences-grenoble.fr/articles/destin-d-objets-scientifiques-et-techniques-l-aventure-du-gamma-3-5-10-annee-2018>.
- [11] P. Mounier-Kuhn, PUPS, L'informatique en France, de la seconde guerre mondiale au Plan Calcul. L'émergence d'une science, 2010.